بسم الله الرحمن الرحیم

دانشکده فنی و مهندسی

پایان نامه دوره کارشناسی ارشد
مهندسی برق-الکترونیک

عنوان پایان نامه:

Distributed Arithmetic با کارایی بالا

استاد راهنما: دکترمحمدباقر غزنوی قوشچی

نگارش: سیده فاطمه غمخواری

زمستان 1390

	اظهار نامه دانشجو	شماره: تاریخ:

اینجانب سیده فاطمه غمخواری دانشجوی کارشناسی ارشد رشته مهندسی برق گرایش الکترونیک دانشکده فنی مهندسی دانشگاه شاهد، گواهی می دهم که پایان نامه تدوین شده حاضر باعنوان؛ " Distributed Arithmetic با کارایی بالا " به راهنمایی استاد محترم جناب آقای دکتر محمد باقر غزنوی قوشچی، توسط شخص اینجانب انجام و صحت و اصالت مطالب تدوین شده در آن، مورد تأیید است و چنان چه هر زمان، دانشگاه کسب اطلاع کند که گزارش پایان نامه/ رساله حاضر صحت و اصالت لازم را نداشته، دانشگاه حق دارد، مدرک تحصیلی اینجانب را مسترد و ابطال نماید هم چنین اعلام می دارد در صورت بهره گیری از منابع مختلف شامل؛ گزارش های تحقیقاتی، رساله، پایان نامه، کتاب، مقالات تخصصی و غیره، به منبع مورد استفاده و پدید آورنده آن به طور دقیق ارجاع داده شده و نیز مطالب مندرج در پایان نامه/ رساله حاضر تاکنون برای دریافت هیچ نوع مدرک یا امتیازی توسط اینجانب و یا سایر افراد به هیچ کجا ارایه نشده است. در تدوین متن پایان نامه/ رساله حاضر، چارچوب (فرمت) مصوب تدوین گزارش های پژوهشی تحصیلات تکمیلی دانشگاه شاهد به طور کامل مراعات شده و نهایتاً این که، کلیه حقوق مادی ناشی از گزارش پایان نامه/ رساله حاضر، متعلق به دانشگاه شاهد می باشد.

نام و نام خانوادگی دانشجو(دستنویس):.....

امضاء دانشجو:

تاریخ:

تقدیم

تقدیم به مادر نازنینم و پدر مهربانم که بهترین هدیه ی خدا در زندگی من هستند و بی شک هرچه دارم از دعای خیر آنهاست.

تشکر و قدردانی

هم اکنون که در سایه ی لطف و عنایت پروردگار متعال توانستم مراحل این پایان‌نامه را به اتمام برسانم، بر خود لازم می‌دانم از زحمات خالصانه‌ی استاد گرانقدرم، جناب آقای دکتر غزنوی قوشچی قدردانی نمایم.

استاد گرانقدرم از زحمات بی دریغ شما سپاسگذارم.

چکیده

در این تحقیق، روش‌های پیاده‌سازی فیلتر با پاسخ ضربه محدود[1](فیلتر FIR) مورد بررسی قرار می-گیرد. برای پیاده‌سازی فیلتر FIR از دو واحد Multiply Accumulate (MAC) و Distributed Arithmetic (DA) استفاده می‌شود. پیاده‌سازی فیلتر FIR با DA از 50 تا 80 درصد مساحت اشغالی را بهبود می‌دهد؛ همچنین توان مصرفی را نیز کاهش می‌دهد. روش‌هایی برای بهبود ساختار اولیه‌ی DA نیز ارائه می‌شود که باعث افزایش کارایی فیلتر می‌شود.

همچنین در این تحقیق روش جدیدی برای پیاده‌سازی واحد DA معرفی می‌شود. مدار پیشنهادی بر اساس تغییر ساختار در معماری واحد حافظه[2] می‌باشد که با جابجایی واحد پرمصرف جمع‌کننده به کار رفته در واحد حافظه، توان مصرفی را را تا 60 درصد در سطح ترانزیستوری و تا 30 درصد در سطح RTL بهبود می‌دهد. پیاده‌سازی در سطح ترانزیستوری با تکنولوژی 0.18 ماکرون انجام شده است. در سنتز ASIC تکنولوژی استفاده شده 0.18 ماکرون CMOS می‌باشد. بیشترین فرکانس کلاک برای فیلترهای پیاده‌سازی شده 165 مگاهرتز می‌باشد.

کلید واژه: فیلتر با پاسخ ضربه محدود (فیلتر FIR)، Multiply Accumulate، Distributed Arithmetic

[1] Finite Impulse Response filter
[2] Look Up Table (LUT) Unit

فهرست مطالب

عنوان **صفحه**

فهرست جدول‌ها ..... د
فهرست شکل‌ها ..... و

فصل 1- مقدمه 1
1-1- پیشگفتار 1
1-1-1- پیادهسازی فیلتر FIR 1
1-2- مدل پیشنهادی برای کم کردن مصرف توان واحد حافظه در معماری LUT Less2 DA 2
1-3- ساختار مطلب 3

فصل 2- فیلترهای FIR 4
2-1- مقدمه 4
2-2- فیلترهای آنالوگ و دیجیتال 4
2-3- مشخصات کلی فیلترهای FIR 4
2-3-1- مزایای فیلترهای FIR 5
2-3-2- کاربردهای فیلتر FIR 5
2-3-3- طراحی فیلترهای FIR 5
2-3-4- ساختارهای فیلتر FIR 9
2-4- جمعبندی 13

فصل 3- پیادهسازی فیلتر FIR با واحدهای MAC و DA 14
3-1- مقدمه 14
3-2- کلیات MAC 14
3-2-1- ضربکننده 15
3-2-2- اکومولیتور 17
3-3- کلیات DA 18
3-3-1- رابطه DA برای داده ورودی کوچکتر از یک 19
3-3-2- یک نمونه مثال از نحوهی عملکرد روابط MAC و DA برای داده ورودی کوچکتر از یک 22
3-3-3- رابطه DA برای داده ورودی بزرگتر از یک 24
3-3-4- یک نمونه مثال از نحوهی عملکرد روابط MAC و DA برای داده ورودی بزرگتر از یک 25
3-4- کلیات فیلتر FIR 26
3-4-1- پیادهسازی فیلتر FIR با استفاده از واحد MAC 27
3-4-2- پیادهسازی فیلتر FIR با استفاده از واحد DA 27
3-5- جمعبندی 29

فصل 4- ارائهی معماریهای بهبود یافته برای پیادهسازی فیلتر FIR به کمک DA 31
4-1- مقدمه 31
4-2- کاهش اندازه حافظهی مورد نیاز در DA 31
4-2-1- معماری LUT Less1 DA 31
4-2-2- معماری LUT Less2 DA 32
4-2-3- معماری Separated LUT DA 33
4-3- روش هایی برای افزایش سرعت DA 34
4-3-1- روش 2BAAT 35
4-3-2- روش تمام موازی 36
4-3-3- فیلتر FIR تپ بالا 37
4-4- جمعبندی 38
فصل 5- کم توان کردن واحد حافظه در پیادهسازی فیلتر FIR توسط معماری LUT Less2 DA 40
5-1- مقدمه 40
5-2- بررسی کلیات مسئله 40
5-3- طرح پیشنهادی برای کم توان نمودن جمعکننده 41
5-3-1- طرح پیشنهادی اول برای کم کردن ضریب فعالیت جمعکننده 41
5-3-2- طرح پیشنهادی دوم برای کم کردن ضریب فعالیت و توان جمعکننده 42
5-3-3- طرح پیشنهادی سوم برای کم کردن توان جمعکننده با استفاده از تکنیک کلاک گیتینگ ... 43
5-3-4- طرح پیشنهادی آخر برای کم کردن توان جمعکننده با استفاده از تکنیک Operand Isolation 44
5-4- پیاده سازی مداری واحد حافظه و واحد شیفت رجیستر 45
5-4-1- پیاده سازی مداری واحد حافظه 45
5-4-2- پیاده سازی مداری واحد شیفترجیستر 49
5-5- جمعبندی 52
فصل 6- نتایج شبیه سازی و سنتز 53
6-1- مقدمه 53
6-2- سنتز 53
6-2-1- ابزارهای سنتز 54
6-2-2- گزارش گیری در سنتز 55
6-3- پیادهسازی فیلتر FIR توسط MAC وConventional Serial DA RAM-based 56
6-3-1- نتایج شبیهسازی در ModelSim 56
6-3-2- نتایج سنتز در Design Compiler 58
6-4- پیاده سازی فیلتر FIR توسط معماریهای مختلف DA 60

6-5- پیاده سازی واحد شیفترجیستر و حافظه فیلتر FIR توسط معماریهای LUT Less2 و طرح پیشنهادی حافظه برای DA در سطح ترانزیستوری 63
6-5-1- پیادهسازی قسمتی از واحد حافظه در معماری LUT Less2 DA و بهبود توان مصرفی آن.. 63
6-5-2- پیادهسازی واحد حافظه و شیفترجیستر در فیلتر FIR با 4 تپ 65
6-5-3- مقایسهی توانهای بدست آمده و درصد بهبود طرح پیشنهادی بر حسب خواص آماری ورودی فیلتر FIR 68
6-6- پیاده سازی فیلتر FIR توسط معماریهای LUT Less2 DA و طرح پیشنهادی DA..... 69
6-7- مقایسهی توان مصرفی طرح پیشنهادی و Conventional DA ROM-based 71
6-8- پیاده سازی فیلتر FIR توسط روش 2BAAT DA 71
6-9- پیاده سازی فیلتر FIR با 16 و 32 تپ 73
6-10- جمعبندی 76
فصل 7- جمعبندی 77
فهرست مراجع 79
واژه نامه فارسی به انگلیسی 81
واژه نامه انگلیسی به فارسی 84
واژه نامه فارسی به انگلیسی 91
واژه نامه انگلیسی به فارسی 94

فهرست جدول‌ها

عنوان **صفحه**

جدول 2-1: پارامترهای مهم در فیلتر FIR [8، 9] 6
جدول 3-1: مقادیر ذخیره شده در حافظه 20
جدول 3-2: مقادیر عددی داده‌های ورودی و ضرایب ثابت 22
جدول 3-3: محتوای حافظه برای ضرایب ثابت مثال طرح شده 22
جدول 3-4: مقادیر باینری ورودی برای مثال مطرح شده 23
جدول 3-5: خروجی واحد حافظه بر حسب بیت آدرس 24
جدول 3-6: مقادیر عددی داده‌های ورودی و ضرایب ثابت 25
جدول 3-7 : محتوای حافظه برای ضرایب ثابت مثال طرح شده 25
جدول 3-8: مقادیر باینری ورودی برای مثال مطرح شده 26
جدول 3-9: خروجی واحد حافظه بر حسب بیت ورودی 26
جدول 4-1: ورودی و خروجی واحد تاخیردهنده در فیلتر FIR با ساختار تمام موازی 37
جدول 5-1: ورودی و خروجی جمعکننده شکل 5-1 41
جدول 5-2: جدول درستی دیکدر 4-2 با ورودیهای x0 و x1 در فیلتر FIR 41
جدول 5-3: وضعیت روشن شدن Tri-stateها براساس الگوی ورودی فیلتر FIR 42
جدول 5-4: جدول درستی مالتیپلکسر 47
جدول 5-5: جدول درستی تمامجمعکننده 48
جدول 6-1: ابزارهای سنتزکننده 54
جدول 6-2: گزارش مساحت اشغالی برای فیلتر FIR پیادهسازی شده توسط MAC و DA 59
جدول 6-3: گزارش توان مصرفی برای فیلتر FIR پیادهسازی شده توسط MAC و DA 60
جدول 6-4: گزارش مساحت اشغالی بدست آمده برای روشهای معرفیشده برای پیادهسازی DA 61
جدول 6-5: گزارش توان داخلی برای واحد حافظه در معماریهای مختلف DA 62
جدول 6-6: گزارش توان سوئیچینگ برای معماریهای مختلف DA 63
جدول 6-7: گزارش توان بدست آمده برای قسمتی از واحد حافظه در معماری LUT Less2 DA و مدارات پیشنهادی برای بهبود توان مصرفی در نرم افزار شبیه ساز HSPICE 64
جدول 6-8: ضرایب فیلتر FIR 66
جدول 6-10: گزارش مساحت اشغالی فیلتر پیادهسازی شده با دو معماری LUT Less2 DA و Proposed DA 69
جدول 6-11: گزارش توان داخلی واحد حافظهی فیلتر پیادهسازی شده با دو معماری LUT Less2 DA و Proposed DA 70

جدول 6-12: گزارش توان سوئیچینگ فیلتر پیادهسازی شده با دو معماری LUT Less2 DA و Proposed DA 70
جدول 6-13: گزارش مساحت اشغالی فیلترهای FIR پیاده سازی شده توسط معماری 2BAAT 72
جدول 6-14: گزارش توان داخلی فیلترهای FIR پیاده سازی شده توسط معماری 2BAAT..... 73
جدول 6-15: گزارش توان سوئیچینگ فیلترهای FIR پیاده سازی شده توسط معماری 2BAAT..... 73
جدول 6-17: گزارش مساحت اشغالی و توان دینامیکی فیلتر FIR 16 و 32 تپ 75

فهرست شکل‌ها

عنوان **صفحه**

شکل 1-1: معماریهای موجود برای پیادهسازی فیلتر FIR 3
شکل 1-2: کاربردهای فیلتر FIR [8] 6
شکل 2-2: مراحل طراحی فیلتر دیجیتال 7
شکل 2-3: مشخصات فیلتر پایین گذر [8] 7
شکل 2-4: مشخصات پاسخ فرکانسی دامنه برای یک فیلتر پایین گذر [9] 8
شکل 2-5:پاسخ ضربهی فیلتر FIR متقارن با 9 تپ [10] 8
شکل 2-6:پاسخ ضربهی فیلتر FIR متقارن منفی با 10 تپ [10] 9
شکل 2-7: فیلتر FIR با ساختار Direct-Form [10] 9
شکل 2-8: فیلتر FIR متقارن با تعداد تپ فرد [10] 10
شکل 2-9: فیلتر FIR متقارن با تعداد تپ زوج [10] 10
شکل 2-10: معماری فیلتر FIR با ساختار متقارن منفی [10] 10
شکل 2-11: پاسخ ضربه برای فیلتر Half-Band FIR با 11 تپ [10] 11
شکل 2-12:معماری فیلتر Half-Band FIR با 11 تپ [10] 11
شکل 2-13: پاسخ ضربه برای یک مبدل هیلبرت [10] 12
شکل 2-14: معماری فیلتر FIR پیادهسازی شده با مبدل هیلبرت [10] 12
شکل 2-15: فیلتر Interpolated FIR (IFIR) [10] 12
شکل 3-1: ساختار کلی واحد MAC 14
شکل 3-2: ضرب دو عدد چهار بیتی [11] 15
شکل 3-3: ضرب کننده آرایهای 4×4 [12] 16
شکل 3-4: ساختار اکومولیتور پایه [13] 17
شکل 3-5: اکومولیتور خط لوله ای [13] 18
شکل 3-6: اکومولیتور با مکانیزم ریست [13] 18
شکل 3-7: ساختار کلی برای واحد DA [5] 20
شکل 3-8: ساختار بهبود یافته برای DA [5] 22
شکل 3-9: پیادهسازی فیلتر FIR به کمک واحد MAC (با استفاده از ضرب کننده) 27
شکل 3-10: پیادهسازی فیلتر FIR با چهار تپ توسط DA [1] 28
شکل 4-1: معماری LUT Less1 برای پیادهسازی فیلتر FIR با چهار تپ[1، 4] 32
شکل 4-2: پیادهسازی فیلتر FIR به کمک معماری LUT Less2 DA [1، 4] 33

شکل 4-3: پیادهسازی فیلتر FIR با چهار تپ توسط معماری Separated LUT DA [2، 3، 7، 16].. 34
شکل 4-4: پیادهسازی فیلتر FIR با هشت تپ توسط معماری 2BAAT DA [2، 5] 36
شکل 4-5: پیادهسازی فیلتر FIR به کمک DA موازی[1، 2، 17] 37
شکل 4-6: پیادهسازی فیلتر تپ بالا به کمک DA [1] 38
شکل 5-1:قسمتی از طرح حافظه در معماری LUT Less2 به همراه واحد شیفترجیستر 40
شکل 5-2: طرح پیشنهادی اول برای کم کردن ضریب فعالیت جمعکننده 42
شکل 5-3:طرح پیشنهادی دوم برای کم توان کردن جمعکننده 42
شکل 5-4: پیادهسازی دیکدر با استفاده از گیت NAND 43
شکل 5-6: اعمال تکنیک کلاک گیتینگ روی جمعکننده 44
شکل 5-7:اعمال تکنیک Operand Isolation بر روی ورودیهای جمعکننده 44
شکل 5-11: مدار وارونگر CMOS 45
شکل 5-12: مدار NAND (دو ورودی) با استفاده از تکنیک CMOS 45
شکل 5-13: شماتیک و نحوهی عملکرد Transmission gate [18] 46
شکل 5-14: چهار نوع بافر Tri-state [18] 46
شکل 5-15: مدار Tri-state با استفاده از Transmission gate 46
شکل 5-16: پیادهسازی مالتیپلکسر با گیتهای منطقی 47
شکل 5-17: پیاده سازی مالتیپلکسر با استفاده از Transmission gate 47
شکل 5-18: (الف)شماتیک مداری تمامجمعکننده، (ب)پیادهسازی تمامجمعکننده با استفاده از تکنیک Conventional CMOS، (پ)جمعکننده ریپلبیتنقلی (RCA) چهار بیتی 49
شکل 5-19: واحد شیفترجیستر هشت بیتی در فیلتر FIR با چهار تپ 50
شکل 5-20: مدار شیفترجیستر PISO چهار بیتی [18] 50
شکل 5-21: مدار شیفترجیستر SISO 51
شکل 5-22: مدار فلیپفلاپ[19، 20] 51
شکل 6-1: نتایج شبیهسازی فیلتر FIR با استفاده از MAC در ModelSim (الف) 3 تپ (ب) 4 تپ (ج) 5 تپ 57
شکل 6-2: نتایج شبیهسازی فیلتر FIR با استفاده از Conventional DA در ModelSim (الف) 3 تپ (ب) 4 تپ (ج) 5 تپ 58
شکل 6-3: ساختار پیاده سازی شده برای فیلتر FIR توسط الف) MAC ب) DA 59
شکل 6-4: مقایسه سطح اشغالی فیلتر FIR توسط MAC و DA 59
شکل 6-5: مقایسه توان مصرفی فیلتر FIR توسط MAC و DA 60
شکل 6-6: دیاگرام توانی (Conventional DA (RAM-based 61
شکل 6-7: مقایسه نتایج بدست آمده برای مساحت روشهای موجود برای پیادهسازی DA 62
شکل 6-8: مقایسهی توانهای داخلی واحد حافظه در معماریهای مختلف DA 62

شکل 6-9: مقایسهی توانهای سوئیچینگ برای معماریهای مختلف DA 63
شکل 6-10: مقایسه نتایج توانهای بدست آمده در HSPICE 65
شکل 6-11: پالس کلاک و خروجی واحد شیفترجیستر برای فیلتر FIR با 4 تپ 66
شکل 6-12: 10 بیت موازی خروجی واحد حافظه برای فیلتر FIR با 4 تپ 67
شکل 6-13: مقایسهی توانهای بدست آمده در دو طرح پیادهسازی شده برای واحد حافظه برحسب تعداد تغییرات 8 بیت ورودی فیلتر FIR با بیشترین تعداد بیت LOW 69
شکل 6-14: مقایسهی توانهای بدست آمده در دو طرح پیادهسازی شده برای واحد حافظه برحسب تعداد تغییرات 8 بیت ورودی فیلتر FIR با بیشترین تعداد بیت HIGH 69
شکل 6-15: مقایسهی مساحت اشغالی فیلتر پیادهسازی شده با دو معماری LUT Less2 DA و Proposed DA 70
شکل 6-16: مقایسهی توان داخلی واحد حافظهی فیلتر پیادهسازی شده با دو معماری LUT Less2 DA و Proposed DA 70
شکل 6-17: مقایسهی توان سوئیچینگ فیلتر پیادهسازی شده با دو معماری LUT Less2 DA و Proposed DA 71
شکل 6-18: مقایسهی توان مصرفی طرح پیشنهادی به همراه معماری LUT Less2 و روش Conventional DA ROM-based 71
شکل 6-19: شبیه سازی فیلتر FIR با 5 تپ توسط معماری 2BAAT 72
شکل 6-20: مقایسه مساحت اشغالی فیلترهای FIR پیاده سازی شده توسط معماری 2BAAT 72
شکل 6-21: مقایسهی توان داخلی فیلترهای FIR پیاده سازی شده توسط معماری 2BAAT 73
شکل 6-22: مقایسهی توان سوئیچینگ فیلترهای FIR پیاده سازی شده توسط معماری 2BAAT 73
شکل 6-23: پاسخ پله برای فیلتر FIR با 32 تپ 74
شکل 6-24: پاسخ ضربه برای فیلتر FIR با 32 تپ 74
شکل 6-25: پاسخ فرکانسی دامنه برای فیلتر FIR با 32 تپ 74
شکل 6-26: پاسخ فرکانسی فاز برای فیلتر FIR با 32 تپ 75
شکل 6-27: گزارش مساحت اشغالی فیلتر FIR 16 و 32 تپ 75
شکل 6-28: گزارش توان دینامیکی فیلتر FIR 16 و 32 تپ 75

فصل 1- مقدمه

1-1- پیشگفتار

توابع DSP در FPGA بسیار مهم و پر کاربرد می‌باشند و در پیاده‌سازی DSP ، طراحی فیلترهای FIR نقش اساسی دارد. فیلتر های FIR به صورت گسترده در پردازش سیگنال صوت و تصویر مورد استفاده قرار می‌گیرند [1، 2]. تابع MAC هسته‌ی اصلی الگوریتم DSP و فیلترهای FIR می‌باشد که توسط معماری DA بهبود می‌یابد [2، 3]. در این تحقیق پیاده‌سازی فیلتر FIR با دو واحد MAC و DA و مزیت استفاده از DA در پیاده‌سازی DA مورد بررسی قرار می‌گیرد.

1-1-1- پیاده‌سازی فیلتر FIR

پیاده‌سازی فیلتر FIR با k تپ توسط روش MAC که با ضرب‌کننده‌ها ساخته می‌شود، نیاز به k واحد MAC دارد که بسیار پرهزینه و پیچیده می‌باشد [1]. در روش DA نیاز به ضرب کننده نمی‌باشد بلکه عملیات مربوط به ضرب توسط واحدهای حافظه و جمع‌کننده جایگزین می‌شود. بنابراین در منابع مورد استفاده صرفه جویی نموده و از نظر مساحت، ساختار فیلتر پیاده‌سازی شده را نسبت به واحد MAC بهبود می‌دهد. هم چنین روش DA برای کاربردهای کم توان مناسب‌تر می‌باشد [1، 2، 3، 4].

پیاده‌سازی DA می تواند در دو حالت کلی RAM Based و ROM Based انجام شود [3]. در روش ROM Based تمامی حالات ممکن برای ذخیره شدن در واحد حافظه از قبل محاسبه شده و در یک ROM ذخیره می‌شود. از آنجایی که تمامی محاسبات قبل از شروع عملیات DA انجام شده است، این ساختار از نظر مصرف توان و مساحت اشغالی بسیار بهینه می‌باشد [5]. اما در این روش ضرایب ثابت فیلتر قابل تغییر نیستند و فیلتر ساخته شده فقط برای یک کاربرد خاص مورد استفاده قرار می‌گیرد. روش دیگری که برای پیاده سازی فیلتر FIR وجود دارد روش RAM Based می‌باشد. در این روش ضرایب ثابت فیلتر به عنوان ورودی به واحد RAM داده می شود تا بعد از ساخت فیلتر برحسب نیاز به تغییر ضرایب ثابت فیلتر در کاربردهای مختلف امکان پذیر باشد [6]. دراین روش مصرف توان و مساحت اشغالی از روش ROM Based بیشتر است اما قابلیت تغییر ضرایب پس از ساخت فیلتر باعث می شود که روش RAM Based محبوبیت بیشتری داشته باشد. محققان برای کم کردن مصرف توان و مساحت اشغالی RAM Based DA روش‌هایی ارائه داده‌اند که فاصله دو حالت کلی RAM Based و ROM Based را نسبت بهم کم کرده است.

واحد حافظه‌ی مورد استفاده در DA نقش اساسی در کارایی فیلتر ساخته شده دارد. زمانی که تعداد تپ فیلتر زیاد می‌شود، اندازه واحد حافظه به صورت نمایی افزایش می‌یابد. بنابراین کم کردن اندازه واحد حافظه یکی از دغدغه‌های محققان بوده است. یکی از معماری‌های عنوان شده برای کم کردن اندازه واحد حافظه، معماری LUT Less1 DA می‌باشد. در این معماری با استفاده از مالتی‌پلکسر و جمع‌کننده اندازه واحد حافظه به نصف کاهش یافته است [1، 4]. بنابراین برای فیلتری با 4 تپ که در ساختار Conventional DA نیاز به حافظه‌ای با اندازه 16 می‌باشد، با معماری LUT Less1 DA اندازه حافظه به 8 کاهش یافته است که همراه با یک مالتی‌پلکسر 2 به 1 و یک جمع‌کننده می‌باشد.

روش دیگری که برای کم کردن اندازه‌ی واحد حافظه وجود دارد، استفاده از چند حافظه کوچکتر به جای یک واحد حافظه می‌باشد. این روش با نام Separated LUT DA در این تحقیق معرفی می‌گردد [2، 3، 7]. برای فیلتری با 4 تپ، به دو حافظه با اندازه‌ی 4 نیاز می‌باشد که در کنار یک جمع‌کننده به کار می‌رود.

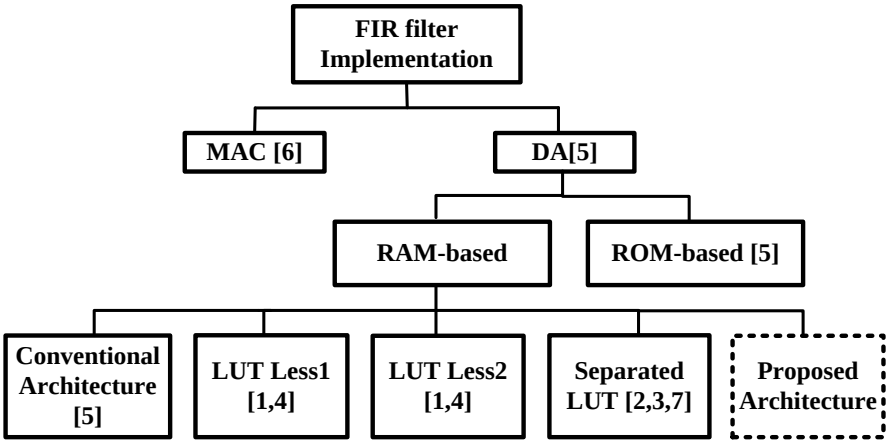
معماری بهبود یافته‌ی دیگری نیز وجود دارد که با استفاده از تکنیک معماری LUT Less1 DA پیاده‌سازی می‌شود. در این معماری که LUT Less2 DA نامیده شده است، با استفاده از مالتی‌پلکسرها و جمع‌کننده‌ها، کل واحد حافظه ساخته می‌شود [1، 4]. این روش بهترین معماری برای پیاده‌سازی فیلتر FIR از نظر مساحت اشغالی و مصرف توان می‌باشد.

یکی از معایب DA سرعت پایین یا سریال کارکردن آن می‌باشد. برای افزایش سرعت واحد DA روش‌هایی مبتنی بر موازی سازی معرفی شده است. اگر در هر زمان دو بیت به واحد حافظه ارسال شود زمان انجام عملیات DA نصف می‌شود یا به عبارتی سرعت DA را می‌توان دو برابر نمود. برای محقق شدن این خواسته به طور همزمان یک بیت زوج و یک بیت فرد از داده ورودی به دو واحد حافظه فرستاده شده و خروجی آن‌ها بعد از عمل شیفت با هم جمع می‌شود. به این روش 2BAAT گفته می‌شود [2، 5]. در این روش به دلیل استفاده از دو واحد حافظه، مساحت اشغالی افزایش می‌یابد.

همچنین روش دیگری نیز برای افزایش سرعت DA وجود دارد که با نام روش تمام موازی معرفی می‌گردد. در این روش با استفاده از N واحد حافظه برای ورودی فیلتر N بیتی می‌توان به ساختاری با عملکرد کاملا موازی دست یافت [1، 2، 3]. مساحت اشغالی در این روش نسبت به روش سریال بیشتر می‌باشد.

1-2- مدل پیشنهادی برای کم کردن مصرف توان واحد حافظه در معماری LUT Less2 DA

از آنجایی که سرعت، توان و مساحت از پارامترهای اساسی در فیلتر FIR هستند به دنبال روشی برای بهبود این پارامترها می‌باشیم. در این تحقیق روشی برای کم توان کردن DA ارائه شده است. این روش مبتنی بر کم کردن ضریب فعالیت عنصر پرمصرف جمع کننده در معماری LUT Less2 می‌باشد که با استفاده از گیت‌های مالتی‌پلکسر، Tristate و NAND منطقی می‌توان در زمان‌هایی که نیاز به عمل جمع نیست، واحد جمع‌کننده را از مدار بیرون برده و خروجی را بر اساس الگوی ورودی تولید نمود. مسیرهای امروزی برای پیاده سازی فیلتر FIR در شکل 1-1 نشان داده شده است.



شکل 1-1: معماری‌های موجود برای پیاده‌سازی فیلتر FIR

1-3- ساختار مطلب

این پایان‌نامه مشتمل بر هفت فصل می‌باشد. در فصل دوم در مورد مشخصات کلی فیلترهای FIR و نیازمندی‌های طراحی و همچنین بعضی ساختارهای این فیلتر بحث می‌شود.

در فصل سوم کلیات واحدهای MAC و DA که دو روش برای پیاده‌سازی فیلتر FIR می‌باشد، مطالعه می‌شود.

در فصل چهارم روش‌هایی مبتنی بر کاهش مساحت و توان مصرفی فیلتر FIR پیاده‌سازی شده با واحد DA مورد بررسی و ارزیابی قرار گرفته است. همچنین در ادامه به بررسی دو روش برای افزایش سرعت DA عنوان می‌شود.

در فصل پنجم یک مدل برای واحد حافظه در DA معرفی می‌شود. در نهایت مدارات مورد نیاز برای پیاده‌سازی واحد حافظه‌ی پیشنهادی و واحد شیفت‌رجیستر در DA در سطح ترانزیستوری مورد بررسی قرار خواهد گرفت.

در فصل ششم نتایج شبیه‌سازی و سنتز فیلترهای FIR معرفی شده، و مقایسه‌ی آن‌ها آورده شده است.

در پایان و در فصل ششم یک جمع‌بندی از کارهای انجام شده در پایان‌نامه صورت گرفته و نتایج کلی بدست آمده ارائه شده است.

فصل 2- فیلترهای FIR

2-1- مقدمه

در پردازش سیگنال، می‌توان توسط فیلتر قسمتی از سیگنال را حذف نمود و یا از طریق فیلتر قسمتی از سیگنال که مورد نیاز می‌باشد را استخراج نمود. قسمت حذف شده می‌تواند، نویز تصادفی باشد. فیلترها در دو دسته‌ی کلی، فیلترهای آنالوگ و دیجیتال قرار می‌گیرند. فیلتر FIR یک فیلتر دیجیتال می‌باشد که می‌تواند به صورت بالاگذر[1]، پایین‌گذر[2]، میان‌گذر[3] و غیره پیاده‌سازی گردد [8، 9].

2-2- فیلترهای آنالوگ و دیجیتال

فیلترهای آنالوگ از عناصر خازنی و مقاومتی ساخته می‌شوند و در مدارات الکترونیکی آنالوگ مورد استفاده قرار می‌گیرند. مزایای استفاده از فیلترهای آنالوگ به شرح زیر می‌باشد:

- طراحی ساده
- فهم سریع و آسان مدارات فیلتر

یکی از معایب فیلترهای آنالوگ پایداری کم و حساس بودن به دما می‌باشد.

فیلترهای دیجیتال در پروسسورهای دیجیتال (کامپیوترهای همه منظوره مانند PC یا چیپ‌های با کاربرد خاص مانند DSP) برای انجام محاسبات عددی روی مقادیر نمونه برداری شده سیگنال مورد استفاده قرار می‌گیرند. مزایای فیلترهای دیجیتال به صورت زیر می‌باشد:

- داشتن قابلیت برنامه ریزی
- طراحی و پیاده‌سازی آسان
- پایداری نسبت به دما
- قابلیت کارکردن با سیگنال‌های با فرکانس پایین
- داشتن تنوع بالا

معمولا در فرایند پردازش سیگنال، سیگنال‌ها قسمت‌های ناخواسته و غیر ضروری مانند نویز دارند که می‌تواند کیفیت عملیات مورد نظر را پایین آورد. به همین دلیل قسمت‌های اضافی سیگنال توسط فیلتر حذف می‌شود. فیلترهای دیجیتال می‌توانند در دو حالت کلی فیلترهای با پاسخ ضربه محدود (فیلتر FIR) و فیلترهای با پاسخ ضربه نامحدود (فیلتر IIR)[4] پیاده‌سازی شوند [8، 9].

2-3- مشخصات کلی فیلترهای FIR

عملکرد و کارایی فیلتر FIR به عوامل زیر بستگی دارد.

---

[1] High pass
[2] Low pass
[3] Band pass
[4] Infinite Impulse Response

- ضرایب فیلتر: ضرایب فیلتر دسته‌ای از اعداد ثابتی هستند که تعداد آن‌ها، تعداد تپ‌های فیلتر را مشخص می‌کند. ضرایب ثابت با ورودی فیلتر که تاخیر یافته است، ضرب می‌شود و خروجی فیلتر از این طریق بدست می‌آید.
- پاسخ ضربه: ورودی ضربه، نمونه‌ای با یک مقدار به اندازه‌ی واحد می‌باشد که در کنار مقادیر صفر قرار گرفته است. پاسخ ضربه فیلتر FIR، ضرایب ثابت فیلتر را مشخص می‌کند.
- تپ: تعداد تپ‌های فیلتر FIR که معمولا با N نشان داده می‌شود، حاوی اطلاعاتی در مورد فیلتر می‌باشد. مهمترین مطالبی که تعداد تپ فیلتر بیان می‌کند، میزان حافظه‌ی مورد نیاز، تعداد محاسبات و میزان "فیلتری" که می‌تواند انجام دهد، می‌باشد.
- واحد MAC: در عملکرد فیلتر FIR، MAC عملیاتی می‌باشد که ضریب ثابت را با ورودی تاخیر یافته ضرب نموده و نتیجه را در اکومولیتور ذخیره می‌نماید. معمولا در هر تپ یک واحد MAC نیاز می‌باشد [8].

2-3-1- مزایای فیلترهای FIR

از مزایای فیلترهای FIR می‌توان به موارد زیر اشاره نمود [8].

- فیلترهای FIR به راحتی طراحی می‌شوند.
- فیلترهای FIR می‌توانند فاز خطی داشته باشند که بسیار مناسب برای کاربردهایی نظیر پردازش ویدئو و صوت[1] می‌باشد.
- فیلترهای FIR حساسیت کمی نسبت به خطاهای کوانتیزه شدن ضرایب فیلتر[2] دارند. زمانی‌که فیلتر بر روی پروسسور DSP یا مدارات مجتمع پیاده‌سازی می‌شود، این خاصیت بسیار مهم می-باشد.

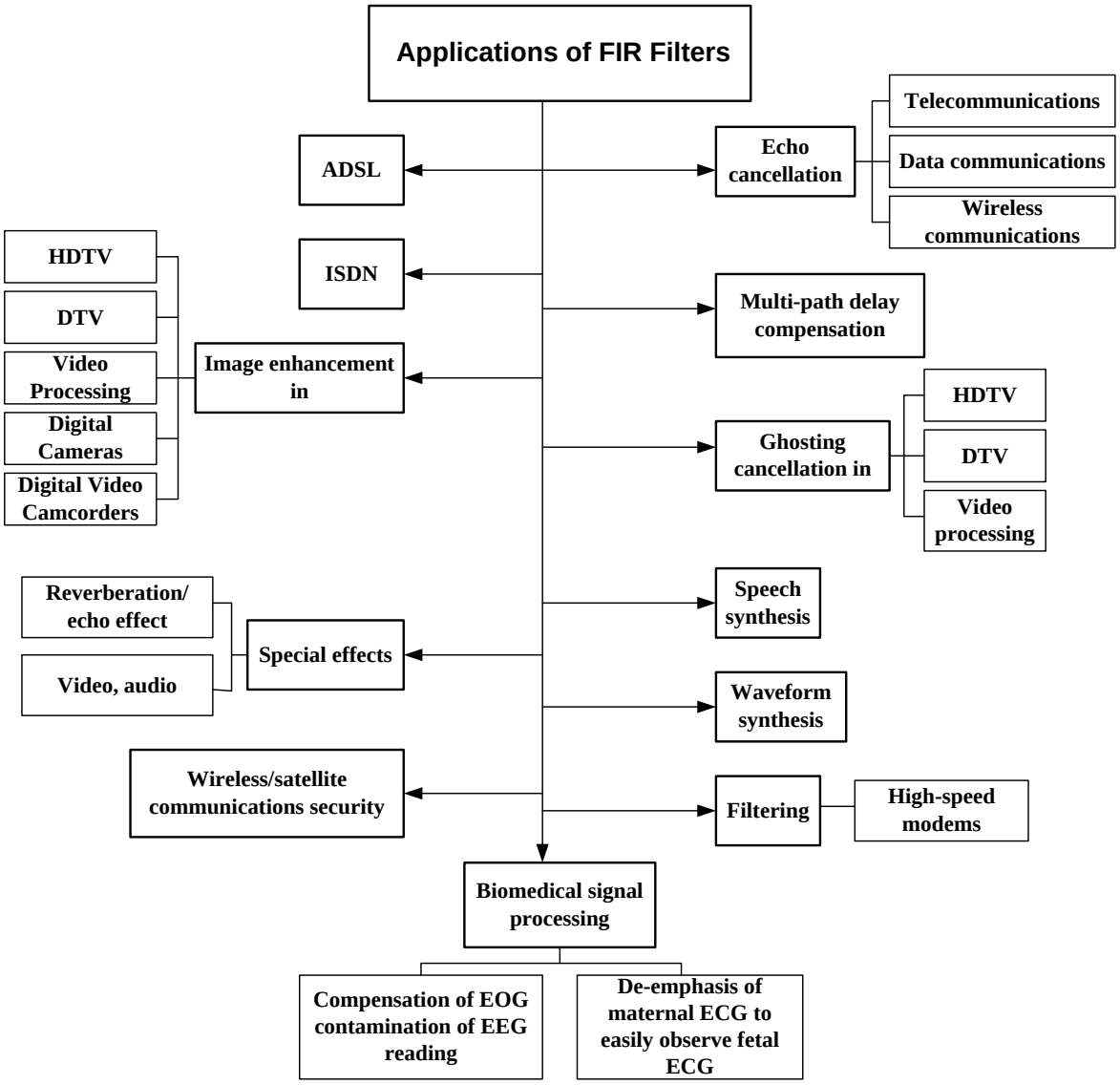
2-3-2- کاربردهای فیلتر FIR

توابع DSP در FPGA بسیار مهم و پر کاربرد می‌باشند و در پیاده‌سازی DSP ، طراحی فیلترهای FIR نقش اساسی دارد. فیلتر های FIR به صورت گسترده در پردازش سیگنال صوت و تصویر مورد استفاده قرار می‌گیرند [1، 2]. چند نمونه از کاربردهای متداول فیلترهای FIR در شکل 2-1 آورده شده است.

2-3-3- طراحی فیلترهای FIR

طراحی فیلتر FIR شامل 5 مرحله می‌باشد که در شکل 2-2 نشان داده شده است که در ادامه این 5 مرحله توضیح داده می‌شود.

[1] Video and music processing
[2] Filter coefficient quantization error



شکل 2-1: کاربردهای فیلتر FIR [8]

1. تعیین مشخصات فیلتر: در این مرحله نوع فیلتر، به طور مثال پایین گذر بودن یا نوع دیگری از آن مشخص می‌شود. هم چنین پاسخ دامنه، و پاسخ فرکانسی مطلوب، فرکانس نمونه برداری، تعداد بیت داده‌ی ورودی تعیین می‌گردد. مشخصات فیلترهای دیجیتال معمولا در حوزه‌ی فرکانسی مشخص می‌شوند. پاسخ دامنه در باندگذر[1]، بالازدگی به اندازه δp و در باند توقف[2]، بالازدگی به اندازه δs دارد. فاکتورهای مهم در پاسخ دامنه‌ی فیلتر در جدول 2-1 آورده شده است.

جدول 2-1: پارامترهای مهم در فیلتر FIR [8، 9]

δp	peak passband ripple
δs	stopband ripple

[1] passband
[2] stopband