بسم الله الرحمن الرحیم

دانشکده مهندسی برق
گروه الکترونیک

عنوان:

طراحی و شبیه سازی الگوریتم های مسیریابی تحمل پذیر نقص در شبکه بر روی تراشه

نگارش:
نسیبه سیادتی

استاد راهنما:
جناب آقای دکتر کریم محمدی

پایان نامه برای دریافت درجه کارشناسی ارشد

مهندسی برق – الکترونیک دیجیتال

خرداد ۱۳۸۷

دانشکده برق

تاییدیهٔ هیأت داوران

هیأت داوران پس از مطالعه پایان نامه و شرکت در جلسهٔ دفاع از پایان نامه با عنوان " **طراحی و شبیه سازی الگوریتم های تحمل پذیر نقص در شبکه بر روی تراشه** " توسط خام **نسیبه سیادتی** کفایت تحقیق انجام شده را برای اخذ درجه کارشناسی ارشد در رشته **برق** ، گرایش **الکترونیک دیجیتال** مورد تأیید قرار می دهد.

اسامی هیات داوران بشرح زیر می باشد:

۱- **دکتر شهریار شاه حسینی** مرتبه علمی: **دانشیار** دانشگاه: **علم و صنعت ایران**

۲- **دکتر علی صدر** مرتبه علمی: **دانشیار** دانشگاه: **علم و صنعت ایران**

۳- **دکتر کیوان ناوی** مرتبه علمی: **دانشیار** دانشگاه: **شهید بهشتی**

بسمه تعالی

اینجانـــب .....بـــه شـــماره دانـــشجویی.....

دانشجوی رشته .....مقطع تحصیلی .....

بدین وسیله صحت و درستی نتایج موجود در این پایان نامه را تایید نموده و گواهی می نمایم که در این نتایج هیچ گونه دخل و تصرفی صورت نگرفته باشد. همچنین متعهد می گردم کـه کلیـه نتایج عملی موجود در این پایان نامه حاصل کار اینجانب بوده و متعلق به هـیچ یـک از محققـین قبلی نمی باشد. چنانچه خلاف موارد فوق حتی بصورت جزئـی و در هـر زمـان مـشخص گـردد دانشگاه علم و صنعت ایران حق دارد که این پایان نامه را باطل نماید. در این صـورت تعهـد مـی نمایم که تبعات قانونی این مسئله و همچنین کلیه خسارات ناشی از آن به عهده اینجانب باشد.

نام و نام خانوادگی

امضاء و تاریخ

﴿به نام آرام قلبها﴾

کی رفته ای زدل که تمنا کنم تورا
کی بوده ای نهفته که پیدا کنم تورا

غیبت نکرده ای که شوم طالب حضور
پنهان نگشته ای که هویدا کنم تورا

باصد هزار جلوه برون آمدی که من
باصد هزار دیده تماشا کنم تورا

(فروغی بسطامی)

شایسته است در این مقام از همه کسانی که مرا در تهیه و تدوین این مجموعه یاری کرده اند قدردانی نمایم. این اوراق را که بخشی از تلاشهای علمی من است تقدیم می دارم به تمام آنان که کلمه ای به من آموختند. بلاخص به روح بلند دایی مهربانم که همواره مشوق من در راه کسب علم و طی مدارج عالی تحصیلی بود. (یادش گرامی)

با تشکر و قدردانی از

جناب آقای دکتر محمـدی

استاد بزرگواری که چه در سالهای تحصیل و چه در مراحل انجام این پروژه پیوسته خود را مرهون راهنماییها و زحمات ایشان می دانم.

و

با تشکر از هیئت محترم داوران، جناب آقای دکتر شاه حسینی ، جناب آقای دکتر صدر و جناب آقای دکتر ناوی

چکیده

افزایش پیچیدگی طراحی مدارهای مجتمع از یک سو و نیاز به جداسازی فعالیت قسمت های محاسباتی و ارتباطی در تراشه های امروزی از سویی دیگر، مسیر طراحی را به سوی سامانه های مبتنی بر شبکه روی تراشه سوق داده است، و این امر را بر اساس مرتبط کردن هسته ها و مولفه های از پیش طراحی شده محقق نموده است. لذا شبکه بر روی تراشه یک وسیله ارتباطی در محیط تراشه سیستمی است که هدف اصلی آن فراهم کردن زیربنایی موثر برای ارتباط تعداد دلخواهی منبع می باشد.

با پیچیده تر و بزرگتر شدن مدارها، همراه با کوچک تر شدن اندازه ی ترانزیستورها – و به تبع آن پیچیده تر شدن فرآیند ساخت – منجر به افزایش امکان خرابی در مدارهای ساخته شده و پایین آمدن بازده فرآیند ساخت گردیده است. با گسترش فناوری نانو در صنعت نیمه هادی، فایق آمدن بر این مشکلات اهمیت بیشتری یافته است. در ساخت شبکه بر روی تراشه نیز مشکلاتی نظیر هزینه ارتباطات بین مولفه ها و احتمال بروز خرابی های غیر قابل پیش بینی در مولفه ها و مدارات ارتباطی وجود دارد، از این رو تحمل پذیری اشکال در ارتباطات، نقش مهمی در گسترش معماری شبکه بر روی تراشه دارد.

در این نوشتار مروری بر الگوریتم های مسیریابی تحمل پذیر نقص در شبکه بر روی تراشه خواهیم داشت، و الگوریتمی را با پارامترهای عملکردی مناسب ارائه خواهیم داد. نهایتا تمامی الگوریتم ها را از لحاظ پارامترهای مورد نظر مقایسه و طبقه بندی خواهیم نمود. نتایج شبیه سازی نشان می دهد الگوریتم های سیل آسا، سربار ارتباطی و تحمل پذیری نقص بالایی را بوجود می آورند. الگوریتم RandomWalk سربار ارتباطی را کاهش داده اما در مقابل خطاها خوب عمل نمی کند. SRN تحمل پذیری نقص های ثابت را با اتکا به مسیریابی منبع بهبود بخشیده اما به شرایط جاری شبکه و اطلاعات ترافیکی توجهی ندارد، در حالی که الگوریتم پیشنهادی هم سربار ارتباطی را کاهش داده و هم تحمل پذیری نقصهای ثابت و گذرا را با مسیریابی توزیع شده و تطبیقی در سطح قابل قبولی نگه می دارد.

فهرست مطالب

فصل ۱ مقدمه

۱-۱ سیستم روی تراشه..... ۱

۱-۱-۱ IP های قابل استفاده مجدد..... ۴

۱-۲ شبکه روی تراشه..... ۵

۱-۳ ترتیب مطالب پایان نامه..... ۷

فصل ۲ شبکه بر روی تراشه

۲-۱ مقدمه..... ۸

۲-۲ شبکه..... ۹

۲-۳ مشخصات شبکه ها..... ۱۰

۲-۳-۱ شیوه عملکرد شبکه..... ۱۰

۲-۳-۲ نحوه کنترل شبکه..... ۱۱

۲-۳-۳ توپولوژی شبکه..... ۱۲

۲-۴ سوئیچ..... ۱۲

۲-۴-۱ قسمت های مختلف یک سوئیچ..... ۱۳

۲-۵ مفاهیم اساسی در انتقال اطلاعات..... ۱۵

۲-۵-۱ راه گزینی مداری..... ۱۶

۲-۵-۲ راه گزینی بسته ای..... ۱۶

۲-۵-۳ راه گزینی Wormhole..... ۱۷

۲-۵-۴ کانال مجازی..... ۱۸

۲-۶ الگوریتم های مسیریابی..... ۲۱

۲-۶-۱ بن بست، چرخه ی زنده و گرسنگی..... ۲۱

۲-۶-۲ طبقه بندی الگوریتم های مسیریابی..... ۲۲

۲-۷ تحمل نقص..... ۲۶

۲-۸ خصوصیات شبکه روی تراشه..... ۲۷

۲-۹ نتیجه گیری..... ۲۸

فصل ۳ بررسی معماریهای معرفی شده شبکه بر روی تراشه

۳-۱مقدمه..... ۲۹

۳-۲ توپولوژیهای معرفی شده..... ۲۹

۳-۲-۱ توپولوژی مش..... ۳۰

۳-۲-۲ توپولوژی تورس..... ۳۱

۳-۲-۳ توپولوژی SPIN ۳۲
۳-۲-۴ توپولوژی هشت گوش ۳۴
۳-۲-۵ توپولوژی BFT ۳۴
۳-۳ مقایسه ی توپولوژی ها ۳۵
۳-۴ توپولوژی مش دو بعدی ۳۶
۳-۴-۱ منابع در شبکه مش دو بعدی ۳۷
۳-۴-۲ سوئیچ های مش ۳۸
۳-۴-۳ ارتباط در مش ۴۰
۳-۴-۴ مسیریابی مبتنی بر ابعاد ۴۱
۳-۴-۵ مسیریابی XY مبتنی بر مش ۴۲
۳-۵ نتیجه گیری ۴۳

فصل ۴ مدل های نقص و کنترل خطا

۴-۱ مقدمه ۴۴
۴-۲ تعاریف ۴۴
۴-۲-۱ راههای برخورد با نقص ۴۶
۴-۳ نقص های دائمی و مدل های نقص کلاسیک برای مدارهای دیجیتال و گذرگا ها ۴۷
۴-۳-۱ مدل نقص ایستا – بر ۴۷
۴-۳-۲ مدل های نقص مدار باز ۴۸
۴-۳-۳ مدل نقص پل زدن ۴۹
۴-۳-۴ مدل نقص های تاخیر ۴۹
۴-۴ نقص های گذرا و نقص های تکنولوژی در عمق زیر میکرون ۵۰
۴-۵ منابع نقص در DSM ۵۱
۴-۵-۱ تشعشع: ذرات آلفا و نوترون ۵۱
۴-۵-۲ مداخله ی الکترو مغناطیس ۵۲
۴-۵-۳ تغییرات پردازشی ۵۲
۴-۵-۴ منابع نقص دیگر ۵۳
۴-۶ دلایل نقصها روی اتصالات DSM ۵۳
۴-۷ کنترل خطا با استفاده از روشهای کد گذاری ۵۴
۴-۸ کدهای خطی بلاکی ۵۵
۴-۸-۱ کدهای توازن ۵۵
۴-۸-۲ کدهای تکرار ۵۶
۴-۸-۳ کدهای همینگ ۵۶
۴-۸-۴ کدهای چرخشی ۵۶
۴-۸-۴-۱ کدهای BCH ۵۷
۴-۸-۴-۲ کدهای RS ۵۷

۴- ۹ الگوریتم RSA ۵۸
۴-۹ روش کنترل خطا در رابطه با شبکه بر روی تراشه ۵۹
۴-۹-۱ کدهای تشخیص خطا ۶۰
۴-۹-۲ کدهای تصحیح خطا ۶۱
۴-۱۰ طرح کنترل خطای قابل پیکربندی برای درستی سیگنال NOC ۶۲
۴-۱۰-۱ سیاست کنترل خطای end-to-end ۶۳
۴-۱۰-۲ سیاستهای کنترل خطا سوئیچ به سوئیچ ۶۴
۴-۱۱ خرابی ها در شبکه بر روی تراشه ۶۸
۴-۱۲ نتیجه گیری ۶۹

فصل ۵ الگوریتم های مسیریابی تحمل پذیر نقص در شبکه بر روی تراشه

۵-۱ مقدمه ۷۰
۵-۲ سیل آسای احتمالی ۷۰
۵-۲-۱ تولید کننده- مصرف کننده ۷۲
۵-۲-۲ شبه کد الگوریتم سیل آسای احتمالی ۷۳
۵-۳ سیل آسای جهت دار ۷۵
۵-۴ Random Walk افزونه ۷۶
۵-۵ مسیر یابی منبع برای شبکه بر روی تراشه ۷۷
۵-۵-۱ کشف مسیر SRN ۷۸
۵-۵-۲ نگهداری و تعمیر مسیر SRN ۸۱
۵-۵-۳ پاسخ به درخواست مسیر با کاربرد مسیرهای کش شده ۸۲
۵-۶ الگوریتم پیشنهادی (XYFT) ۸۳
۵-۶-۱ راهکار مسیریابی پیشنهاد شده ۸۳
۵-۶-۱-۱ طول عمر ۸۶
۵-۶-۱-۲ میزان انتظار ۸۶
۵-۷ طبقه بندی الگوریتم ها بر اساس مشخصه های قابل پیکربندی ۸۷
۵-۸ نتیجه گیری ۸۷

فصل ۶ محیط شبیه سازی و ارزیابی نتایج

۶-۱ مقدمه ۸۸
۶-۲ ویژگیهای شبکه بر روی تراشه در محیط شبیه سازی ۸۸
۶-۲-۱ سناریوی شبیه سازی ۸۸
۶-۲-۲ ابزار شبیه ساز پیاده سازی شده ۸۹
۶-۳ ارزیابی مشخصه ها ۹۲
۶-۳-۱ طول عمر ۹۲
۶-۳-۲ تحمل پذیری نقص ۹۴

۶-۳-۴ تاخیر..... ۹۸
۶-۳-۵ سربار شبکه..... ۹۹
۶-۴ معیارهای ارزیابی..... ۱۰۰
۶-۵ نتیجه گیری..... ۱۰۰

فصل ۷ نتیجه گیری و جمع بندی
۷-۱ نتیجه گیری..... ۱۰۱
۷-۲ راهکارهای پیش رو..... ۱۰۵

۸ فهرست منابع..... ۱۰۷

فهرست شکل ها

شکل ۱-۱- رشد تعداد ترانزیستورها در مقابل میزان بهره وری..... ۴
شکل ۲-۱- ساختار یک سوئیچ..... ۱۳
شکل ۲-۲- رابطه پیام، فلیت و فیت..... ۱۵
شکل ۲-۳ – ارتباط کانال فیزیکی با کانال های مجازی..... ۱۹
شکل ۲-۴- جلوگیری از مسدود شدن پیام ها با استفاده از کانال مجازی..... ۱۹
شکل ۲-۵- طبقه بندی الگوریتم های مسیریابی..... ۲۳
شکل ۳-۱- ساختارهای قابل استفاده در NoC الف) منظم (همگن) ب) نامنظم (ناهمگن)..... ۳۰
شکل ۳-۲ - توپولوژی های معرفی شده..... ۳۳
شکل ۳-۴- مقایسه توپولوژی ها – تغییرات الف) توان عملیاتی ب) زمان پاسخ با تعداد VCها..... ۳۶
شکل ۳-۵ - توپولوژی شبکه مش دو بعدی..... ۳۶
شکل ۳-۶ - شبکه بر روی تراشه با منابع مختلف..... ۳۸
شکل ۳-۷ - ساختار سوئیچ در شبکه مش دو بعدی..... ۳۹
شکل ۳-۸ - جریان داده در یک سوئیچ..... ۳۹
شکل ۳-۹- یک شبکه بر روی تراشه با ۱۶ منبع..... ۴۰
شکل ۳-۱۰- الگوریتم XY برای شبکه های مش دو بعدی..... ۴۲
شکل۳-۱۱ - معماری داخلی یک سوئیچ نوعی مش..... ۴۳
شکل ۴-۱ - رابطه نقص، خطا و خرابی..... ۴۵
شکل ۴-۲ - خطای گسستگی در یک دروازه NOT..... ۴۸
شکل ۴-۳ - (آ) مدار رمز نگار کد چرخشی (ب) محاسبه سندرم خطا..... ۶۱
شکل ۴-۴ - ساختار ممکن از پیاده سازی روتر یک سیاست کنترل نقص end-to-end..... ۶۳
شکل ۴-۵ - ساختار ممکن از پیاده سازی روتر یک سیاست کنترل نقص سوئیچ به سوئیچ سربار سطح پایین..... ۶۵
شکل ۴-۶ - ساختار ممکن از پیاده سازی روتر یک سیاست کنترل نقص سوئیچ به سوئیچ عملکرد بالا..... ۶۶
شکل ۵-۱ - روند انتشار بسته در NOC..... ۷۲
شکل ۵-۲- الگوریتم gossip..... ۷۳
شکل ۵-۳ - عملیاتهایی که توسط هر منبع انجام می شود..... ۷۴
شکل ۵-۴ - عملیاتهایی که توسط هر لینک انجام می شود..... ۷۴
شکل ۵- ۵ - نمودار انتشار بسته در شبکه..... ۷۵
شکل ۵-۶ -گره ۱ آغازگر و ۹ مقصد است..... ۷۸
شکل۵-۷ - مثالی از نگهداری مسیر: گره ۵ قادر به پیش راندن بسته از گره ۱ به گره ۹ نمی باشد..... ۸۱
شکل ۵-۸ - پاسخ مسیر که توسط کش گره های واسط انجام شده است..... ۸۲
شکل ۵-۹ - (a) دو اتصال همزمان در سوییچ، (b) جدول سوییچینگ مربوطه..... ۸۵
شکل ۶-۱- ساختار مسیریاب..... ۸۸

شکل ۶-۲- نمایی از ابزار شبیه ساز تهیه شده..... ۸۹
شکل۶-۳- فرمت بسته در الگوریتم XYFT..... ۹۱
شکل ۶-۴ - بررسی طول عمر بر روی انتقالات موفق در حضور ۲٪ نقص ثابت و ۱٪ نقص گذرا..... ۹۳
شکل ۶-۵ - اثر نقص های دائمی روی انتقالات موفق با حضور ۲٪ نقص گذرا..... ۹۵
شکل ۶-۶ - اثر نقص های گذرا روی انتقالات موفق (۰٪ نرخ نقص دائمی)..... ۹۷
شکل ۶-۷ - مقایسه تاخیر الگوریتم ها در حضور ۲٪ نقص ثابت و ۱٪ نقص گذرا..... ۹۸
شکل ۶-۸- ارسال بسته از مبدا به مقصد..... ۹۹

فهرست جداول

جدول ۵-۱ - احتمال انتقال بسته بر حسب فاصله منهتنی..... ۷۵
جدول ۵-۲ - طبقه بندی الگوریتم ها بر اساس پارامترهای قابل پیکربندی..... ۸۷
جدول ۶-۱ - ویژگیهای شبکه بر روی تراشه در محیط شبیه سازی..... ۹۲
جدول۶-۲ - مقایسه الگوریتم ها بر اساس معیارهای ارائه شده..... ۱۰۰
جدول ۷-۱- مقایسه کمی الگوریتم ها..... ۱۰۵

مقدمه

مقدمه

صنعت نیمه هادی کماکـان در حـال بهبـود حـداکثر تـراکم در مـدارهای مجتمـع در مقیـاس وسـیع[۱] (VLSI) می باشد. با توجه به برآورد مؤسسه ITRS [۲] تا پایان دهه ی جاری ترانزیستورهایی بـا ابعـاد ۴۵ نانومتر که با تغذیه ی کمتر از هفت دهم ولت کار می کنند، به بازار عرضه خواهند شـد. اسـتفاده از این نانو ترانزیستورها، امکان ساخت تراشه با تعداد حدود ۴ میلیارد ترازیستور که سرعت نامی آن حدود ۱۵ گیگاهرتز است، را فراهم می کند [1]. ناگفته پیداست که اسـتفاده از راهکارهـای متـداول و سـنتی طراحی، قادر به پاسخگویی نیازهای کنونی صنعت نبوده و نخواهد بود.

۱-۱ سیستم روی تراشه

به منظور حفظ آهنگ در سطوح مجتمع سازی، طراحان راهکارهایی را برای مدیریت پیچیدگی زیاد که در تراشه های کنونی به وجود آمده است، ارائه داده اند. یکی از مهمتـرین ایـن راهکارهـا روش سیـستم روی تراشه[۳] یا به اختصار SoC می باشد، که در آن از یک سری بلوک های[۴] از پیش طراحی شـده، کـه قاعدتاً درستی آنها نیز ارزیابی شده است، برای ساخت تراشه اصلی استفاده می شود [2]. از ایـن بلـوک های از پیش طراحی شده، که معمولاً توسط شرکت های دیگر یا منابع داخلی فراهم می شوند، با عنوان

[1] Very Large Scale Integration
[2] International Technology Roadmap for Semiconductors
[3] System-on-Chip
[4] Blocks

هسته های[۱] IP [3] یا مؤلفه های مجازی[۲] یاد مـی شود. مهمترین مزیت این مؤلفه ها قابلیـت اسـتفاده مجدد[۳] آنهاست. این مؤلفه ها – Ips – می توانند شامل پردازنده های درونی سیـستم هـا، بلـوک هـای حافظه، بلوک های واسطه، بلوک های آنالوگ و بلوک هایی که به منظور انجام عملیات خاص تهیـه مـی شوند، باشند.

علاوه بر این مؤلفه ها، بخش های نرم افزاری قابل استفاده مجدد شامل سیستم های بلادرنـگ[۴] و توابـع کتابخانه ای[۵] و راه اندازهای اجزای سخت افزاری[۶] هم تهیه شده و در اختیار طراحان قرار مـی گیرد.

با استفاده از راهکار سیستم روی تراشه و با در نظر داشتن مفهوم IP می توان به بهترین نحو از قابلیـت مجتمع سازی سیلیکون بهره برداری کرد. به طور خلاصه می توان گفت که یک مهندس SoC به جـای طراحی تک تک مؤلفه ها به طور مجزا، قادر اسـت در کمتـرین زمـان ممکـن و بـا اسـتفاده از IP هـای موجود به بهترین پیاده سازی از تراشه ی مورد نظر دست پیدا کند. این عملیـات شـامل متـصل کـردن بلوک های IP از طریق شبکه های ارتبـاطی داخـل تراشـه، پیـاده سـازی شـگردهای لازم بـرای انجـام عملیات آزمون[۷] و استفاده از راهکارهایی برای ارزیابی و درستی یابی[۸] عملکرد کلی سیستم می باشد.

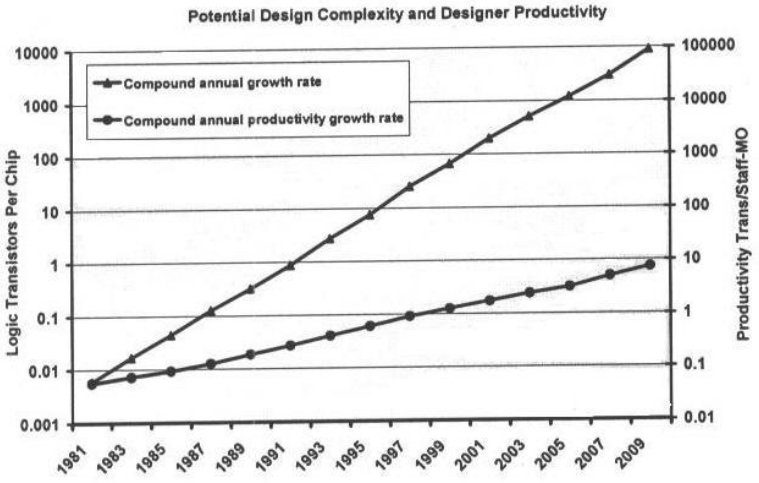
روش طراحی SoC در گذشته نه چندان دور تنها به مفهوم روشی برای رسیدن به سطوح تجریـد[۹] بـالا استفاده می شد. بنابراین از آن به عنوان روشی برای گذر از مسیر طراحی های مبتنی بر چند تراشه بـه مسیر طراحی مبتنی بر یک تراشه که شامل تمامی مؤلفه های لازم مانند حافظه، پردازشـگر و ... اسـت، یاد می شد؛ اما امروزه SoC مفهوم بسیار وسیع تری در طراحی سخت افزار پیدا کرده است.

---

[1] Intellectual Property Cores
[2] Virtual Components
[3] Reusability
[4] Real Time Systems
[5] Library Function
[6] Device Drivers
[7] Test
[8] Validation & Verification
[9] Abstraction

شکل ۱-۱ مقایسه‌ای از رشد تعداد ترانزیستورها در یک تراشه (با نرخ افـزایش ۵۸٪ در سـال) و میـزان بهره‌وری مهندسان با واحد تعداد ترانزیستور در ماه (با نرخ رشد ۲۱٪ در سال) ارائه مـــی دهـد. همـان طور که مشاهده می شود فاصله ی دو خط در نمودار که اولی همان قـانون معـروف مـور [4] (دو برابـر شدن تعداد ترانزیستورهای یک تراشه در طی ۱۸ تا ۲۴ ماه) و دومـی میـزان بهـره وری مهندسـان [1] است، در حال افزایش است. از این فاصله معمولاً با نام شکاف بهره وری[1] یاد می شـود. از سـویی دیگـر، مهمترین عامل در طراحی یک تراشه به صورت صنعتی، هزینه ی کلی طرح است. امروزه هزینه ی یـک تراشه شامل ۵۰ میلیون ترانزیـستور بـین ۲۰ تـا ۳۰ میلیـون دلار اسـت [1] کـه شـامل هزینـه هـای مهندسین، نرم افزارهای مورد استفاده، نقاب[2] های استفاده شده در ساخت مواد اولیه و ... است. از طرف دیگر مسأله ی توان مصرفی به عنوان یکی از مهمترین چالش ها در فرآیند طراحی و ساخت تراشـه هـا مطرح شده است. با استفاده از روش طراحی SoC می توان از یک سو شـکاف بهـره وری را کـاهش داد [2] و از سوی دیگر کمیت های هزینه و توان مصرفی را تا حد قابل توجهی تعدیل کرد [5، 6، 7].

[1] Productivity Gap
[2] Mask



شکل ۱-۱- رشد تعداد ترانزیستورها در مقابل میزان بهره وری [1]

از سوی دیگر با توجه به پذیرش روش طراحی SoC در سال های اخیر، بهبودی های قابل توجهی در صنعت مدارهای مجتمع ایجاد شده است. به عنوان مثال توسعه استانداردهای مبتنی بر این روش (مانند استانداردهای گذرگاه ها، قالب IP ها و پوشش های آزمون[1]) و فراگیر شدن استفاده از آنها به عنوان یکی از مهمترین مزیت های استفاده از روش طراحی SoC شناخته مـی شود.

۱-۱-۱ IP های قابل استفاده مجدد

مهمترین پیش نیاز برای پیاده سازی طراحی های مبتنی بر روش SoC استفاده از مجموعه ای از بلوک های قابل استفاده مجدد (IP) است. این بلوک ها در بالاترین سطح یـک SoC قـرار مـــی گیرنـد. بـا داشتن یک کتابخانه از این IP ها که شـامل خـصوصیات متفـاوت زمـانی[2]، مـساحت[3] و تـوان مـصرفی[4] هستند، می توان بهترین طراحی را برای نیل به هدف مورد نظر کـه مـی توانـد کـاهش تـوان مـصرفی،

[1] Test Wrapper
[2] Timing
[3] Area
[4] Power Consumption