بسم الله الرحمن الرحيم

دانشکده مهندسی برق و کامپیوتر

پایان نامه برای دریافت درجه کارشناسی ارشد

در رشته کامپیوتر گرایش معماری کامپیوتر

طراحی یک الگوریتم مسیریابی تحمل‌پذیر اشکال برای شبکه روی تراشه سه‌بعدی

مصطفی تقی‌زاده فیروزجایی

استاد راهنما: دکتر مجتبی ولی‌نتاج

دی ۱۳۹۳

تقدیم به:

پدر و مادر بزرگوارم

چکیده

کارایی شبکه‌های روی تراشه، به‌طور گسترده‌ای به الگوریتم‌های مسیریابی به‌کاررفته در آن‌ها وابسته است. در سالیان اخیر، الگوریتم‌های مسیریابی زیادی برای شبکه‌های روی تراشه دوبعدی و سه‌بعدی طراحی‌شده است. شبکه روی تراشه سه‌بعدی که برای افزایش کارایی شبکه روی تراشه دوبعدی معرفی گردیده، از ترکیب مفاهیم شبکه روی تراشه و مجتمع سازی سه‌بعدی به وجود آمده است. در این‌گونه مدارها عناصر نیمه‌هادی به روشی خاص به‌صورت پشته‌ای روی یکدیگر قرار می‌گیرند. به دلیل تأثیرات قابل‌توجهی که اشکال‌های لینک‌ها یا گره‌های شبکه روی تراشه بر عملکرد مدار می‌گذارند، الگوریتم‌های مسیریابی بایستی روش‌هایی را به‌کار گیرند تا از تأثیرات اشکال جلوگیری نمایند. این ویژگی خصوصاً در شبکه روی تراشه سه‌بعدی که احتمال رخداد اشکال در لینک‌های عمودی آن قابل‌توجه است، اهمیت بیشتری دارد. در این پایان‌نامه، یک روش جدید برای مسیریابی در شبکه روی تراشه سه‌بعدی به نام FT-ZXY معرفی می‌شود که بدون استفاده از کانال‌های مجازی و در نتیجه با سربار سخت‌افزاری ناچیز، قابلیت تحمل اشکال‌های منفرد در لینک‌های افقی و اشکال‌های چندگانه در لینک‌های عمودی را دارد. نتایج شبیه‌سازی نشان می‌دهد که الگوریتم مسیریابی پیشنهادی از نظر پارامترهای ارزیابی مانند تأخیر، قابلیت اطمینان و سربار سخت‌افزاری، عملکرد بهتری نسبت به الگوریتم‌های مطرح‌شده قبلی دارد.

کلیدواژه: شبکه روی تراشه، شبکه روی تراشه سه بعدی، مسیریابی، تحمل‌پذیری اشکال، قابلیت اطمینان

فهرست علائم اختصاری

AdaptiveZ	Adaptive ZXY Routing Algorithm
AFRA	A Fault Tolerant Routing Algorithm
CDG	Channel Dependency Graphs
FON	Fault On Neighbor Aware Routing Algorithm
FT_XY	Fault Tolerant XY Routing Algorithm
FT_ZXY	Fault Tolerant ZXY Routing Algorithm
FTDR	Fault Tolerant Deflection Routing Algorithm
GAL	Global Average Latency
GSM	Global System for Mobile Communications
HAMFA	Hamiltonian Path Strategy Fault Tolerant Routing Algorithm
HARS	High Performance Reliable Routing Scheme
NOC	Network on Chip
RILM	Reconfigurable Inter Layer Routing Mechanism
SOC	System on Chip
TSV	Through Silicon Via
VCT	Virtual Cut Through
VNT	Vertical Node Tree

فهرست

فصل اول: مقدمه ۱

۱-۱- موضوع تحقیق ۲

۱-۲- اهداف تحقیق ۳

۱-۳- پیش‌فرض‌های تحقیق ۴

۱-۴- ساختار پایان‌نامه ۴

فصل دوم: مفاهیم پایه ۶

۲-۱- شبکه روی تراشه ۷

۲-۱-۱- هم‌بندی ۷

۲-۱-۲- مسیریابی ۸

۲-۱-۳- راه‌گزینی ۱۱

۲-۱-۴- کنترل جریان ۱۲

۲-۱-۵- بن‌بست و سرگردانی ۱۲

۲-۱-۶- الگوهای ترافیکی ۱۳

۲-۲- کارایی در شبکه‌های میان ارتباطی ۱۴

۲-۳- فناوری سه‌بعدی در مدارهای مجتمع ۱۵

۲-۳-۱- برخی از دلایل رویکرد به سمت سه‌بعدی سازی ۱۵

۲-۳-۲- معماری سه‌بعدی ۱۶

۲-۴- شبکه روی تراشه سه‌بعدی ۱۷

۲-۴-۱- خصوصیات فناوری مجتمع سازی سه‌بعدی مؤثر در شبکه روی تراشه ۱۸

۲-۴-۲- تأخیر در ارتباطات عمودی ۱۹

۲-۴-۳- چگالی ارتباطات عمودی در فناوری سه‌بعدی ۱۹

۲-۴-۴- سربار مساحتی اعمال‌شده توسط ارتباطات عمودی ۱۹
۲-۴-۵- افزایش پیچیدگی مسیریاب‌ها و راه‌گزین‌های شبکه ۲۰
۲-۴-۶- مسئله توان مصرفی و حرارت ایجادشده در مدارهای سه‌بعدی ۲۰
۲-۴-۷- یکسان نبودن خصوصیات مربوط به لایه‌های مختلف در فناوری سه‌بعدی ۲۰
۲-۴-۸- قرار گرفتن عناصر عملیاتی بر روی یکدیگر در لایه‌های همسایه ۲۰
۲-۵- تحمل‌پذیری اشکال در شبکه روی تراشه ۲۱
۲-۵-۱- اشکال در شبکه روی تراشه ۲۱
۲-۵-۱-۱- محل اشکال ۲۱
۲-۵-۱-۲- انواع اشکال ۲۱
۲-۵-۱-۳- الگوی اشکال ۲۲
۲-۵-۱-۴- مفاهیم مرتبط با اشکال در شبکه روی تراشه ۲۳
۲-۵-۳- الگوریتم‌های مسیریابی تحمل‌پذیر اشکال در شبکه روی تراشه دوبعدی ۲۳
۲-۵-۳-۱- الگوریتم مسیریابی احتمالی ۲۳
۲-۵-۳-۲- الگوریتم‌های مسیریابی غیر احتمالی ۲۴
۲-۵-۳-۳- برخی الگوریتم‌های مسیریابی تحمل‌پذیر اشکال در شبکه روی تراشه دوبعدی ۲۵
فصل سوم: تحقیقات مرتبط ۳۲
۳-۱- انواع روش‌های مسیریابی تحمل‌پذیر اشکال در شبکه روی تراشه سه‌بعدی ۳۳
۳-۲- برخی از الگوریتم‌های مسیریابی تحمل‌پذیر اشکال در شبکه روی تراشه سه‌بعدی ۳۳
۳-۲-۱- الگوریتم مسیریابی RILM ۳۳
۳-۲-۲- الگوریتم مسیریابی FTDR سه‌بعدی ۳۶
۳-۲-۳- الگوریتم مسیریابی AFRA ۳۸
۳-۲-۴- الگوریتم مسیریابی HAMFA ۳۹

۳-۲-۵- الگوریتم مسیریابی AdaptiveZ ۴۱
۳-۲-۶- الگوریتم مسیریابی HARS ۴۳
۳-۲- مقایسه الگوریتم‌ها ۴۶
فصل چهارم: الگوریتم مسیریابی پیشنهادی با قابلیت تحمل‌پذیری اشکال برای شبکه روی تراشه سه‌بعدی ۴۹
۴-۱- مبانی ۵۰
۴-۲- الگوریتم مسیریابی پیشنهادی ۵۱
۴-۲-۱- الگوریتم مسیریابی درون لایه‌ای ۵۱
۴-۲-۲- الگوریتم مسیریابی بین لایه‌ای ۵۵
۴-۳- بن‌بست ۵۸
۴-۳-۱- بن‌بست صفحه‌ای ۶۰
۴-۳-۲- بن‌بست سه‌بعدی ۶۰
۴-۴- راه‌اندازی شبیه‌ساز ۶۱
۴-۵- ارزیابی میانگین تأخیر بسته‌ها ۶۲
۴-۶- ارزیابی قابلیت اطمینان ۶۵
۴-۷- ارزیابی سربار سخت‌افزاری ۶۶
فصل پنجم: نتیجه‌گیری و کارهای آینده ۶۸
۵-۱- نتیجه‌گیری ۶۹
۵-۲- پیشنهاد برای ادامه کار ۷۰
مراجع ۷۱

فهرست شکل‌ها

شکل ۲-۱: همبندی شبکه‌های مستقیم و غیرمستقیم (الف) شبکه مستقیم با همبندی توری ۳×۳×۲ (ب) شبکه مستقیم باهم بندی درخت (ج) شبکه مستقیم باهم بندی ستاره (د) شبکه غیرمستقیم ۹

شکل ۲-۲: بن‌بست در یک شبکه توری دوبعدی ۱۰

شکل ۲-۳: عوامل مسدودکننده حرکت بسته‌ها در شبکه ۱۳

شکل ۲-۴: بخشی از گراف وظایف کاربرد ۱۴

شکل ۲-۵: کاهش طول سیم در جایی که مدار دوبعدی بر روی دو و چهار سطح پیاده‌سازی شده است ۱۶

شکل ۲-۶: فناوری سه‌بعدی با دولایه ۱۶

شکل ۲-۷: ساختارهای مختلف شبکه روی تراشه ۱۸

شکل ۲-۸: نواحی دارای اشکال (الف) ناحیه مقعر (ب) ناحیه محدب ۲۲

شکل ۲-۹: حالت‌های انحراف بسته حول بلوک اشکال در فاز ۱ (الف) و (ب) و در فاز ۲ (ج) و (د) ۲۶

شکل ۲-۱۰: محیط‌های دربرگیرنده لینک‌های خراب افقی و عمودی ۲۷

شکل ۲-۱۱: چرخش‌های ممنوع (خط‌چین) و مجاز (پیوسته) حول لینک‌های خراب افقی و عمودی ۲۷

شکل ۲-۱۲: ۱۲ لینک‌های در همسایگی یک مسیریاب (گره پر) ۲۸

شکل ۲-۱۳: نوع خاصی از همبندی توری به نام Nostrum ۲۹

شکل ۲-۱۴: مکانیزم ارسال اطلاعات اشکال در FON ۳۰

شکل ۳-۱: مثالی از الگوریتم مسیریابی RILM ۳۴

شکل ۳-۲: (الف) ساخت درخت VNT در وضعیت بدون اشکال (ب) وضعیت اشکال در گره دوبعدی (ج) وضعیت اشکال در گره سه‌بعدی ۳۵

شکل ۳-۳: ساختار بسته درروش FTDR ۳۶

شکل ۳-۴: مثالی از الگوریتم مسیریابی تحمل‌پذیر اشکال FTDR سه بعدی ۳۸

شکل ۳-۵: مثالی از الگوریتم مسیریابی تحمل‌پذیر اشکال AFRA ۳۹

شکل ۳-۶: (الف) یک توری ۳×۳×۳ با برچسب شماره برای هر گره (ب) کانال بزرگ (ج) کانال کوچک ۴۰

شکل ۳-۷: ساختار Hybryd 3D NOC Bus ۴۲

شکل ۳-۸: مثالی از الگوریتم مسیریابی تحمل‌پذیر اشکال AdaptiveZ ۴۲

شکل ۳-۹: یک مثال از الگوریتم HARS ۴۶

شکل ۴-۱: ۶ لینک‌ها در همسایگی یک مسیریاب (گره پر) ۵۱

شکل ۴-۲: چرخش‌های ممنوع (شرق غرب) جنوب و شمال ۵۲
شکل ۴-۳: مثالی از الگوریتم مسیریابی درون لایه‌ای ۵۵
شکل ۴-۴: نحوه تقسیم‌بندی جهت‌های x و y به شماره‌های زوج فرد ۵۵
شکل ۴-۵: مثالی از مسیریابی بین لایه‌ای ۵۸
شکل ۴-۶: انواع بن‌بست در شبکه روی تراشه سه‌بعدی ۵۹
شکل ۴-۷: عدم ایجاد حلقه وابستگی در صفحه عمودی ۶۰
شکل ۴-۸: میانگین تأخیر بسته در شبکه ۴×۴×۴ زیر ترافیک یکنواخت ۶۲
شکل ۴-۹: میانگین تأخیر بسته در شبکه ۴×۴×۴ زیر ترافیک ترانهاده ۶۳
شکل ۴-۱۰: میانگین تأخیر بسته در شبکه ۴×۴×۴ زیر ترافیک نقطه‌داغ ۶۳
شکل ۴-۱۱: میانگین تأخیر بسته در شبکه ۴×۶×۶ زیر ترافیک یکنواخت ۶۴
شکل ۴-۱۲: میانگین تأخیر بسته در شبکه ۴×۶×۶ زیر ترافیک ترانهاده ۶۴
شکل ۴-۱۳: میانگین تأخیر بسته در شبکه ۴×۴×۶ زیر ترافیک نقطه‌داغ ۶۵
شکل ۴-۱۴: مقایسه قابلیت اطمینان بین الگوریتم FT-ZXY و HAMFA ۶۶

فهرست جدول‌ها

جدول ۳-۱: تنظیمات برای پورت خروجی در HAMFA ۴۱
جدول ۳-۲: بررسی ویژگی‌های الگوریتم مسیریابی مطرح‌شده ۴۷
جدول ۴-۱: تعیین پورت خروجی برحسب موقعیت مقصد و وضعیت اشکال ۵۲
جدول ۴-۲: تنظیمات پارامترهای ابزار شبیه‌سازی ۶۱
جدول ۴-۳: میزان مساحت روی تراشه ۶۶

فصل اول

مقدمه

۱-۱- موضوع تحقیق

با افزایش چگالی تعداد ترانزیستورها در سطح تراشه، امکان به‌کارگیری ده‌ها و صدها هسته پردازشی که شامل واحدهای پردازشی و حافظه است، در سامانه روی تراشه[1] که تمامی مؤلفه‌های مداری را بر روی یک تراشه یکپارچه می‌کند، به وجود آمده است؛ لذا صنعت ریزپردازنده‌ها در حال حرکت از پردازنده‌های تک‌هسته‌ای قبلی به پردازنده‌های چندهسته‌ای کنونی [1,2,3] و نهایتاً به پردازنده‌های بسیار هسته‌ای شامل چند صد تا چندین هزار هسته پردازشی است؛ همچنین با پیشرفت روزافزون فنّاوری ساخت مدارهای مجتمع، این تعداد هسته‌های پردازشی و واحدهای وابسته به آن نیز افزایش خواهد یافت. بدین ترتیب، با توجه به عدم مقیاس‌پذیری گذرگاه‌های سنتی و افزایش حجم و پیچیدگی، یک الگو ارتباطی درون تراشه‌ای معرفی شده است که به این زیرساخت کارا و مقیاس‌پذیر برای ارتباطات روی تراشه، شبکه روی تراشه[2] گفته می‌شود [2,4].

شبکه روی تراشه با الهام از شبکه‌های کامپیوتری به وجود آمده است و همانند آن، مسیریاب شبکه، بسته‌ها را از گره مبدأ به سمت گره مقصد هدایت می‌کند. زمینه‌های مختلفی مانند هم‌بندی[3]، مسیریابی، طراحی مسیریاب که برای شبکه‌های کامپیوتری مطرح می‌شود، برای شبکه روی تراشه نیز مطرح می‌شود که در طول سال‌های گذشته تحقیقات زیادی در این زمینه‌ها انجام گرفته است.

در سال‌های اخیر با ترکیب دو مفهوم شبکه روی تراشه و مجتمع‌سازی سه‌بعدی، مفهوم جدیدی به نام شبکه روی تراشه سه‌بعدی معرفی شد. مدارهای مجتمع سه‌بعدی بدلیل روند رو به رشد فنّاوری و افزایش تعداد ترانزیستورها معرفی شده اند. این نوع مدارها نسبت به نوع دوبعدی خود مزیت‌هایی از قبیل نداشتن مشکل سیم‌های بلند عمومی و کاهش تأخیر در انتقال داده‌ها و همچنین پشتیبانی از هم‌بندی‌های نامتجانس را دارا هستند. همچنین، عناصر نیمه‌هادی در این مدارها از طریق TSV[4]ها روی یکدیگر به‌صورت پشته قرار می‌گیرند.

یکی از مهم‌ترین موضوعاتی که در شبکه روی تراشه مطرح می‌شود، طراحی الگوریتم مسیریابی کارا برای این نوع از شبکه‌ها است. طراحی یک الگوریتم مناسب می‌تواند تأخیر را کاهش دهد و این امر سرعت پردازش سامانه را بالا می‌برد. همچنین الگوریتم مسیریابی تأثیر مستقیمی بر میزان توان مصرفی دارد، چراکه سادگی الگوریتم مسیریابی، سادگی مسیریاب شبکه روی تراشه را در پی خواهد داشت و به تبع آن سربار سخت‌افزاری[5] به‌طور

[1] System on Chip
[2] Network on Chip
[3] Topology
[4] Through Silicon Via
[5] Hardware Overhead

قابل ملاحظه‌ای کاهش می‌یابد.

پیشرفت صنعت نانو الکترونیک پیامدهایی ازجمله کوچک‌تر شدن ظرفیت خازن‌های مدار، افزایش فرکانس کاری، کاهش سطوح ولتاژ منبع تغذیه و غیره را به همراه دارد. این پیامدها حساسیت گیت‌ها، لینک‌های ارتباطی و واحدهای حافظه مورد استفاده را در برابر انواع نویزهای محیطی که می‌توانند منجر به ایجاد اشکال‌های گذرا[1] و دائمی[2] شوند، افزایش داده است [5]. به همین دلیل طراحی سامانه‌های تحمل‌پذیر اشکال که بتوانند مانع از تولید نتایج نادرست یا آثار مخرب شوند و یا با استفاده از روش‌هایی بتوانند خود را از وضعیت اشکال ایجادشده در سامانه یا شکست کامل سامانه بازنمایی نمایند، اهمیت ویژه‌ای یافته است [6]. پیچیده‌تر شدن طراحی‌ها و امکان استفاده از تعداد بیشتری ترانزیستور بر روی یک تراشه از دو جنبه دیگر نیز حائز اهمیت است. یکی این‌که هزینه‌های طراحی، ساخت، تأیید صحت و آزمون تراشه‌های مذکور افزایش می‌یابد. با توجه به عدم عملکرد کاملاً صحیح مؤلفه‌ها و ساختارهای ارتباطی در هنگام ساخت، اضافه کردن مشخصه‌های تحمل‌پذیری اشکال به‌صورت جزئی از طراحی که بر روی تراشه‌ها پیاده‌سازی می‌شود، مورد توجه قرار می‌گیرد. جنبه دیگر این است که پیچیده‌تر شدن طراحی باعث افزایش احتمال رخداد اشکال‌های انسانی هنگام طراحی و پیاده‌سازی می‌شود که تشخیص و برطرف کردن آن‌ها به کمک روش‌های تأیید صحت به هزینه بیشتری احتیاج دارد [1]. با توجه به موارد بیان‌شده، طراحی شبکه بر روی تراشه قابل‌اطمینان که از روش‌هایی برای پیشگیری از اشکال، پوشاندن اشکال و تحمل‌پذیری اشکال استفاده می‌کنند اهمیت ویژه‌ای یافته است.

۱-۲- اهداف تحقیق

رسیدن به قابلیت اطمینان[3] در هر سامانه‌ای، یکی از مهمترین اهداف در آن سامانه می‌باشد. یکی از کارامد ترین روش‌ها برای افزایش قابلیت اطمینان در شبکه روی تراشه، طراحی الگوریتم‌های مسیریابی با قابلیت تحمل‌پذیری اشکال است. در طول سال‌های گذشته الگوریتم‌های مسیریابی تحمل‌پذیر اشکال زیادی برای شبکه روی تراشه دوبعدی و سه‌بعدی مطرح شده است که هرکدام مزیت های خودشان را بر حسب ایجاد تعادل ترافیکی در شبکه و کاهش تأخیر و پیاده سازی آسان دارند. در این پایان‌نامه یک الگوریتم مسیریابی، برای شبکه روی تراشه سه‌بعدی معرفی‌شده است که دارای قابلیت تحمل‌پذیری اشکال است، هدف این است که الگوریتم مسیریابی پیشنهادی در عین سادگی و بهره‌گیری از سخت‌افزار اندک، کارایی قابل قبولی را فراهم آورد، لذا برای

[1] Transient Fault
[2] Permanent Fault
[3] Reliability

دوری از سربار سخت‌افزاری، عدم رخداد بن‌بست[1] بدون استفاده از کانال مجازی[2] و با بهره‌گیری از یک الگوریتم مبتنی بر چرخش[3] فراهم خواهد شد و همچنین برای پایین آوردن میانگین تأخیر بسته[4]، سعی می‌شود کوتاه‌ترین مسیر به سمت مقصد پیدا شود.

۱-۳- پیش‌فرض‌های تحقیق

در این پایان‌نامه فرض شده است که هم‌بندی شبکه، توری[5] سه‌بعدی است. هم‌بندی توری، متداول ترین نوع هم‌بندی مورد استفاده در تحقیقات شبکه روی تراشه است. دراین پایان‌نامه از مش ۴×۴×۴ و ۴×۶×۶ استفاده خواهد شد. همچنین، در این پایان‌نامه فرض شده است که اشکال‌هایی که در شبکه رخ می‌دهد از نوع اشکال‌های دائمی است و هرگاه هر نوع اشکال دائمی در هرکدام از جهت‌های یک لینک دو جهته[6] رخ دهد، کل آن لینک خراب فرض می‌شود.

۱-۴- ساختار پایان‌نامه

این پایان‌نامه در پنج فصل تدوین‌شده است که در ادامه و در فصل دوم، ابتدا ساختار شبکه روی تراشه و مفاهیم کاربردی مرتبط با آن معرفی و بررسی خواهد شد. سپس، مدارهای مجتمع سه‌بعدی که منجر به ظهور شبکه روی تراشه سه‌بعدی به‌عنوان زیرساخت ارتباطی سامانه‌های روی تراشه پیشرفته امروزی شده است، مورد بررسی قرار می‌گیرد. در انتهای فصل دوم، مفاهیم قابلیت اطمینان و روش مواجهه با انواع اشکال در ساختارهای شبکه روی تراشه معرفی می‌گردد. در فصل سوم، کارهای مرتبط گذشته در زمینهٔ الگوریتم‌های مسیریابی تحمل‌پذیر اشکال در شبکه روی تراشه سه‌بعدی معرفی و بررسی شده و ویژگی‌های آن‌ها با یکدیگر مقایسه می‌شوند. در فصل چهارم، الگوریتم مسیریابی پیشنهادی با قابلیت تحمل‌پذیری اشکال برای شبکه روی تراشه سه‌بعدی معرفی می‌شود که بدون استفاده از کانال مجازی قابلیت تحمل اشکال‌های چندگانه در لینک‌های عمودی و اشکال منفرد در لینک‌های افقی را دارد. در پایان این فصل، نتایج ارزیابی و مقایسه با الگوریتم‌های دیگر، از نظر

[1] Deadlock Free
[2] Virtual Channel
[3] Turn Model
[4] Global Average Latency (GAL)
[5] Mesh
[6] Bidirectional Link

پارامترهای میانگین تأخیر بسته و سربار سخت‌افزاری و همچنین از نظر قابلیت اطمینان ارائه مـی‌شـود. در فصـل پنجم، نتیجه‌گیری کرده و کارهای آینده پیشنهاد و معرفی می‌شود.

فصل دوم

مفاهیم پایه

۲-۱- شبکه روی تراشه

شبکه روی تراشه، با الگوبرداری از شبکه‌های میان ارتباطی[1] در چندپردازنده‌ها و چند کامپیوترها ایجادشده است. هر شبکه روی تراشه، متشکل از ده‌ها و صدها هسته پردازشی همگن یا ناهمگن مانند ریزپردازنده‌های عمومی، پردازنده‌های خاص‌منظوره، بلوک حافظه و غیره است. گره‌های شبکه از طریق لینک‌های نقطه‌به‌نقطه در شبکه میان ارتباطی به یکدیگر متصل می‌شوند و ارتباط بین آن‌ها از طریق ارسال پیام انجام می‌گیرد؛ بنابراین برخلاف بسیاری از سامانه‌های نهفته، تعداد لینک‌ها و پایه‌ها، محدودیتی بر روی طراحی سامانه‌های روی تراشه ندارد و شبکه‌های روی تراشه مقیاس‌پذیر هستند. درنتیجه، تعداد گره‌های شبکه به‌سادگی قابل‌افزایش است که متعاقب آن پهنای باند قابل‌توجهی فراهم می‌آید.

شبکه روی تراشه قابلیت استفاده مجدد را فراهم می‌آورد. به دلیل ساختار پیمانه‌ای شبکه روی تراشه، قدرت آزمون‌پذیری نیز در این سامانه‌ها بالاست به‌طوری‌که با انجام آزمون و بهینه‌سازی بخش کوچکی از سامانه، می‌توان از عملکرد بهینه کل سامانه اطمینان حاصل کرد. در ادامه به بررسی برخی از ویژگی‌های اصلی معماری شبکه روی تراشه می‌پردازیم.

۲-۱- ۱- هم‌بندی

هم‌بندی شبکه بیانگر نحوه اتصال شبکه به یکدیگر است. شبکه میان ارتباطی موجود بین پردازنده‌های هر شبکه را می‌توان با یک گراف مشخص کرد که هر گره در این گراف بیان‌گر یک گره شبکه و هر یال گراف بیان‌گر ارتباط فیزیکی نقطه‌به‌نقطه بین آن دو گره است [7].

تابه‌حال هم‌بندی‌های متعددی برای شبکه‌های میان ارتباطی در سامانه‌های چندپردازنده سنتی ارائه‌شده است که ازجمله آن می‌توان به هم‌بندی توری مدور[2]، حلقه، ستاره، درخت، هرم و ابر مکعب[3] اشاره کرد. ازآنجایی‌که بسیاری از ویژگی‌های شبکه متأثر از هم‌بندی آن است، انتخاب هم‌بندی نخستین گام در طراحی شبکه روی تراشه است؛ هر هم‌بندی مشخصاتی دارد که بر اساس آن‌ها ، برای یک یا چند کاربرد خاص مناسب تشخیص داده می‌شود. ازجمله این مشخصات می‌توان به درجه گره، قطر شبکه و پهنای میان‌برشی[4] اشاره کرد. درجه گره

[1] Interconnection Networks
[2] Torus
[3] Hypercube
[4] Bisection Width

بیان‌گر تعداد همسایه‌های هر گره است. فاصله بین دو گره، حداقل تعداد گام‌های بین دو گره در شبکه است که مقدار بیشینه حداقل فاصله بین هر دو گره برحسب گام، قطر شبکه را مشخص می‌کند. پهنای میان‌برشی حداقل تعداد لینک‌هایی است که قطع آن‌ها شبکه را به دو قسمت معادل تقسیم می‌کند. واضح است که بهترین هم-بندی، معمولاً هم‌بندی است که تمام گره‌های شبکه دارای یک درجه باشند (شبکه یکنواخت باشد) و درعین‌حال قطر و درجه کوچک و پهنای میان‌برشی بزرگی داشته باشد. بااین‌حال انتخاب هم‌بندی همواره بستگی به کاربرد دارد [7].

هم‌بندی می‌تواند مستقیم یا غیرمستقیم باشد. در شبکه‌های مستقیم یا مبتنی بر مسیریاب، هر گره پردازشی از طریق یک واسط به یک مسیریاب متصل می‌شود و هم‌بندی شبکه نحوه اتصال مسیریاب‌ها به یکدیگر را مشخص می‌کند. در شبکه‌های غیرمستقیم یا شبکه‌های مبتنی بر راه‌گزین[1]، هر هسته پردازشی به یک راه‌گزین متصل است و ارتباط بین راه‌گزین‌ها از طریق راه‌گزین‌های میانی محقق می‌شود. پرکاربردترین هم‌بندی برای شبکه روی تراشه، هم‌بندی توری است. در شکل ۲-۱ نمونه‌هایی از هم‌بندی‌های مستقیم و غیرمستقیم آورده شده است.

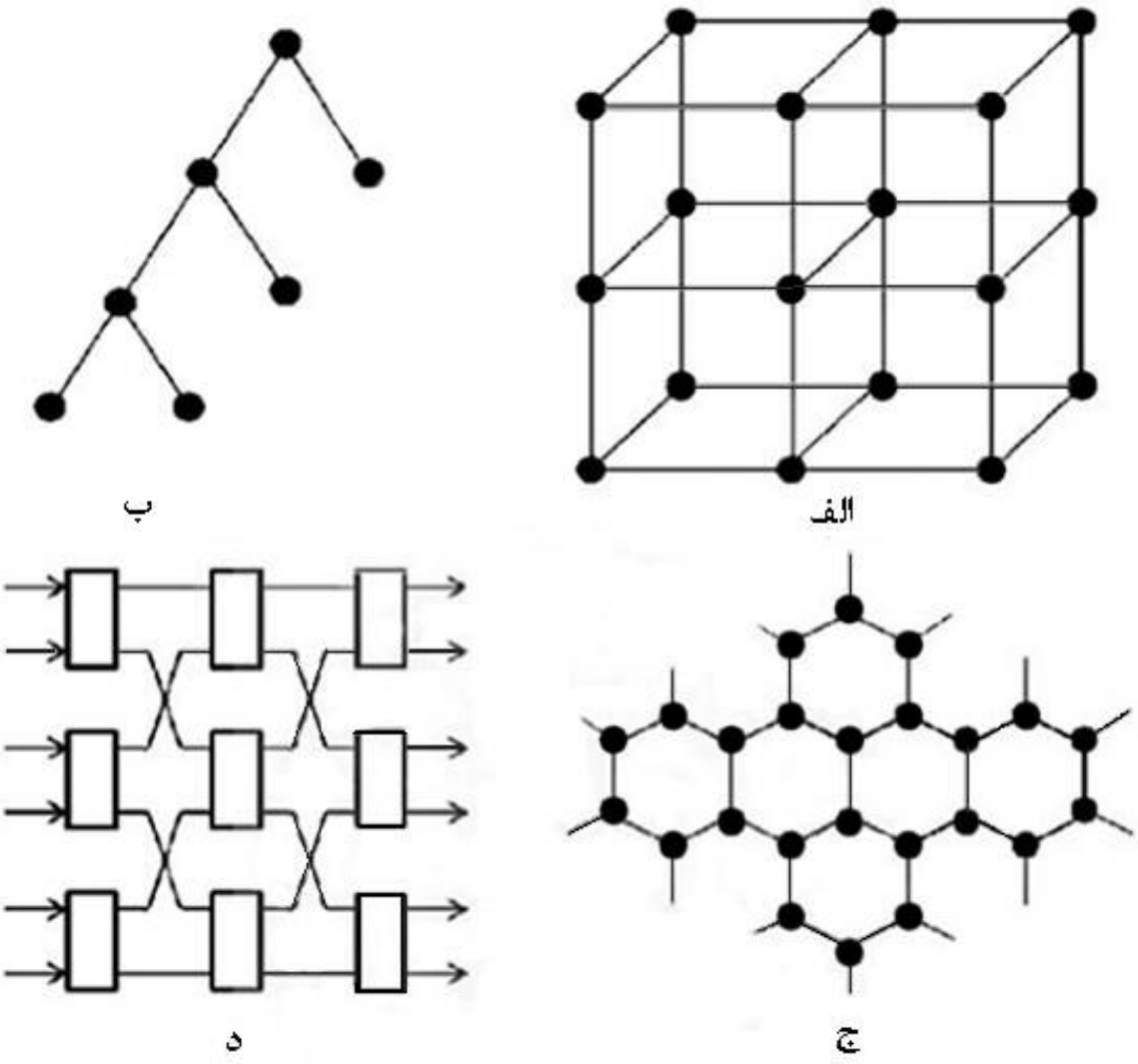
۲-۱-۲- مسیریابی

الگوریتم مسیریابی، مسیر حرکت بسته از مبدأ به مقصد را مشخص می‌کند. در طراحی یک الگوریتم مسیریابی معمولاً ویژگی‌هایی همچون تطبیق‌پذیری[2]، عدم رخداد بن‌بست، تحمل‌پذیری اشکال و یافتن کوتاه‌ترین مسیرها مورد بررسی قرار می‌گیرند که بسته به کاربرد، ویژگی‌های مسیریابی مشخص می‌شوند [8].

دسته‌بندی‌های متفاوتی برای الگوریتم‌های مسیریابی ارائه‌شده است که در ادامه آن‌ها را بررسی می‌کنیم. الگوریتم مسیریابی می‌تواند توزیع‌شده[3] و یا متمرکز[4] باشد. در الگوریتم‌های متمرکز، معمولاً یک یا چند گره با توان پردازشی بالاتر در شبکه وجود دارند که با توجه به شرایط سرتاسری شبکه، مسیرها را مشخص کرده و نحوه مسیریابی را به هر گره در شبکه اطلاع می‌دهند. در الگوریتم‌های توزیع‌شده، هر گره با توجه به اطلاعات محلی از شبکه که عموماً از طریق گره‌های مجاور خود به دست می‌آورد مسیر را برای هر بسته‌ای که به آن می‌رسد مشخص می‌کند.

[1] Switch
[2] Adaptivity
[3] Distributed
[4] Centralized

اگرچه بار عملیات در الگوریتم‌های توزیع‌شده بر روی کل شبکه توزیع می‌شود و الگـوریتم‌هـا بـه‌صـورت بـر خـط قابل‌اجرا هستند، ولی الگوریتم‌های متمرکز از اطلاعات سرتاسری استفاده می‌کنند که منجر به دقـت بـالاتری در انتخاب مسیرها می‌شود.



شکل ۲-۱: هم‌بندی شبکه‌های مستقیم و غیرمستقیم

(الف) شبکه مستقیم با هم‌بندی توری ۳×۳×۲ (ب) شبکه مستقیم با هم‌بندی درخت (ج) شبکه مستقیم با هم‌بندی ستاره د) شبکه غیرمستقیم

الگوریتم مسیریابی می‌تواند تطبیقی، نیمه تطبیقی و یا قطعی باشد. الگـوریتم مسـیریابی قطعـی بـه الگـوریتمی اطلاق می‌شود که با هر بار اجرای آن، مسیر حرکت بسته از مبدأ به مقصد فارغ از ترافیک شبکه همواره یکسان و غیرقابل تغییر باشد. ازجمله الگوریتم‌های قطعی مشـهور مـی‌تـوان بـه الگـوریتم مسـیریابی XY اشـاره کـرد. در