دانشگاه آزاد اسلامی

واحد تهران مرکزی

دانشکده فنی و مهندسی ، گروه برق

پایان نامه برای دریافت درجه کارشناسی ارشد (M.Sc)

گرایش : الکترونیک

عنوان :

پیاده سازی FPGA قابل پیکره بندی مجدد از طریق QCA با استفاده از زبان توصیف سخت افزار HDLQ

استاد راهنما :

جناب آقای دکتر رضا صباغی ندوشن

استاد مشاور :

جناب آقای دکتر علیرضا کاشانی نیا

نگارنده :

محسنه ملک پور کلبادی نژاد

تابستان 1391

بسم الله الرحمن الرحیم

دانشگاه آزاد اسلامی

واحد تهران مرکزی

دانشکده فنی و مهندسی ، گروه برق

پایان نامه براي دريافت درجه کارشناسی ارشد (M.Sc)

گرایش : الکترونیک

عنوان :

پیاده سازی FPGA قابل پیکره بندی مجدد از طریق QCA با استفاده از زبان توصیف سخت افزار HDLQ

استاد راهنما :

جناب آقای دکتر رضا صباغی ندوشن

استاد مشاور :

جناب آقای دکتر علیرضا کاشانی نیا

نگارنده :

محسنه ملک پور کلبادی نژاد

تابستان 1391

تقدیم به همه کسانی که دوستشان دارم ....

قدردانی:

در ابتدا از خداوند مهربان سپاس گزاری می کنم که مرا یاری نمود تا این مرحله از زندگی را تجربه کنم و از اساتید محترم جناب آقای دکتر صباغی ندوشن و جناب آقای دکتر کاشانی نیا که مرا در انجام این پروژه یاری نمودند تشکر می کنم .

بسمه تعالی

درتاریخ :

دانشجو کارشناسی ارشد آقای / خانم محسنه ملک پور کلبادی نژاد از پایان نامه خود دفاع نموده وبا نمره بحروف و با درجه مورد تصویب قرار گرفت .

امضاء استاد راهنما

بسمه تعالی

دانشکده فنی و مهندسی

****

(این چکیده به منظور چاپ در پژوهش نامه دانشگاه تهیه شده است)

نام واحد دانشگاهی : تهران مرکزی کد واحد: 101	**کد شناسایی پایان نامه :**
عنوان پایان نامه : پیاده سازی FPGA قابل پیکره بندی مجدد از طریق QCA با استفاده از زبان توصیف سخت افزار HDLQ	
نام و نام خانوادگی دانشجو : محسنه ملک پور کلبادی نژاد **شماره دانشجوئی : 89065369900** **رشته تحصیلی : برق-الکترونیک**	**تاریخ شروع پایان نامه :** **تاریخ اتمام پایان نامه :**
استاد / استادان راهنما : جناب آقای دکتر رضا صباغی ندوشن **استاد / استادان مشاور: جناب آقای علیرضا کاشانی نیا**	
آدرس و شماره تلفن :	

چکیده پایان نامه (شامل خلاصه، اهداف، روش های اجرا و نتایج به دست آمده) :

اتوماتای سلولی کوانتومی(QCA)تکنولوژی جدیدی است که از نقاط کوانتومی برای محاسبات دیجیتال استفاده می کند . سلول‌های کوانتومی می‌توانند تراکم جادهی و توان مصرفی را به نحوی شگرف بهبود بخشند. در QCA ، نحوه قرار گیری بار در سلول،تعیین کننده مقادیر باینری است . هدف از این پایان نامه پیاده سازی و شبیه سازی ساختار یک FPGA با استفاده از زبان توصیف سخت افزار HDLQ است.در این پایان نامه بلوک های منطقی قابل پیکره بندی با ارتباطات متقابل قابل پیکره بندی بین آنها طراحی و پیاده سازی شده است .

بلوک منطقی قابل پیکره بندی (CLB) شبیه سازی شده در این پایان نامه مدل XC4000 شرکت Xilinx است که ساختاری نیرومند و انعطاف پذیر دارد. این CLB از تعدادی جدول جست و جوی (LUT) و تعدادی تسهیم کننده و دو فلیپ فلاپ نوع D ساخته شده است که هر LUT می تواند برای پیاده سازی توابع مختلف استفاده شود . نتایج شبیه سازی رمزگشا ، تسهیم کننده ، سلول حافظه ، فلیپ فلاپ نوع D و LUT ها نشان دهنده عملکرد دقیق CLB ارائه شده و حافظه پیکره بندی شده توسط آن است .

نظراستادراهنما برای چاپ درپژوهش نامه دانشگاه مناسب است ☐ تاریخ وامضا :

مناسب نیست ☐

فهرست مطالب

عنوان شماره صفحه

مقدمه ۱

فصل اول : اتوماتای سلولار کوانتومی

۱-۱) نقاط کوانتومی ۵

۱-۱-۱) ساختار نقاط کوانتومی ۵

۱-۱-۲) ماهیت نقاط کوانتومی ۶

۱-۱-۳) محدود سازی نقاط کوانتومی ۷

۱-۱-۴) روش ساخت چاه کوانتومی و نقاط کوانتومی ۹

۱-۲) اتوماتای سلولار کوانتومی ۱۰

۱-۳) عناصر پایه ای در تکنیک QCA ۱۲

۱-۳-۱) سیم باینری ۱۲

۱-۳-۲) زنجیره معکوس ۱۳

۱-۳-۳) گیت معکوس کننده ۱۴

۱-۳-۴) گیت اکثریت ۱۵

۱-۳-۵) گیت اکثریت پنج ورودی ۱۶

۱-۳-۶) Fanout ۱۷

۱-۴) کلاک زنی ۱۸

فصل دوم : بررسی روش های مختلف پیاده سازی FPGA

۲-۱) پیاده سازی بلوک منطقی قابل پیکره بندی (CLB) بر پایه تسهیم کننده (MUX) ۱۹

۲-۲) پیاده سازی FPGA به روش های دیگر ۲۱

فصل سوم : زبان توصیف سخت افزار HDLQ

۳-۱) مقدمه ۳۵

۳-۲) طراحی مدار و مدل HDL ۳۵

۳-۳) رسم بلوک دیاگرام منطقی ۳۸

۳-4) پیاده سازی بلوک دیاگرام منطقی ۳۹

۳-۵) نواحی کلاک ۴۱

فصل چهارم : پیاده سازی مدارهای ترکیبی توسط HDLQ

۴- ۱) رمزگشا ۴۳

۴-۱- ۱) رمزگشای ۲ به ۴ ..... ۴۳

4-۱-۲) رمزگشای ۳ به ۸ ..... ۴۹

4-۱-۳) رمزگشای n به 2^n ۵۱

۴-۲) تسهیم کننده ۵۱

۴-۲-۱) تسهیم کننده ۲ به ۱ ..... ۵۱

۴-۲-۲) تسهیم کننده ۴ به ۱ ..... ۵۳

۴-۲-۳) تسهیم کننده 2^n به ۱ ..... ۵۵

فصل پنجم : پیاده سازی مدارهای ترتیبی توسط HDLQ

۵-۱) سلول واحد حافظه ۵۷

۵-۲) فلیپ فلاپ نوع D با پایه های set و reset غیر همزمان ۶۰

۵-۳) جدول جست و جوی (Look-Up Table) ۶۳

۵-۳-۱) جدول جست و جوی ۸ بیتی ۶۳

۵-۳-۲) جدول جست و جوی ۱۶ بیتی ۶۷

فصل ششم : پیاده سازی بلوک منطقی قابل پیکره بندی و کاربرد آن

۶-۱) بلوک منطقی قابل پیکره بندی (CLB) ۷۰

۶-۲) حافظه روی تراشه ۷۵

فصل هفتم : نتیجه گیری و کارهای پیشنهادی در آینده

۷-۱) نتیجه گیری ۷۹

۷-۲) کارهای پیشنهادی در آینده ۸۰

منابع ۸۱

چکیده ۸۶

فهرست اشکال

عنوان شماره صفحه

شکل ۱-۱) طرح شماتیک از ساختار یک نقطه کوانتومی ۵

شکل ۱-۲) تصویر نقطه کوانتومی ۱۰

شکل ۱-۳) سلول QCA ۱۰

شکل ۱-۴) اثر نیروی کولمبی یک سلول بر روی سلول مجاور ۱۱

شکل ۱-۵) منحنی قطبیت سول QCA ۱۲

شکل ۱-۶) سیم باینری ۱۳

شکل ۱-۷) زنجیره معکوس ۱۳

شکل ۱-۸) زنجیره معکوس به همراه سیگنال اصلی و مکمل اش ۱۴

شکل ۱- ۹) معکوس کننده با ورودی ۰ و ۱ منطقی ۱۴

شکل ۱- ۱۰) معکوس کننده ۱۴

شکل ۱- ۱۱) گیت اکثریت ۱۵

شکل ۱- ۱۲) پیاده سازی AND و OR بوسیله گیت اکثریت ۱۶

شکل ۱- ۱۳) گیت اکثریت ۵ ورودی ۱۶

شکل ۱- ۱۴) پیاده سازی گیت AND و OR سه ورودی توسط گیت اکثریت ۵ ورودی ۱۷

شکل ۱-۱۳) پیاده سازی Fanout در QCA ۱۷

شکل ۱- ۱۴) a) چهار فاز کلاک b) نواحی کلاک ۱۸

شکل ۲- ۱) پیاده سازی تسهیم کننده ۲ به ۱ ارائه شده در مقاله ۱۹

شکل ۲- ۲) پیاده سازی CLB با استفاده از تسهیم کننده ۲ به ۱ در QCA ۲۰

شکل ۲- ۳) رمزگشای ۴ به ۱۶ ارائه شده در مقاله ۲۱

شکل ۲- ۴) سلول حافظه ارائه شده در مقاله ۲۲

شکل ۲- ۵) پیاده سازی سلول حافظه ارائه شده در مقاله ۲۲

شکل ۲- ۶) پیاده سازی LUT ارائه شده در مقاله : رمزگشا (بالا) ، سلول های خافظه (وسط) و درخت OR (پایین) ۲۳

شکل ۲- ۷) سطوح CLB ۲۳

شکل ۲- ۸) پیاده سازی CLB ارائه شده در مقاله در QCA ۲۴

شکل ۲- ۹) ساختار سلول حافظه ارائه شده در مقاله ۲۵

شکل ۲- ۱۰) پیاده سازی سلول حافظه ارائه شده در مقاله ۲۶

شکل ۲- ۱۱) ساختار LUT ارائه شده در مقاله ۲۷

شکل ۲- ۱۲) پیاده سازی LUT ارائه شده در مقاله در QCA ۲۸

شکل 2 - 13) پیاده سازی CLB ارائه شده در مقاله ۲۹

شکل 2 – 14) FPGA با استفاده از اتصال چند CLB ۳۰

شکل ۲- ۱۵) ساختار D-latch ارائه شده در مقاله ۳۱

شکل ۲- ۱۶) پیاده سازی D-latch ارائه شده در مقاله ۳۱

شکل ۲- ۱۷) ساختار LUT ارائه شده در مقاله ۳۲

شکل ۲- ۱۸) پیاده سازی CLB ارائه شده در این مقاله ۳۳

شکل ۲- ۱۹) تاخیر بخش های مختلف CLB ارائه شده در مقاله ۳۳

شکل ۲- ۲۰) سطح اشغالی بخش های مختلف CLB ارائه شده در مقاله ۳۳

شکل ۳- ۱) مدار XOR در QCA ۳۸

شکل ۳- ۲) بلوک دیاگرام مدار XOR در QCA ۳۹

شکل ۳-۳) شبیه سازی کد گیت اکثریت در ISE ۴۰

شکل ۳-۴) شبیه سازی fanout در ISE ۴۱

شکل ۳-۵) شبیه سازی نواحی کلاک در ISE ۴۲

شکل ۴- ۱) ساختار کلی رمزگشای ۲ به ۴ ..... ۴۴

شکل ۴- ۲) پیاده سازی رمزگشای ۲ به ۴ در QCA توسط اکثریت ۳ ورودی ۴۵

شکل ۴- ۳) پیاده سازی رمزگشای ۲ به ۴ در QCA توسط گیت اکثریت ۵ ورودی ۴۶

شکل ۴- ۴) رمزگشای ۲ به ۴ پیاده سازی شده در QCA توسط گیت اکثریت ۵ ورودی ۴۷

شکل ۴- ۵) بلوک دیاگرام منطقی رمزگشای طراحی شده برای پیاده سازی در HDLQ ۴۸

شکل 4- 6) شبیه سازی رمزگشای ۲ به ۴ در ISE ۴۹

شکل 4- 7) پیاده سازی رمزگشای ۳ به ۸ در QCA توسط دو ماژول رمزگشای ۲ به ۴ ..... ۵۰

شکل 4- 8) شبیه سازی رمزگشای ۳ به ۸ ارائه شده در ISE ۵۰

شکل 4- 9) پیاده سازی تسهیم کننده ۲ به ۱ در QCA ۵۱

شکل ۴- ۱۰) بلوک دیاگرام منطقی تسهیم کننده طراحی شده برای پیاده سازی در HDLQ ۵۲

شکل 4- 11) شبیه سازی تسهیم کننده ۲ به ۱ در ISE ۵۲

شکل 4- 12) ساختار کلی تسهیم کننده ۴ به ۱ ..... ۵۳

شکل 4- 13) ساختار تسهیم کننده ۴ به ۱ در QCA با گیت اکثریت ۳ ورودی ۵۳

شکل 4- 14) ساختار تسهیم کننده ۴ به ۱ در QCA با گیت اکثریت ۵ ورودی ۵۴

شکل 4- 15) پیاده سازی تسهیم کننده ۴ به ۱ در QCA توسط گیت اکثریت ۵ ورودی ۵۴

شکل 4- 16) شبیه سازی تسهیم کننده ۴ به ۱ در ISE توسط گیت اکثریت ۵ ورودی ۵۵

شکل ۴- ۱۷) پیاده سازی تسهیم کننده ۸ به ۱ توسط دو ماژول تسهیم کننده ۴ به ۱ ..... ۵۶

شکل ۴- ۱۸) شبیه سازی تسهیم کننده ۸ به ۱ در QCA توسط دوماژول تسهیم کننده ۴ به ۱ ..... ۵۶

شکل ۵- ۱) ساختار کلی سلول حافظه ۵۷

شکل ۵- ۲) پیاده سازی سلول حافظه در QCA ۵۷

شکل ۵- ۳) بلوک دیاگرام سلول حافظه برای پیاده سازی توسط HDLQ ۵۹

شکل ۵-4) شبیه سازی سلول حافظه در ISE ۵۹

شکل ۵- ۵) پیاده سازی D-FF در QCA ۵۹

شکل ۵- ۶) بلوک دیاگرام D-FF برای پیاده سازی توسط HDLQ ۶۱

شکل ۵- ۷) شبیه سازی D-FF در QCA ۶۲

شکل ۵- ۸) ساختار LUT ۸ بیتی شبیه سازی شده ۶۴

شکل ۵- ۹) پیاده سازی LUT ۸ بیتی در QCA ۶۵

شکل ۵- ۱۰) شبیه سازی LUT ۸ بیتی در ISE ۶۶

شکل ۵- ۱۱) ساختار LUT ۱۶ بیتی شبیه سازی شده ۶۷

شگل ۵- ۱۲) ساختار سلول حافظه ارائه شده در مقاله ۶۸

شکل ۵- ۱۲) نتایج شبیه سازی LUT ۱۶ بیتی در ISE ۶۹

شکل ۶- ۱) ساختار CLB مدل XC4000 شرکت Xilinx ۷۱

شکل ۶- ۲) پیاده سازی CLB در QCA ۷۳

شکل ۶- ۳) مولدهای تابع CLB می توانند به عنوان سلول های حافظه نوشتن/خواندن استفاده شوند ۷۶

شکل ۶- ۴) شبیه سازی حافظه ارائه شده در ISE ۷۸

فهرست جداول

عنوان شماره صفحه

جدول ۱- ۱) درجات آزادی و محصورسازی برای سیستم های حالت جامد ۸

جدول ۱- ۲) جدول درستی گیت اکثریت ۱۵

جدول ۲- ۱) جدول درستی سلول حافظه ۲۶

جدول ۲- ۲) نحوه عملکرد D-latch ارائه شده در مقاله ۳۱

جدول ۳- ۴) مقایسه تاخیرها در مقالات ۳۴

جدول ۳- ۵) مقایسه سطح اشغالی در مقالات ۳۴

جدول ۵- ۱) عملکرد سلول حافظه ۵۸

جدول ۵- ۲) عملکرد D-FF ۶۲

جدول ۶- ۱) مقایسه سطح مصزفی CLB ارائه شده با CLB ارائه شده در مقالات دیگر ۷۴

جدول ۶- ۲) مقایسه تاخیر بخش های مختلف CLB ارائه شده با CLB ارائه شده در مقالات دیگر ۷۵

جدول ۶- ۳) معرفی چند مدار متداول قابل طراحی با XC4000 CLB ۷۵

مقدمه :

از زمان پیدایش نانو تکنولوژی زمان زیادی نمی گذرد . اولین جرقه های این علم در سال ۱۹۵۹ زده شد . دکتر ریچارد فانیمن طی سخنرانی با عنوان «فضای زیادی در سطوح پایین وجود دارد» ایده فناوری نانو را مطرح کرد . نظریهٔ این دانشمند آن بود که در آینده نزدیک قادر به دستکاری مولکول ها واتم ها خواهیم بود . اما در آن زمان این فناوری بدین اسم شناخته نشده بود ، واژهٔ فناوری نانو اولین بار توسط نوریوتامیگوچی استاد دانشگاه علوم توکیو در سال ۱۹۷۴ بر زبانها جاری شد . او این واژه را برای توصیف ساخت وسائل دقیقی که تلورانس ابعادی آنها در حد نانو متر می باشد ، به کار برد .

تعاریف بسیار جامع و کاملی از نانو فناوری وجود دارد ولی آن چیزی که نقطه مشترک تمامی این تعاریف می باشد بدین صورت است ؛ تعریف از نانو فناوری عبارتست از دستکاری کوچکترین اجزا ماده یا اتم ها. استانداردی که برای بیان مفهوم مقیاس نانو بیان می شود ، به این صورت است که یک نانو متر برابر قطر ۱۰ اتم هیدروژن و یا ۵ اتم سیلسیم می باشد . پس می توان دریافت که تفاوت اصلی فناوری نانو با دیگرفناوری ها در مقیاس مواد و ساختارهایی است که دراین فناوری مورد استفاده قرار می گیرند . تنها ملاک برای مطرح شدن فناوری نانو مقیاس آنها نیست بلکه در این مقیاس خصوصیات ذاتی مواد ، از جمله رنگ ، استحکام و... تغییر می یابد . برای ارزیابی تفاوت این فناوری با فناوریهای دیگر می توانیم از وجود عناصر پایه به عنوان یک معیار ذکر نماییم . عناصر پایه در حقیقت همان عناصر نانو مقیاسی هستند که خواص آنها در حالت نانو مقیاس با خواصشان درمقیاس بزرگتر فرق می کند . اولین و مهمترین عنصر پایه ، نانو ذره است . منظور از نانو ذره ، همانگونه که از نامش پیداست ، ذراتی با ابعاد نانومتری در هر سه بعد می باشند .

حوزۀ کارکرد نانو درالکترونیک بسیار وسیع و گسترده می باشد . لیزرهای دارای طول موج های بسیار دقیق ، نانو کامپیوزیت های نانو ذره ای فلزی با کاربرد در رایانه وتجهیزات الکترونیکی ، میکروسکوپ های دقیق الکترونی و موارد بسیار فراوان دیگر را می توان از کاربرد این علم نو پا در الکترونیک بیان کرد . با وجود آنکه حرکت رو به جلوی تکنولوژی VLSI پایان ناپذیر فرض می شود ، بسیاری از متخصصین پیش بینی می کنند که در یک دهۀ آینده مانع بزرگی برای CMOS به وجود خواهد آمد . با این فرض محققین به دنبال تکنولوژی های جانشینی برای آن هستند یکی از این جایگزین ها بر اساس نقاط کوانتومی[۱] است که به آن اتوماتای سلولی کوانتومی می گویند . گرچه ابزارهای اولیه ای بر این اساس ساخته شده اند اما این علم هنوز در ابتدای راه خود می باشد . پیشرفت ها در این زمینه بسیار قابل توجه است به عنوان مثال افزایش ۱۰ برابری فشردگی مداری را در مقایسه با سیستمهای معادل در CMOS شاهد می باشیم .رویکرد طراحی این مدارات کاملاً متفاوت از طراحی سنتی مدارهای منطقی به خصوص در زمینه زمان بندی می باشد . مهمترین کارکرد تکنولوژی QCA در زمینه استفاده از نقاط کوانتومی می باشد . QCA مبنی بر تبدیل اطلاعات باینری درپیکره بندی بارها در درون نقاط کوانتومی می باشد . توان محاسباتی به وسیله بر هم کنش کولمبی[۲] بین سلولهای QCA به وجود می آید . در بین سلولها همانگونه که خواهیم دید نه جریانی حرکت خواهد کرد ، و نه توانی انتقال خواهد یافت . اطلاعات به صورت منحصر بفردی بین سلولها انتقال می یابد .

یک سلول کوانتومی از ۴ نقطۀ کوانتومی تشکیل یافته است که به صورت خازنی و سد تونلی با هم جفت شده اند .دراین سلولها دیگر اطلاعات بانیری بصورت سوئیچ ها روشن / خاموش نمی شوند . نحوۀ قرار گیری بار در سلول که صفر یا یک منطقی باینری را مشخص می کند ، توسط نحوۀ قرار

[۱] Quantum dot
[۲] Coulombic interaction

گرفتن الکترونها در یک سلول مشخص می گردد . این تکنولوژی نو می تواند راه حلی برای مدارات محاسباتی بدون ترانزیستور در ابعاد نانو باشد . از پایه ای ترین عناصری که توسط این تکنولوژی ساخته شده است می توان به سیم های کوانتومی اشاره نمود همچنین عناصر پایه ای دیجیتال مانند گیتهای پایه ای NAND و NOR و گیت اکثریت[1] به نحو موفقیت آمیزی ساخته و آزمایش شده اند. همچنین تحقیقات تئوری وعملی بسیار وسیعی برای ساخت مدارات دیجیتال با استفاده از سلولهای کوانتومی یکی از کاربردی ترین راه حل هایی است که علاوه بر کاهش ابعاد مدارات دیجیتال به ابعاد در حد نانو و افزایش فرکانس کلاک این مدارات به فرکانسهایی درحد تراهرتز ، توان مصرفی این مدارات را بطور قابل ملاحظه ای کاهش می دهد .

در این پایان نامه ابتدا در فصل اول به بررسی ویژگی هاس اتوماتای سلولار کوانتومی می پردازیم سپس عناصر پایه در این تکنیک را معرفی می کنیم و نحوه کلاک زنی سلول ها را بیان می کنیم . در فصل دوم به معرفی نحوه پیاده سازی FPGA به روش های دیگر که در مقالات آمده است می پردازیم و در نهایت مقایسه ای بین روش های ارائه شده انجام می دهیم . زبان توصیف سخت افزار HDLQ و نحوه کد نویسی به زبان Verilog برای پیاده سازی یک طرح در QCA در فصل سوم ارائه می شود . در فصل چهارم ساختار مدارات ترکیبی شامل رمز گشا ۲ به ۴ و تسهیم کننده ۲ به ۱ و ۴ به ۱ و نحوه پیاده سازی آن توسط HDLQ ارائه می شود . همچنین در این فصل نحوه پیاده سازی رمزگشای n به ۲^n و تسهیم کننده ۲^n به ۱ توسط ماژول های معرفی شده نشان داده می شود و به عنوان نمونه پیاده سازی رمزگشای ۳ به ۸ و تسهیم کننده ۸ به ۱ ارائه می شود . در فصل پنجم ساختار و پیاده سازی مدارات ترتیب شامل سلول حافظه ، فلیپ فلاپ نوع D معرفی می شود و در ادامه ساختار هایی برای جدول جست و جوی (LUT) ۸ بیتی و ۱۶ بیتی معرفی می شود . در نهایت در فصل ششم ساختار CLB مدل XC400 شرکت Xilinx ارائه و پیاده سازی می شود . در این فصل یک پیکره بندی ساده از

[1] Majority voter