دانشکده‌ی فنی و مهندسی
گروه آموزشی کامپیوتر

پایان‌نامه برای دریافت درجه‌ی کارشناسی ارشد
در رشته‌ی کامپیوتر گرایش معماری سیستم‌های کامپیوتری

عنوان:
بررسی شبکه‌های روی تراشه سه بعدی و ارائه یک روش تحمل‌پذیری خطا در این شبکه‌ها

استاد راهنما:
دکتر جواد جاویدان

استاد مشاور:
دکتر شهرام جمالی

پژوهشگر:
حسین عباسی سرداری

پاییز۹۲

تقدیم به

خانواده ام

که حضور سبزشان همواره

گرمابخش وجودم هست.

خدایم را بخاطر تمام نعمت‌های پنهان و پیدایی که بی‌هیچ درخواست و تمنایی عطایم نمود شاکرم.

بجا می‌دانم از استاد بزرگوارم آقای دکتر جواد جاویدان که بار، بنمودهایشان مرا در انجام این پایان نامه یاری رساندند کمال تشکر را داشته باشم.

از آقایان دکتر شهرام جمالی و دکتر غلامرضا زارع که زحمت مطالعه و داوری این رساله را به عهده گرفتند، نیز سپاسگزارم.

نام خانوادگی دانشجو: عباسی سرداری نام: حسین

عنوان پایان‌نامه: بررسی شبکه‌های روی تراشه سه بعدی و ارائه یک روش تحمل‌پذیری خطا در این شبکه‌ها

استاد راهنما: دکتر جواد جاویدان

استاد مشاور: دکتر شهرام جمالی

مقطع تحصیلی: **کارشناسی ارشد** رشته: کامپیوتر

گرایش: معماری کامپیوتر دانشگاه: **محقق اردبیلی**

دانشکده: فنی مهندسی تاریخ دفاع: ۱۳۹۲/۷/۲ تعداد صفحات:۱۱۹

چکیده:

مجتمع‌سازی سه‌بعدی یک روش جدید برای افزایش کارایی و گسترش قابلیت‌های مدارات مجتمع مدرن است. با استفاده از این فناوری شبکه‌های روی تراشه سه‌بعدی به عنوان یکی از زمینه‌های تحقیقاتی نوین معرفی شده است و با استفاده از بعد سوم در این تراشه‌ها می‌توان همبندی‌های مختلفی را به کار برد و از فواید این مجتمع‌سازی از جمله کوتاه شدن طول میان ارتباطات و به تبع آن کاهش تاخیر ارتباطی سود جست. در این میان مسئله تحمل پذیری خطا در تمامی سیستم‌هایی که در دنیای واقعی عمل می‌کنند از مهم‌ترین مسائل است و در یک سیستم چند پردازنده (بخصوص با تعداد زیاد پردازنده) می‌باید آن را مد نظر قرار داد. الگوریتم‌هایی نیز جهت مسیریابی تحمل پذیر خطا در شبکه‌های میان ارتباطی ارائه شده‌اند. در این پایان‌نامه شبکه توری را بدلیل داشتن خواص ساختاری ویژه، سادگی در پیاده سازی، داشتن الگوریتم مسیریابی ساده و کارایی بالا، مد نظر قرار می‌دهیم. در این راستا روش های مسیریابی تحمل پذیر خطا را بیان می‌کنیم و پیشنهادهایی را برای شبکه‌های سه بعدی ارائه می‌دهیم. ابتدا مروری بر کارهایی که تاکنون در این مقوله انجام شده است خواهیم داشت. سپس از بین این کارها، چند الگوریتم را انتخاب کرده‌ایم که آن‌ها را به طور مفصل شرح داده و کارایی آن‌ها را با هم مقایسه می‌کنیم. همچنین برای بالا بردن کارایی الگوریتم‌ها پیشنهادهایی را ارائه می‌دهیم. حالت خاصی را که در الگوریتم xy توسعه یافته پیش بینی نشده است مطرح می‌کنیم و راه حل آن را ارائه می‌دهیم. در انتها الگوریتمی معرفی می‌کنیم که نسبت به سایر روش‌ها عملکرد بهتـــری دارد. این الگوریتم ترکیبی از الگوریتم صفحـــه‌ای و روش Duato می‌باشد. برای ارزیابی روش پیشنهادی، یک شبیه ساز شبکه‌های میان ارتباطی با نام Xmulator استفاده شده است. سپس تاخیر بسته‌های رسیده به مقصد با روش‌های دیگر با تعداد خطای متفاوت مقایسه شدند. نتایج حاصل از شبیه سازی نشان داد که متوسط تاخیر در روش پیشنهادی بهبود یافته است.

کلید واژه‌ها:

شبکه سه بعدی- شبکه‌های روی تراشه- همبندی- تحمل‌پذیری خطا- الگوریتم‌های مسیریابی

فهرست مطالب

شماره و عنوان **صفحه**

فصل اول: کلیات پژوهش

۱ مقدمه ۲

۱-۱ مفاهیم اولیه شبکه روی تراشه ۵

۱-۱-۱ همبندی ۵

۱-۱-۲ مسیریابی ۷

۱-۱-۳ راهگزینی ۹

۱-۱-۴ کنترل جریان ۱۰

۱-۱-۵ کانال مجازی ۱۱

۱-۱-۶ الگوی ترافیکی ۱۲

۱-۲ ساختار پایان نامه ۱۴

فصل دوم: فناوری سه‌بعدی در مدارات مجتمع

۲-۱ برخی دلایل رویکرد به سمت سه بعدی سازی ۱۶

۲-۲ معماری سه بعدی ۱۷

۲-۳ کارهای پیشین ۱۹

۲-۴ شبکه‌ی روی تراشه سه بعدی ۲۳

۲-۵ خصوصیات فناوری مجتمع سازی سه بعدی موثر در شبکه‌ی روی تراشه ۲۵

۲-۵-۱ تأخیر در ارتباطات عمودی ۲۵

۲-۵-۲ چگالی ارتباطات عمودی در فناوری سه بعدی ۲۶

۲-۵-۳ سربار مساحتی اعمال شده توسط ارتباطات عمودی ۲۶

۲-۵-۴ افزایش پیچیدگی مسیریاب‌ها و سوئیچ‌های شبکه ۲۷

۲-۵-۵ مسئله‌ی توان مصرفی و حرارت ایجاد شده در مدارهای سه بعدی ۲۷

۲-۵-۶ یکسان نبودن خصوصیات مربوط به لایه‌های مختلف در فناوری سه بعدی ۲۸
۲-۵-۷ قرار گرفتن عناصر عملیاتی بر روی یکدیگر در لایه‌های همسایه ۲۸
۲-۶ جمع‌بندی ۲۸

فصل سوم: ابزار و محیط شبیه سازی

۳-۱ معرفی مفاهیم اولیه ۳۰
۳-۱-۱ ساختار گره در شبیه‌ساز ۳۲
۳-۲ جمع‌بندی ۳۵

فصل چهارم: مفاهیم اولیه تحمل‌پذیری خطا و کارهای مرتبط

۴-۱ مفاهیم پایه در طراحی سیستم‌های مطمئن ۳۸
۴-۱-۱ اشکال، خطا و خرابی ۳۸
۴-۱-۲ اتکاپذیری ۳۹
۴-۲ الگوهای اشکال ۴۰
۴-۲-۱ کلاس‌های خرابی ۴۱
۴-۲-۲ نواحی اشکال ۴۱
۴-۲-۳ حالات اشکال ۴۲
۴-۲-۴ زمان اشکال ۴۳
۴-۲-۵ رفتار عناصر اشکال‌دار ۴۴
۴-۲-۶ همسایگی اشکال ۴۴
۴-۳ مروری بر روش‌های مسیریابی تحمل‌پذیر خطا در شبکه‌های روی تراشه ۴۵
۴-۳-۱ ساختارهای تحمل‌پذیر خطا ۴۶
۴-۳-۲ مسیریابی تحمل‌پذیر خطا ۴۹
۴-۳-۳ الگوریتم‌های مورد مقایسه ۵۳
۴-۳-۳-۱ الگوریتم صفحه ای تطبیقی ۵۴
۴-۳-۳-۲ الگوریتم صفحه ای ۵۴

۴-۳-۳-۳ الگوریتم صفحه ای تحمل‌پذیر خطا ۵۶
۴-۳-۳-۱ بهبود الگوریتم صفحه ای ۵۸
۴-۳-۳-۴ الگوریتم ارائه شده در Fic_09 ..... ۶۱
۴-۳-۳-۵ الگوریتم Zhang ۶۳
۴-۳-۳-۶ الگوریتم Gomez ۶۶
۴-۳-۳-۶-۱ انتخاب گره میانی برای مسیریابی تطبیقی کمینه ۶۸
۴-۳-۳-۶-۲ انتخاب گره میانی برای مسیریابی قطعی کمینه و غیر کمینه ۶۸
۴-۳-۳-۷ الگوریتم مسیریابی XY توسعه یافته ۷۰
۴-۳-۳-۸ الگوریتم چرخشی زوج و فرد ۷۰
۴-۳-۳-۸-۱ فرضیات روش ۷۱
۴-۳-۳-۸-۲ روش XY توسعه یافته ۷۲
۴-۳-۳-۸-۳ ایراد الگوریتم XY توسعه یافته ۷۴
۴-۳-۳-۹ الگوریتم Chen و Chiu ۷۴
۴-۳-۳-۹-۱ مشخصات کلی الگوریتم ۷۵
۴-۳-۳-۹-۲ الگوریتم با حلقه‌های اشکال ۷۵
۴-۳-۳-۱۰ الگوریتم Fcube-2 ..... ۷۹
۴-۳-۳-۱۰-۱ بهبود الگوریتم Fcube-2 ..... ۸۲
۴-۳-۳-۱۱ الگوریتم تحمل‌پذیر خطای تطبیقی ۸۳
۴-۴ دسته‌بندی الگوریتم‌های مورد مطالعه ۸۵
۴-۵ جمع‌بندی ۸۸

فصل پنجم: ارزیابی کارایی الگوریتم پیشنهادی با استفاده از شبیه‌سازی

۵-۱ مقایسه کارایی الگوریتم‌ها به کمک شبیه‌سازی ۹۰
۵-۲ الگوریتم پیشنهادی ۱۰۳
۵-۲-۱ کلیات الگوریتم پیشنهادی ۱۰۴

۵-۲-۲ الگوریتم مسیریابی تحمل‌پذیر خطا ۱۰۴
۵-۳ مقایسه کارایی روش جدید با الگوریتم‌های قبلی ۱۰۶
۵-۴ جمع‌بندی ۱۰۹

فصل ششم: جمع‌بندی

۶ نتیجه‌گیری و بحث در نتایج ۱۱۱
۶-۱ خلاصه نتایج ۱۱۱
۶-۲ پیشنهادها برای کارهای آینده ۱۱۲
مراجع: ۱۱۳

فهرست جدول‌ها

شماره و عنوان جدول **صفحه**

جدول ۴ – ۱: الگوهای اشکال ۴۵
جدول ۴ – ۲: جهت چرخش پیام غیر عادی حول ناحیه اشکال ۷۹
جدول ۴ – ۳: مقایسه الگوریتم‌های تحمل‌پذیر خطا ۸۷

فهرست شکل‌ها

شماره و عنوان شکل **صفحه**

شکل۱- ۱- نمای کلی یک شبکه‌ی روی تراشه،Wikilund_03 ..... ۴

شکل۱- ۲- همبندی شبکه‌های مستقیم و غیر مستقیم ۶

شکل۱- ۳- بن بست در یک شبکه توری دو بعدی، Duato_03 ..... ۸

شکل۱- ۴-ساختار کانال مجازی ۱۲

شکل۲- ۱- کاهش طول سیم مدار دو بعدی بر روی دو و چهار سطح، Pavilidis_09 ..... ۱۷

شکل۲- ۲- فناوری سه بعدی با دو لایه، Banerjee_01 ..... ۱۸

شکل۲-۳- ساختارهای مختلف شبکه‌ی روی تراشه،Pavilidis_07 ..... ۲۵

شکل۳- ۱- نمونه‌ای از درخت سیاه- قرمز ۳۲

شکل۳- ۲- اجزای مختلف یک گره در شبیه ساز ۳۳

شکل۳- ۳- لایه‌های مختلف شبیه ساز Xmulator ۳۴

شکل۴- ۱- نواحی اشکال محدب و مقعر ۴۲

شکل۴- ۲- مراحل تشکیل مناطق در فازهای مختلف الگوریتم،Fli_07 ..... ۴۷

شکل۴- ۳- شبکه‌ی نامنظم در مقایسه با شبکه‌ی منظم، Lin_08 ..... ۵۲

شکل۴- ۴- مسیریابی OARP، Lin_08 ..... ۵۳

شکل۴- ۵- نحوه‌ی بکارگیری کانال‌های مجازی در شبکه‌های مجازی کاهشی و افزایشی ۵۵

شکل۴- ۶- ناتوانی الگوریتم صفحه‌ای در تحمل خطاهای مرزی ۵۸

شکل۴- ۷- شبه‌کد الگوریتم صفحه‌ای تحمل‌پذیر خطا ۵۸

شکل۴- ۸-نحوه‌ی تنظیم بیت پرچم توسط پیام تنظیم یک ۵۹

شکل۴- ۹- انحراف حول ناحیه‌ی اشکال در صورت وجود یک کانال فیزیکی مجاز ۶۰

شکل۴- ۱۰- انحراف حول ناحیه‌ی اشکال در صورت وجود یک کانال فیزیکی مجاز در یک کانال فیزیکی غیر مجاز ۶۰

شکل۴- ۱۱- انحراف حول ناحیه‌ی اشکال در صورت وجود دو کانال فیزیکی مجاز ۶۱

شکل۴- ۱۲- مسیریابی اولیه در Fic_09 ..... ۶۳

شکل۴- ۱۳- گره‌ی معیوب و حد فاصل آن در الگوریتم، Zhang_08 ..... ۶۵

شکل۴- ۱۴- مسیرهای قدیمی و مسیرهای جدید در حضور اشکال ۶۵

شکل۴- ۱۵- حد فاصل‌های محتمل در یک شبکه‌ی توری دو بعدی ۶۶
شکل۴- ۱۶- حالت‌های انحراف پیام حول بلوک اشکال ۷۳
شکل۴- ۱۷- شبه کد الگوریتم XY توسعه یافته ۷۳
شکل۴- ۱۸- نحوه‌ی تنظیم بیت پرچم و فرستاده شدن پیام تنظیم یک ۷۷
شکل۴- ۱۹- شبه کد الگوریتم Chen ۷۸
شکل۴- ۲۰- حلقه‌ی اشکال و زنجیر اشکال، Duato_03 ..... ۸۰
شکل۴- ۲۱- شبه کد الگوریتم Fcube-2، Boppana_95 ..... ۸۲
شکل۴- ۲۲- بهبود الگوریتم Fcube-2 ..... ۸۳
شکل۴- ۲۳- شبه کد الگوریتم تحمل‌پذیر خطای تطبیقی، Boppana_95 ..... ۸۵
شکل۵- ۱-مجموعه اول، طول پیام ۳۲، اندازه‌ی شبکه ۱۰×۱۰ ..... ۹۲
شکل۵- ۲-مجموعه اول، طول پیام ۶۴، اندازه‌ی شبکه ۱۰×۱۰ ..... ۹۳
شکل۵- ۳-مجموعه اول، طول پیام ۱۰۰، اندازه‌ی شبکه ۱۰×۱۰ ..... ۹۳
شکل۵- ۴-مجموعه دوم، طول پیام ۳۲، اندازه‌ی شبکه ۱۰×۱۰ ..... ۹۴
شکل۵- ۵-مجموعه دوم، طول پیام ۶۴، اندازه‌ی شبکه ۱۰×۱۰ ..... ۹۴
شکل۵- ۶-مجموعه دوم، طول پیام ۱۰۰، اندازه‌ی شبکه ۱۰×۱۰ ..... ۹۵
شکل۵- ۷-مجموعه سوم، طول پیام ۳۲، اندازه‌ی شبکه ۱۰×۱۰ ..... ۹۵
شکل۵- ۸-مجموعه سوم ، طول پیام ۶۴، اندازه‌ی شبکه ۱۰×۱۰ ..... ۹۶
شکل۵-۹-مجموعه سوم، طول پیام ۱۰۰، اندازه‌ی شبکه ۱۰×۱۰ ..... ۹۶
شکل۵- ۱۰-مجموعه اول، طول پیام ۳۲، اندازه‌ی شبکه ۲۰×۲۰ ..... ۹۷
شکل۵- ۱۱-مجموعه اول، طول پیام ۶۴، اندازه‌ی شبکه ۲۰×۲۰ ..... ۹۷
شکل۵- ۱۲-مجموعه اول، طول پیام ۱۰۰، اندازه‌ی شبکه ۲۰×۲۰ ..... ۹۸
شکل۵- ۱۳-مجموعه دوم، طول پیام ۳۲، اندازه‌ی شبکه ۲۰×۲۰ ..... ۹۸
شکل۵- ۱۴-مجموعه دوم، طول پیام ۶۴، اندازه‌ی شبکه ۲۰×۲۰ ..... ۹۹
شکل۵- ۱۵-مجموعه دوم، طول پیام ۱۰۰، اندازه‌ی شبکه ۲۰×۲۰ ..... ۹۹
شکل۵- ۱۶-مجموعه سوم، طول پیام ۳۲، اندازه‌ی شبکه ۲۰×۲۰ ..... ۱۰۰
شکل۵- ۱۷-مجموعه سوم، طول پیام ۶۴، اندازه‌ی شبکه ۲۰×۲۰ ..... ۱۰۰
شکل۵- ۱۸-مجموعه سوم، طول پیام ۱۰۰، اندازه‌ی شبکه ۲۰×۲۰ ..... ۱۰۱

شکل۵- ۱۹- مقایسه الگوریتم جدید با دیگر الگوریتم‌ها، تعداد اشکال-۳، الگوی اشکال حلقه‌ی غیر همپوشان ۱۰۷
شکل۵- ۲۰- مقایسه الگوریتم جدید با دیگر الگوریتم‌ها، تعداد اشکال-۱۰، الگوی اشکال حلقه‌ی غیر همپوشان.....۱۰۷
شکل۵- ۲۱- مقایسه الگوریتم جدید با دیگر الگوریتم‌ها، تعداد اشکال-۳ ، الگوی اشکال حلقه‌ی همپوشان و زنجیر اشکال.....۱۰۸
شکل۵- ۲۲- مقایسه الگوریتم جدید با دیگر الگوریتم‌ها، تعداد اشکال-۱۰، الگوی اشکال حلقه‌ی همپوشان و زنجیر اشکال.....۱۰۸

فصل اول:

کلیات پژوهش

۱- مقدمه

اصطلاح شبکه‌ی روی تراشه[1] امروزه در برد مفهومی وسیعی مورد استفاده قرار می‌گیرد که زیر ساختار ارتباطی سخت‌افزار، میان‌افزار[2] و خدمات ارتباطی سیستم عامل، روش‌های طراحی و ابزارهای مورد نیاز را در برمی‌گیرد (Jantsch & Tenhunen, 2003). شبکه‌ی‌روی‌تراشه یک روش طراحی نوین است که میان‌ارتباطات[3] بین سیستم‌های مجتمع پیچیده را امکان‌پذیر می‌سازد و آن‌ها را بهبود می‌بخشد. این شبکه‌ها دارای ساختار میان‌ارتباطی‌ای می‌باشند که مبادلات و ارتباطاتی همچون اینترنت را میان عناصر شبکه ایجاد می‌کند. با این حال شبکه‌های روی تراشه با شبکه‌های میان‌ارتباطی سنتی متفاوت هستند و این تفاوت از آن جهت است که مبادلات میان عناصر شبکه، به جای مسیرهای فلزی و یا بورد مدار چاپی از طریق لایه‌های مسیریابی سطح تراشه صورت می‌پذیرد. شبکه‌های روی تراشه از انعطاف-پذیری و همگونی بالایی برخوردار هستند و بدین ترتیب از مدل‌های میان‌ارتباطی ساده‌تری پشتیبانی می‌کنند و تحمل‌پذیری خطای بیشتری دارند. استفاده از پروتکل ارتباطی مناسب برای این سیستم‌ها، انعطاف‌پذیری آن‌ها را افزایش می‌دهد. شبکه‌های روی تراشه، میان مجموعه‌ای از بلوک‌های IP و یا عناصر پردازشی مختلف ارتباط برقرار می‌کنند که از آن جمله می‌توان به هسته‌های پردازشگر[4] و هسته-های DSP ، بلوک‌های حافظه و بلوک‌های FPGA و غیره اشاره کرد که کاربری‌های گوناگونی را ارائه می‌کنند. از مهم‌ترین دلایل رویکرد به سمت طراحی به صورت شبکه‌ی روی تراشه می‌توان از بالا بردن کارایی و کاهش تأخیر در ارتباطات بین اجزای مختلف و کم‌کردن توان مصرفی نام برد.

ارتباط پردازنده‌های روی یک تراشه به واسطه ارتباطات نقطه به نقطه و یا گذرگاه مشترک، با افزایش تعداد پردازنده‌ها با مشکلات جدی مواجهه می‌شود. معمول‌ترین معماری ارتباطی بر روی تراشه

[1] Network on Chip (NoC)
[2] MiddleWare
[3] Interconnection
[4] Processing cores

استفاده از گذرگاه مشترک بوده که از مزایای بکارگیری آن می‌توان به سادگی و سربار پایین پیاده‌سازی اشاره نمود. با این حال با افزایش تعداد المان‌های تجمیع شده بر روی تراشه، این ساختار ارتباطی با مشکلات فراوانی روبرو خواهد بود. با طولانی‌شدن خط گذرگاه مشترک و افزایش تعداد المان‌های متصل به آن، خازن، مقاومت و سیگنال‌های پارازیتی موجود بر این مسیر مشترک به شدت افزایش خواهند یافت. بدین ترتیب، افزایش تأخیر انتشار در اثر این پدیده، عملا تعداد واحدهای پردازشی قابل اتصال به این سیستم ارتباطی را محدود و قابلیت مقیاس‌پذیری را کاهش خواهد داد (Wang et al, 2010; Pande et al, 2005). مقیاس‌پذیری پایین در کنار سربار مساحت زیاد برای ارتباطات نقطه به نقطه و ایجاد تأخیر ارتباطی بالا در استفاده از باس مشترک از جمله مهم‌ترین نقاط ضعف این دست از روش‌های ارتباطی محسوب می‌شوند که طراحان را به استفاده از روش ارتباطی شبکه بر تراشه، به منظور محدود نمودن سربارها و افزایش کارایی ترغیب می‌نمایند (Katre et al, 2009).

بهره‌گیری از ساختار ارتباطی نوین و رویکردی جدید با نام NoC، جایگزین مناسبی برای گذرگاه مشترک و اتصالات نقطه به نقطه است. این ساختار ارتباطی که در آن ارتباط میان واحدهای مختلف از طریق بسته‌های مسیریابی شده توسط مسیریاب‌ها و سوئیچ‌های تعبیه شده در شبکه واقع بر روی تراشه برقرار می‌شود، نه تنها از قابلیت مقیاس‌پذیری و توسعه بالایی برخوردار بوده، بلکه با کاهش طول سیم-های بلند سراسری کشیده شده در سطح تراشه به کاهش توان مصرفی نیز منجر خواهد شد (Carvalho et al, 2007). موارد ذکر شده در ادامه، از جمله دلایل رویکرد به سمت NoC به عنوان یک روش مناسب ارتباطی در تراشه‌های چند هسته‌ای امروزی می‌باشند (Carloni et al, 2009).

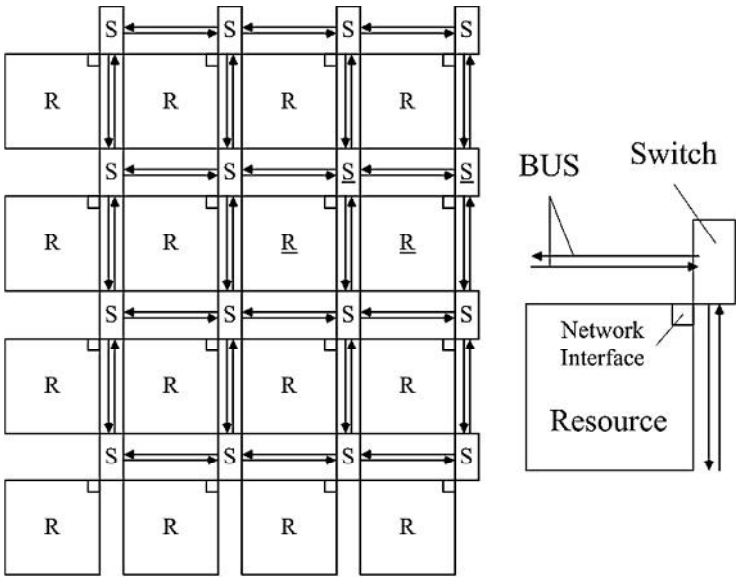
شبکه روی تراشه بر محدودیت گذرگاه‌های استاندارد، که فاقد مشخصه مقیاس‌پذیری در اتصال اجزاء مختلف به علت مسائل کارایی و توان مصرفی اند، غلبه می‌کند. همچنین از آن‌جایی که ارتباط بین گره‌های مختلف از طریق مسیریابی بسته‌ها انجام می‌شود، گره‌های زیادی را می‌توان بدون استفاده از سیم‌های سراسری طولانی به یکدیگر متصل کرد. علاوه بر این پهنای باند[1] شبکه با افزایش تعداد گره‌ها افزایش می یابد.

[1] Band Width

وجود تشابه در مسیریاب‌های شبکه روی تراشه و همچنین برخی از هسته‌های پردازشی مانند ریزپردازنده‌ها، موجب سهولت در امر طراحی می‌شود. مسیریاب‌ها، کانال‌های ارتباطی و پروتکل‌های ارتباطی سطوح پایین را می‌توان طراحی کرد و مشکلات سطح مدار آن‌ها، مانند همشنوایی[1]، مسیریابی اتصالات و نویز را رفع نمود. در ضمن بسیاری از هسته‌هایی که قبلا برای معماری خاصی مانند گذرگاه مشترک طراحی شده بودند را می‌توان، با استفاده از رابط شبکه‌ی مناسب، مجدداً در شبکه روی تراشه مورد استفاده قرار داد.

شبکه روی تراشه این قابلیت بالقوه را دارا است که با بهینه‌سازی و سفارشی‌سازی[2] پارامترها و نگاشت مناسب وظایف، توان و تأخیر بهتری از روش‌های ارتباطی معادل ارائه دهد.

شبکه روی تراشه با ایجاد مسیرهای مختلف و دیدگاه لایه‌ای به تشخیص و تصحیح خطا، قابلیت بالای اطمینان روی اتصالات را فراهم می‌سازد. در شکل ۱-۱ نمای کلی از یک شبکه روی تراشه را ملاحظه می‌کنید.



شکل ۱-۱- نمای کلی یک شبکه‌ی روی تراشه (wiklund et al, 2003)

یکی دیگر از فناوری‌های نوینی که امروزه برای پاسخگویی به نیاز به کارایی و سرعت بالا و همچنین

[1] Crosstalk
[2] Customization

مصرف توان کمتر در مدارات مجتمع مطرح شده است مدارات مجتمع سه‌بعدی است. در کنار هم قرار دادن ساختار ارتباطی NoC و تکنولوژی مجتمع سازی سه‌بعدی، شیوه طراحی 3D NoC را بدست می-دهد.

۱-۱- مفاهیم اولیه شبکه روی تراشه

۱-۱-۱- همبندی

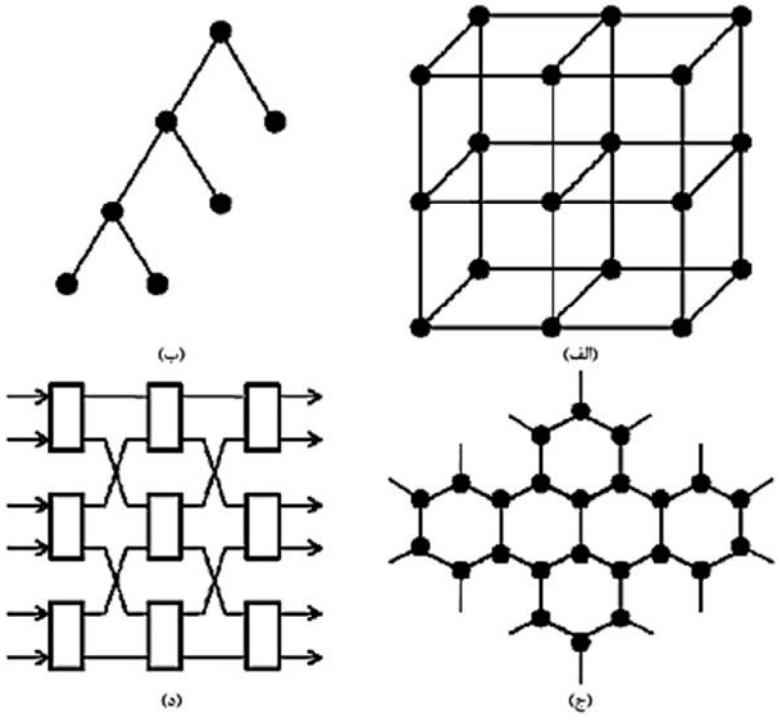
همبندی شبکه بیان‌گر نحوه‌ی اتصال گره‌های شبکه به یکدیگر می‌باشد. شبکه میان ارتباطی موجود بین پردازنده‌های هر شبکه را می‌توان با یک گراف مشخص کرد که هر گره در این گراف بیان‌گر یک گره‌ی شبکه و هر یال گراف بیان‌گر ارتباط فیزیکی نقطه به نقطه بین آن دو گره می‌باشد (Dally & Towles, 2004). تا به حال همبندی‌های متعددی برای شبکه‌های میان ارتباطی در سیستم‌های چند پردازنده‌ای سنتی ارائه شده است که از آن جمله‌ی آن می‌توان به همبندی توری مدور[۱]، ابَرمکعب[۲]، حلقه[۳]، ستاره[۴]، درخت و هرم[۵] اشاره کرد. از آن‌جایی که بسیاری از ویژگی‌های شبکه متأثر از همبندی آن می‌باشد، انتخاب همبندی نخستین گام در طراحی شبکه‌های روی تراشه می‌باشد. هر همبندی مشخصاتی دارد که بر اساس آن مشخصات، برای یک یا چندین کاربرد خاص، مناسب تشخیص داده می شود. از جمله این مشخصات می‌توان به درجه‌ی گره، قطر شبکه و پهنای میان برشی[۶] اشاره کرد.

درجه‌ی گره بیان‌گر تعداد همسایه‌های هر گره می‌باشد. فاصله‌ی بین دو گره، حداقل تعداد گام[۷]های بین دو گره در شبکه است که مقدار بیشینه‌ی حداقل فاصله بین هر دو گره بر حسب گام، قطر شبکه را مشخص می‌کند. پهنای میان برشی حداقل تعداد کانال‌هایی است که قطع آن‌ها را به دو قسمت معادل تقسیم می‌کند. واضح است که بهترین همبندی، معمولا همبندی است که تمام گره‌های شبکه دارای یک

[1] Torus
[2] Hypercube
[3] Ring
[4] Star
[5] Pyramid
[6] Bisection Bandwidth
[7] Hop

درجه باشند(شبکه یکنواخت باشد) و در عین حال قطر و درجه‌ی کوچک و پهنای میان برشی بزرگ داشته باشد (Duato et al, 2003). با این حال انتخاب همبندی همواره بستگی به کاربرد دارد.

همبندی شبکه می‌تواند مستقیم یا غیر مستقیم باشد. در شبکه‌های مستقیم یا شبکه‌های مبتنی بر مسیریاب[1]، هر گره‌ی پردازشی از طریق یک واسط به یک مسیریاب متصل می‌شود و همبندی شبکه نحوه‌ی اتصال مسیریاب‌ها به یکدیگر را مشخص می‌کند. در شبکه‌های غیر مستقیم یا شبکه‌های مبتنی بر راه‌گزین، هر هسته‌ی پردازشی به یک راه‌گزین متصل است و ارتباط بین راه‌گزین‌ها از طریق راه‌گزین-های میانی محقق می‌شود. در شکل ۱-۲ نمونه‌هایی از همبندی‌های مستقیم و غیرمستقیم آورده شده است.



شکل ۱-۲- همبندی شبکه‌های مستقیم و غیرمستقیم: (الف) شبکه‌ی مستقیم با همبندی توری ۲×۳×۳ (ب) شبکه‌ی مستقیم با همبندی درخت (ج) شبکه‌ی مستقیم با همبندی ستاره (د) شبکه‌ی غیرمستقیم

[1] Router

۱-۱-۲- مسیریابی

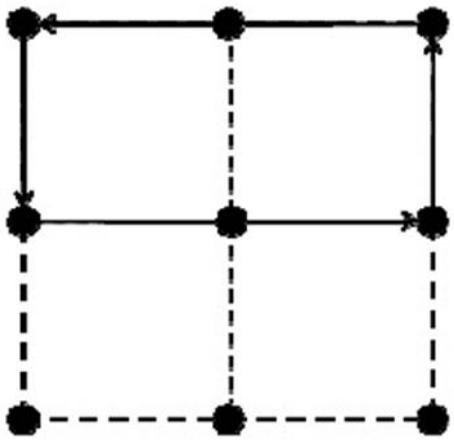
الگوریتم مسیریابی، مسیر حرکت بسته از مبدأ به مقصد را مشخص می‌کند. در طراحی یک الگوریتم مسیریابی، معمولا ویژگی‌هایی همچون تطبیق‌پذیری[۱]، عدم حضور بن‌بست[۲]، تحمل‌پذیری خطا[۳] و اشکال[۴] و یافتن کوتاه‌ترین مسیرها مورد بررسی قرار می‌گیرند که بسته به کاربرد، ویژگی‌های مسیریابی مشخص می‌شوند. دسته‌بندی‌های متفاوتی برای الگوریتم‌های مسیریابی ارائه شده است که در ادامه آن‌ها را بررسی می‌کنیم.

الگوریتم مسیریابی می‌تواند توزیع شده[۵] و یا متمرکز[۶] باشد. در الگوریتم‌های متمرکز، معمولا یک یا چند گره با توان پردازشی بالاتر در شبکه وجود دارند که با توجه به شرایط سراسری شبکه، مسیرها را مشخص کرده و نحوه‌ی مسیریابی را به هر گره در شبکه اطلاع می‌دهند. در الگوریتم‌های توزیع شده، هر گره با توجه به اطلاعات محلی از شبکه، که عموماً از طریق گره‌های مجاور خود به دست می‌آورد، مسیر را برای هر پیامی که به آن می‌رسد مشخص می‌کند. اگر چه بار عملیات در الگوریتم‌های توزیع شده بر روی کل شبکه توزیع می‌شود و الگوریتم‌ها به صورت برخط[۷] قابل اجرا هستند، ولی الگوریتم‌های متمرکز از اطلاعات سراسری استفاده می‌کنند که منجر به دقت بالاتری در انتخاب مسیرها می‌شود.

الگوریتم مسیریابی می‌تواند تطبیقی[۸]، نیمه‌تطبیقی[۹] و یا قطعی[۱۰] باشد. الگوریتم مسیریابی قطعی به الگوریتمی اطلاق می‌شود که با هر بار اجرای آن، مسیر حرکت بسته از مبدأ به مقصد فارغ از ترافیک شبکه همواره یکسان و غیرقابل تغییر باشد. از جمله الگوریتم‌های قطعی مشهور می‌توان به الگوریتم مسیریابی X-Y اشاره کرد. در الگوریتم مسیریابی X-Y که حالت خاصی از الگوریتم مسیریابی به ترتیب بُعد[۱۱] در توری دوبعدی می‌باشد، با شروع از بُعد اول شبکه، اختلاف آدرس بسته و آدرس گره‌ی مقصد در

[1] Adaptive
[2] Deadlock Avoidance
[3] Error
[4] Fault
[5] Distributed
[6] Centralized
[7] Online
[8] Fully Adaptive
[9] Partially Adaptive
[10] Deterministic
[11] Dimention Order Routing

هر بُعد به صفر می‌رسد و بسته ابتدا در جهت X و سپس در جهت Y به مقصد نزدیک می‌شود(یا بالعکس). الگوریتم تطبیقی به الگوریتمی گفته می‌شود که در آن هر مسیریاب بر اساس ترافیک شبکه و یا وجود اشکال، قابلیت انتخاب مسیرهای متفاوت را دارد. الگوریتم‌های نیمه‌تطبیقی نیز الگوریتم‌هایی هستند که در برخی ابعاد و یا بخش‌های شبکه به طور تطبیقی و در مابقی به صورت قطعی عمل می-کنند. پر واضح است که مسیریاب‌هایی که الگوریتم‌های تطبیقی و نیمه‌تطبیقی را اجرا می‌کنند، دارای معماری پیچیده‌تری می‌باشند؛ این در حالی است که قابلیت تطبیق بیش‌تری با شرایط شبکه دارند که می‌تواند در نهایت منجر به کارایی بهتری شود. طراحی الگوریتم‌های مسیریابی به گونه‌ای است که غالباً بدون بن‌بست باشند. بن‌بست زمانی رخ می‌دهد که یک پیام منابعی را درخواست کند که در اختیار پیام دیگری باشد و منابعی را که در اختیار دارد آزاد نکند تا پیام‌های دیگر از آن استفاده کنند. نمونه‌ای از بن‌بست را در شکل ۱-۳ مشاهده می‌کنید. غلبه بر بن‌بست می‌تواند به صورت فیزیکی و با استفاده از کانال‌های فرار باشد و یا در طراحی الگوریتم، مسیرها به گونه‌ای محاسبه شوند که امکان بن‌بست برای الگوریتم وجود نداشته باشد.



شکل ۱-۳- بن‌بست در یک شبکه‌ی توری دوبعدی، (Duato et al, 2003)

الگوریتم مسیریابی عموماً کوتاه‌ترین مسیر را برای رسیدن از مبدأ به مقصد انتخاب می‌کنند. این