بسم الله الرحمن الرحيم

٢٧٥١٦

مرکز اطلاعات ... ایران
تحقیقات مدارک

۱۳۷۸ /۱۱/ ۵

دانشکده برق

طراحی و شبیه سازی یک مبدل آنالوگ به دیجیتال Σ-Δ در تکنولوژی CMOS

۱4987

محمد رنجبر

پایان نامه برای دریافت درجه کارشناسی ارشد
در رشته مهندسی برق (الکترونیک)

استاد راهنما : دکتر غلامحسن روئین تن

پائیز ۱۳۷۸

۲۷۵۱۶

تقدیم به

پدر و مادر

بزرگوارم

چکیده :

مبدلهای آنالوگ به دیجیتال فوق نمونه برداری بر اساس مدولاسیون سیگما دلتا، دستیابی به دقتهای بالای تبدیل را بدون نیاز به به قطعات آنالوگ دقیق و المانهای تنظیم شده میسر ساخته اند. تنوع معماریها و امکان مبادلهٔ پارامترهای مختلف در سیستمهای سیگما دلتا ، چالشهای جدیدی را برای انجام طرحهای بهینه ایجاد کرده است. این بهینه سازی با توجه به جهت گیری نسبت به مجتمع سازی هر چه بیشتر و سازگاری با VLSI-CMOS معمولا در راستای افزایش نرخ تبدیل، کاهش توان مصرفی، کاهش سطح تراشه و قابلیت کار با ولتاژ تغذیهٔ کم می باشد.

در این تحقیق یک الگوی مناسب برای طراحی بالا به پایین (Top-Down) مبدلهای سیگما دلتای خازن سوئیچ شده ، ارائه شده است. در این راستا یک نمونه مبدل A/D سیگما دلتا که کاربرد زیادی در انواع مختلف کد کننده های باند صحبت دارد برای طراحی و ارائهٔ الگو انتخاب شده است.

در مرحلهٔ طراحی سیستمی با ملاحظهٔ محدودیت ولتاژ تغذیه، یک ساختار مرتبه دوم مناسب برای پیاده سازی VLSI انتخاب شده و شبیه سازیهای لازم جهت تعیین و برآورد حساسیت عملکرد مدولاتور نسبت به اثرات غیر آرمانی مختلف صورت گرفته است. بر اساس خواسته های طراحی، پارامترها و مشخصات بلوکهای سازندهٔ مختلف استخراج شده و در طراحی مدارهای آنالوگ مورد استفاده قرار گرفته است.

در مرحلهٔ طراحی مداری، بلوک های سازندهٔ مختلف مانند : انتگرالگیر خازن سوئیچ شدهٔ تمام تفاضلی، مقایسه گر لچ شونده، DAC یک بیتی و مدار مولد پالس ساعت، طراحی و توسط Spice شبیه سازی شده اند.

بر اساس مشخصهٔ فاز خطی و با توجه کاهش 128:1 مورد نیاز، یک معماری سه طبقه بصورت FIR-Sinc-FIR برای پیاده سازی فیلتر کاهندهٔ مبدل A/D سیگما دلتا در نظر گرفته شده است. ضرایب طبقات مختلف برای جلوگیری از التقاط فرکانسی و حذف نویز کوانتش خارج باند طراحی شده اند. برای پیاده سازی طبقهٔ FIR2 بر اساس کدینگ CSD ، ایدهٔ طراحی یک ساختار قابل برنامه ریزی با مالتی پلکس زمانی ارائه شده که میتواند در انواع مختلف طرحهای A/D سیگما دلتا مورد استفاده قرار گیرد. گیت ها و مدارهای دیجیتالی سازنده فیلتر مانند : جمع کننده، رجیستر، ضرب کننده های موازی و ـ طراحی و توسط Spice شبیه سازی شده اند.

عملکرد سیستم کلی شامل مدولاتور سیگما دلتای آنالوگ و فیلتر دیجیتالی کاهنده توسط MIDAS شبیه سازی شده و نتایج حاصله نشان دهندهٔ محدودهٔ دینامیکی 86.2 dB (مطابق با یک A/D ۱۴ بیتی)، حداکثر SNDR معادل 81.2 dB و نرخ نمونه های خروجی 8 KHz است.

تقدیر و تشکر :

بدینوسیله از زحمات استاد ارجمند جناب آقای دکتر روئین تن که راهنمایی و هدایت این پروژه را بعـــهده داشـــتند تشـــکر و قدردانی می نمایم. همچنین از اساتید محـــترم هیئـــت داوری بخاطر حضور در جلسه دفاعیه تشکر می کنم.

در اینجا لازم می دانم از جناب آقـــای علـــی خـــاکی فـــیروز از دانشگاه تهران بخاطر مساعدت و همکاری صمیمانه ایشـــان در زمینه های علمی و در اختیار گذاشتن امکانات طراحی و شـــبیه سازی با MIDAS نهایت تشکر و سپاسگزاری را داشته باشم.

فهرست مطالب

فصل ۱ : مقدمه ۱

۱-۱ : کاربردها و انگیزه ها ۱

۱-۲ : اهداف تحقیق ۷

۱-۳ : ساختار پایان نامه ۹

مراجع ۱۰

فصل ۲ : مبانی مدولاتورهای Σ - Δ ۱۳

۲-۱ : مقدمه ۱۳

۲-۲ : معرفی معیارهای اندازه گیری عملکرد ۱۴

۲-۲-۱ : محدودهٔ دینامیکی و حداکثر SNR / SNDR ۱۴

۲-۲-۲ : نرخ نایکوئیست ۱۶

۲-۲-۳ : توان مصرفی ۱۶

۲-۳ : نویز کوانتش ۱۶

۲-۳-۱ : مبدلهای نرخ نایکوئیست ۱۶

۲-۳-۲ : مبدلهای فوق نمونه برداری ۱۸

۲-۳-۳ : مبدلهای سیگما - دلتا ۱۹

۲-۴ : توپولوژی های فیلتر حلقه ۲۳

۲-۴-۱ : زنجیره انتگرال‌گیرها با فیدبک توزیع شده ۲۵

۲-۴-۲ : زنجیره انتگرال‌گیرها با جمع فیدفوروارد ۲۶

۲-۴-۳ : توپولوژی فیدبک توزیع شده با تشدید کنندهٔ محلی ۲۷

۲-۵ : داد و ستدهای معماری ۲۸

۲-۵-۱ : معماری یک طبقه ۲۹

۲-۵-۲ : معماری چند طبقه متوالی (MASH) ۳۰

۲-۵-۳ : مقایسهٔ معماری های مختلف ۳۳

۲-۶ : مقایسهٔ مدولاتورهای زمان پیوسته و زمان گسسته ۳۵

۲-۷ : محدودیت های بنیادین توان مصرفی ۳۸
۲-۷-۱ : حد توان پویا ۴۰
۲-۷-۲ : حد توان ایستا ۴۳
۲-۸ : بحث و نتیجه گیری ۴۵
مراجع ۴۶

فصل ۳ : طراحی مدولاتور Δ - Σ در سطح سیستم ۴۸
۳-۱ : مقدمه ۴۸
۳-۲ : شبیه سازی مدولاتورهای سیگما - دلتا ۴۹
۳-۳ : روش شناسی طراحی ۵۱
۳-۴ : مدولاتور سیگما دلتای مرتبه دوم ۵۵
۳-۴-۱ : دامنه سیگنالها ۵۵
۳-۴-۲ : تغییرات بهره ۵۹
۳-۴-۳ : نشتی انتگرال گیر ۶۱
۳-۴-۴ : پهنای باند و آهنگ تغییر آپ امپ ۶۲
۳-۴-۵ : هیسترزیس مقایسه کننده ۶۶
۳-۴-۶ : غیر خطی بودن خازنها ۶۷
۳-۴-۷ : نابجایی پالس نمونه برداری ۶۹
۳-۴-۸ : نویز الکترونیکی ۷۰
۳-۵ : بحث و نتیجه گیری ۷۲
مراجع ۷۴

فصل ۴ : طراحی مدارهای آنالوگ مبدل A/D سیگما دلتا ۷۶
۴-۱ : مقدمه ۷۶
۴-۲ : انتگرال گیر خازن سوئیچ شده ۷۷
۴-۲-۱ : اثرات تزریق بار ۸۳
۴-۲-۲ : مدارهای انتگرال گیر تمام تفاضلی ۸۴

۴-۲-۳ : جبران بهره ۸۶
۴-۲-۴ : انتگرال گیر نمونه برداری دوبل همبسته ۸۹
۴-۲-۵ : انتخاب ساختار مداری ۹۰
۴-۲-۶ : خازنهای نمونه برداری و انتگرالگیری ۹۳
۴-۲-۷ : سوئیچ های CMOS ۹۴
۴-۲-۸ : تقویت کنندهٔ عملیاتی مورد نیاز ۹۸
۴-۳ : طراحی تقویت کنندهٔ عملیاتی ۱۰۰
۴-۳-۱ : بهرهٔ DC و پاسخ فرکانسی ۱۰۲
۴-۳-۲ : نویز ۱۰۷
۴-۳-۲-۱ : نویز گرمایی ۱۰۹
۴-۳-۲-۲ : نویز فلیکر ۱۱۰
۴-۳-۳ : فیدبک مد مشترک ۱۱۱
۴-۳-۴ : مدار بایاس ۱۱۴
۴-۴ : کوانتایزر یک بیتی ۱۱۶
۴-۵ : مدار مولد پالس ساعت ۱۲۲
۴-۶ : مدولاتور سیگما دلتای مرتبه دوم در سطح مدار ۱۲۳
۴-۷ : بحث و نتیجه گیری ۱۲۵
مراجع ۱۲۶

فصل ۵ : فیلتر دیجیتالی پایین گذر و کاهنده ۱۲۸
۵-۱ : مقدمه ۱۲۸
۵-۲ : کاهش نرخ نمونه برداری ۱۳۰
۵-۳ : تبدیل چند طبقه ۱۳۱
۵-۴ : فیلترهای شانه ای ($Sinc^K$) ۱۳۴
۵-۵ : فیلترهای Half-Band ۱۳۷
۵-۶ : ساختار فیلتر کاهنده در مبدلهای A/D سیگما دلتا ۱۳۸
۵-۶-۱ : ساختار Sinc-FIR ۱۳۹

۵-۶-۲ : ساختار FIR-Sinc ۱۴۰
۵-۷ : طراحی فیلتر ۱۴۳
۵-۷-۱ : فیلتر FIR1 ..... ۱۴۴
۵-۷-۲ : فیلتر $Sinc^3$ ۱۴۷
۵-۷-۳ : فیلتر FIR2 ..... ۱۴۹
۵-۷-۳-۱ : کدینگ CSD ۱۵۰
۵-۷-۳-۲ : ضرب تودرتو ۱۵۳
۵-۸ : پیاده سازی در سطح مدار ۱۵۶
۵-۸-۱ : ضرب کننده ها ۱۵۶
۵-۸-۲ : جمع کننده ها ۱۵۷
۵-۸-۳ : رجیسترها ۱۵۹
۵-۹ : بحث و نتیجه گیری ۱۶۱
مراجع ۱۶۲

فصل ۶ : شبیه سازی و استخراج مشخصات مبدل A/D سیگما دلتا ۱۶۴
۶-۱ : نتایج شبیه سازی MIDAS ۱۶۴
۶-۲ : نتیجه گیری و اقدامات آتی ۱۶۹

ضمیمهٔ (الف) : شبیه سازها ۱۷۱
MIDAS : یک شبیه ساز ترکیبی آنالوگ-دیجیتال ۱۷۱
مدلهای رفتاری Pspice ۱۷۳
SWITCAP ۱۷۴
جعبه ابزار سیگما دلتای MATLAB ۱۷۷
مراجع ۱۸۲

ضمیمهٔ (ب) : پارامترهای مدل MOS ۱۸۳

فهرست تصاویر

فصل ۱ :

شکل ۱-۱- سیستم مدولاسیون کد پالس (PCM) متداول ، شامل فیلترهای ۲
شکل ۱-۲- سیستم PCM براساس تکنیک سیگما دلتا : تبدیل سیگنالها بعلت ۳
شکل ۱-۳- یک نمونه آی سی تجاری PCM - CODEC ، براساس مبدلهای A/D و D/A ۵
شکل ۱-۴- یک نمونه آی سی تجاری مورد استفاده در کارت صوتی کامپیوتر که ۶

فصل ۲ :

شکل ۲-۱- منحنی های SNR و SNDR ۱۵
شکل ۲-۲- کوانتیزه کردن دامنه با گام کوانتش Δ ۱۷
شکل ۲-۳- طیف نویز کوانتش در مبدلهای نرخ نایکوئیست و فوق نمونه برداری ۱۸
شکل ۲-۴- مدولاتور سیگما دلتای مرتبه اول . (a) بلوک دیاگرام ساده شده . (b) مدل خطی ۲۰
شکل ۲-۵- نویز کوانتش در مدولاتور سیگما-دلتا و در مبدلهای فوق نمونه برداری ۲۱
شکل ۲-۶- بلوک دیاگرام مدولاتور سیگما دلتا از مرتبه دلخواه L ۲۳
شکل ۲-۷- نحوهٔ جابجائی سطوح در کوانتایزر یک بیتی و اثر آن ۲۴
شکل ۲-۸- نمایش مدولاتور سیگما-دلتا بفرم ساختار عمومی ۲۵
شکل ۲-۹- توپولوژی فیلتر حلقه با فیدبک توزیع شده ۲۶
شکل ۲-۱۰- توپولوژی فیلتر حلقه با جمع فیدفوروارد ۲۷
شکل ۲-۱۱- پاسخ فرکانسی NTF ، برای توپولوژیهای فیدبک توزیع شده و جمع فیدفوروارد ۲۷
شکل ۲-۱۲- توپولوژی فیدبک توزیع شده با تشدید کننده محلی ۲۸
شکل ۲-۱۳- پاسخ فرکانسی NTF توپولوژی فیدبک توزیع شده با تشدیدکننده محلی ۲۸
شکل ۲-۱۴- مدولاتور سیگما دلتای مرتبه دوم ۳۰
شکل ۲-۱۵- مدولاتور سیگما دلتای مرتبه چهارم چند طبقه با معماری متوالی ۲-۲ ..... ۳۱
شکل ۲-۱۶- منحنی تغییرات SNR با نسبت فوق نمونه برداری برای مدولاتورهای سیگما-دلتا ۳۴
شکل ۲-۱۷- (a) انتگرالگیر خازن سوئیچ شده ، (b) انتگرالگیر زمان پیوسته ۳۷
شکل ۲-۱۸- انتگرالگیر خازن سوئیچ شده ۴۰
شکل ۲-۱۹- مدار نمونه بردار و نگه دار سوئیچ-خازن همراه با مدل نویز آن ۴۱
شکل ۲-۲۰- مدل ساده شدهٔ انتگرالگیر خازن سوئیچ شده که در آن ، مدار آپ امپ با ۴۴

فصل ۳ :

شکل ۳-۱- اندازه گیری و شبیه سازی عملکرد مدولاتورهای سیگما-دلتا ۵۰
شکل ۳-۲- طیف فرکانسی یک سینوسی تک تون ، با توابع پنجرهٔ مختلف ۵۱

شکل ۳-۳- (a) بلوک دیاگرام مدولاتور سیگمادلتای مرتبه دوم کلاسیک ، (b) مشخصهٔ SNR ۵۶
شکل ۴-۳- هیستوگرام سوئینگ نرمالیزه خروجی (a) انتگرالگیر اول و (b) انتگرالگیر دوم ۵۶
شکل ۵-۳- (a) بلوک دیاگرام مدولاتور مرتبه دوم بهبود یافته ، (b) هیستوگرام ۵۷
شکل ۶-۳- شبیه سازی اثر سوئینگ محدود خروجی انتگرالگیر اول بر مشخصه SNR ۵۸
شکل ۷-۳- (a) یک کوانتایزر چند سطحی با بهرهٔ مشخص ، (b) کوانتایزر دو سطحی ۵۹
شکل ۸-۳-شبیه سازی اثر تغییرات بهره انتگرالگیر بر مشخصهٔ SNR در ۶۰
شکل ۹-۳- شبیه سازی اثر تغییرات بهره DC آپ امپ بر مشخصهٔ SNR مدولاتور مرتبه دوم ۶۲
شکل ۱۰-۳- مدل گستردهٔ مدولاتور مرتبه دوم انتخابی ، با فاصلهٔ سطوح کوانتایزر Δ ۶۳
شکل ۱۱-۳- کانتور نقاط SNDR ثابت بر حسب تعداد ثابت های زمان قرار (n_τ) و آهنگ تغییر ۶۴
شکل ۱۲-۳- شبیه سازی اثر هیسترزیس مقایسه کننده بر مشخصهٔ SNR مدولاتور ۶۶
شکل ۱۳-۳- شبیه سازی اثر غیر خطی بودن خازنها بر مشخصهٔ SNDR مدولاتور ۶۸
شکل ۱۴-۳- شبیه سازی اثر جیتر پالس نمونه برداری بر مشخصهٔ SNR مدولاتور ۷۰
شکل ۱۵-۳- شبیه سازی تاثیر نویز خازنهای نمونه برداری بر مشخصهٔ SNR مدولاتور ۷۱

فصل ۴ :

شکل ۱-۴- روند پیگیری شده در طراحی و شبیه سازی مدولاتور سیگما-دلتا ۷۷
شکل ۲-۴- مدار انتگرالگیر (a) زمان پیوسته و (b) خازن سوئیچ شده ۷۸
شکل ۳-۴- (a) مدار خازن سوئیچ شده و (b) مقاومت معادل آن ۷۸
شکل ۴-۴- پاسخ فرکانسی انتگرالگیر شکل (b)-۲-۴ ، (a) پاسخ دامنه (b) پاسخ فاز ۸۰
شکل ۵-۴- انتگرالگیر خازن سوئیچ شدهٔ معمولی همراه با خازنهای نشتی و مزاحم ۸۰
شکل ۶-۴- اثر خازن پارازیتی C_{11} بر پاسخ فرکانسی انتگرالگیر بازای مقادیر C_{11} معادل با :0، ۸۱
شکل ۷-۴- انتگرالگیرهای غیر حساس به نشتی : (a) انتگرالگیر ناوارونگر (b) انتگرالگیر وارونگر ۸۱
شکل ۸-۴- پاسخ فرکانسی انتگرالگیرهای اشکال (a) ۷-۴ و (b) بازای بهرهٔ آپ امپ 500 ..... ۸۲
شکل۹-۴- (a) شمای پالس ساعت دوفازهٔ بدون برهم نهی همراه با تاخیر ... ، (b) انتگرالگیر ۸۴
شکل ۱۰-۴- خروجی انتگرالگیر در حالت (a) بدون و (b) با بکارگیری سوئیچینگ صفحهٔ پائینی ۸۵
شکل ۱۱-۴- فرم تمام تفاضلی انتگرالگیرهای غیر حساس به نشتی (a) ناوارونگر و (b) وارونگر ۸۶
شکل۱۲-۴- اثر بهرهٔ DC محدود آپ امپ بر پاسخ فرکانسی انتگرالگیرهای خازن سوئیچ شده ۸۷
شکل۱۳-۴- شمای مداری انتگرال گیر جبران بهره ۸۸
شکل۱۴-۴- پاسخ فرکانسی (دامنه و فاز) مدار انتگرال گیر جبران بهره ۸۸
شکل۱۵-۴- مدار یک انتگرال گیر جبران بهره برای پردازش ورودیهای آنالوگ سریع ۸۹
شکل۱۶-۴- مداری برای ایجاد نیم پریود تاخیر در سیگنال آنالوگ ورودی ۸۹
شکل۱۷-۴- مدار انتگرال گیر نمونه برداری دوبل همبسته (CDS) ناوارونگر ۹۰
شکل۱۸-۴- بلوک دیاگرام سیستمی مدولاتور سیگما دلتای مرتبه دوم ۹۱
شکل۱۹-۴-پیاده سازی انتگرال گیرهای طبقه اول و دوم مدولاتور سیگما دلتا ، بفرم تمام تفاضلی ۹۲

شکل ۲۰-۴- نمایش تک خروجی انتگرالگیر SC، برای بررسی اثر خازن پارازیتی ورودی آپ امپ ۹۴
شکل ۲۱-۴- مقایسه مقاومت حالت روشن (R_{on}) سوئیچ های مختلف برحسب ولتاژ ورودی ۹۵
شکل ۲۲-۴- مدار یک سوئیچ NMOS بوت استرپ شده ۹۶
شکل ۲۳-۴- نمایش مدار معادل انتگرالگیر خازن سوئیچ شدهٔ مورد استفاده بصورت تک خروجی ۹۹
شکل ۲۴-۴- آپ امپ کسکد تا شدهٔ تمام تفاضلی با ترانزیستورهای ورودی PMOS..... ۱۰۱
شکل ۲۵-۴- منبع جریان کسکد با سوئینگ زیاد ۱۰۲
شکل ۲۶-۴- آنالیز DC آپ امپ تمام تفاضلی در حالت حلقه باز برای تعیین بهرهٔ DC و سوئینگ ۱۰۶
شکل ۲۷-۴- پاسخ فرکانسی (دامنه و فاز) آپ امپ تمام تفاضلی با 6pF بار خازنی ۱۰۶
شکل ۲۸-۴- آنالیز گذرای سیگنال کوچک در حالت بهرهٔ واحد، برای تعیین ثابت زمان قرار ۱۰۸
شکل ۲۹-۴- آنالیز گذرای سیگنال بزرگ در حالت بهرهٔ واحد برای تعیین آهنگ تغییر خروجی ۱۰۸
شکل ۳۰-۴- (a) نویز گرمایی یک ترانزیستور MOS در آرایش سورس مشترک، (b) ۱۱۰
شکل ۳۱-۴-نویز گرمایی معادل ورودی آپ امپ تمام تفاضلی که با آنالیز نویز Spice تعیین شده ۱۱۰
شکل ۳۲-۴- آنالیز نویز Spice برای تعیین نویز کلی (گرمایی و فلیکر) معادل ورودی آپ امپ..... ۱۱۲
شکل ۳۳-۴- (a)شبکهٔ مقسم ولتاژ خازن سوئیچ شده و (b) مدار معادل آن ۱۱۳
شکل ۳۴-۴- مدار بایاس مورد استفاده در آپ امپ تمام تفاضلی ۱۱۴
شکل ۳۵-۴- مدار مقایسه گر لچ شونده با ساختار دینامیک جهت صرفه جویی در توان مصرفی..... ۱۱۷
شکل ۳۶-۴- مدل مدار مقایسه گر لچ شونده در فاز مقایسه (ϕ_1=1) برای تعیین ثابت زمانی..... ۱۱۷
شکل ۳۷-۴- نحوهٔ تغییرات خروجی مقایسه گر لچ شونده نسبت به سیگنال تفاضلی ورودی ۱۱۹
شکل ۳۸-۴- شبیه سازی هیسترزیس مقایسه گر لچ شونده، با آنالیز گذرای Spice ۱۱۹
شکل ۳۹-۴- مدار DAC یک بیتی با استفاده از ولتاژ مرجع خارجی و ورودی دیجیتال دیفرانسیلی..... ۱۲۱
شکل ۴۰-۴- (a) منطق بکار رفته در ایجاد سیگنالهای ϕ_{2d} و ϕ_{2d} . (b) استفاده از... ..... ۱۲۱
شکل ۴۱-۴- مدار طراحی شده برای تولید پالس های ساعت دو فازه بدون برهم نهی ۱۲۲
شکل ۴۲-۴- پالس های ساعت تولید شده توسط مدار شکل ۴۱-۴، همراه با جزئیات بیشتر ۱۲۳
شکل ۴۳-۴- طرح کلی مدار مدولاتور سیگما دلتای مرتبه دوم ۱۲۴
شکل ۴۴-۴- مدار بایاس مورد استفاده در آپ امپ تمام تفاضلی ۱۱۴

فصل ۵ :

شکل ۱-۵-سیستم مبدل آنالوگ به دیجیتال سیگما-دلتا ۱۲۹
شکل ۲-۵- (a) بلوک دیاگرام و (b) نمایش طیفی عملیات کاهش با ضریب صحیح M ۱۳۱
شکل ۳-۵- منحنی تولرانس یک فیلتر پایین گذر نوعی ۱۳۲
شکل ۴-۵- یک مثال ساده برای شبکه های کاهنده یک طبقه و چند طبقه ۱۳۳
شکل ۵-۵- پاسخ دامنه یک فیلتر شانه ای مرتبه سوم با ضریب کاهش 16 ..... ۱۳۵
شکل ۶-۵- (a)پیاده سازی معادلهٔ (۵-۵) بفرم مستقیم، (b)تحقق فیلتر شانه ای با توجه به معادلهٔ (۷-۵) ۱۳۶
شکل ۷-۵- ساختار یک فیلتر $Sinc^2$ با استفاده از پیاده سازی شکل (b)-۶-۵ ..... ۱۳۷

شکل۸-۵- فرم کلی پاسخ فرکانسی فیلترهای Half-band در حالت ایده آل ۱۳۸
شکل۹-۵- پیاده سازی فیلتر Half-band مرتبه 14 بصورت فرم مستقیم چند فازه ۱۳۸
شکل۱۰-۵- ساختار یک فیلتر کاهندهٔ متداول بصورت Sinc-FIR..... ۱۳۹
شکل۱۱-۵- پیاده سازی فیلتر FIR مرتبه N بصورت فرم مستقیم..... ۱۳۹
شکل۱۲-۵- ساختار multi - rate برای پیاده سازی فیلتر شانه ای (Sinc) از درجهٔ دلخواه K..... ۱۴۰
شکل۱۳-۵- ساختار فیلتر کاهنده ، بصورت FIR - Sinc..... ۱۴۱
شکل۱۴-۵- ساختار انتقاطی فرم مستقیم و تابع تبدیل مربوط به آن ۱۴۱
شکل۱۵-۵- ساختار انتقاطی وارونه و تابع تبدیل مربوط به آن..... ۱۴۲
شکل۱۶-۵- ساختار انتقاطی فرم مستقیم متقارن که در آن تعداد ضرب کننده ها و ۱۴۳
شکل۱۷-۵-بلوک دیاگرام کلی فیلتر کاهنده همراه با برخی جزییات ، جهت تشریح عملکرد طبقات ۱۴۴
شکل۱۸-۵- نمایش ضرایب پاسخ ضربهٔ (a) فیلتر باند پایه و (b) فیلتر انتقاطی ۱۴۵
شکل ۱۹-۵- ساختار انتقاطی فرم مستقیم متقارن که در پیاده سازی فیلتر FIR1 مورد استفاده قرار گرفته..... ۱۴۷
شکل۲۰-۵- پاسخ فرکانسی باند پایهٔ فیلتر FIR1 که با استفاده از مقادیر واقعی (باینری) ضرایب ۱۴۷
شکل۲۱-۵- مقایسهٔ باند های انتقاطی فیلتر $Sinc^3$ در روش متداول با ضریب کاهش 32:1 (a) و در ۱۴۸
شکل۲۲-۵- پیاده سازی فیلتر $Sinc^3$ با ضریب کاهش 64:1..... ۱۴۹
شکل۲۳-۵ -(a) پاسخ فرکانسی فیلتر FIR2 ، (b) جبران افت دامنهٔ فیلتر $Sinc^3$ در باند عبور ۱۵۰
شکل۲۴-۵ -ساختار فرم مستقیم متقارن برای پیاده سازی فیلتر FIR2 همراه با ادغام عملیات کاهش..... ۱۵۱
شکل۲۵-۵ - آرایش ضرب کننده های موازی متصل به سرهای h_{42} و h_{43} با استفاده از ضرب تودرتو..... ۱۵۵
شکل۲۶-۵ - ایده طراحی یک ساختار قابل برنامه ریزی با مالتی پلکس زمانی برای پیاده سازی فیلتر FIR2... ۱۵۵
شکل۲۷-۵ -مدار ضرب کنندهٔ 1.5x11 بیتی که ورودی X ، تنها شامل مقادیر 0 ، 1 و 2 میتواند باشد ۱۵۶
شکل۲۸-۵ -مدار ضرب کنندهٔ N x 1 بیت با استفاده از دروازه های انتقال CMOS ۱۵۷
شکل۲۹-۵ - (a) مدار Full-Adder با سطح کوچک بر اساس دروازه های انتقال CMOS ، (b) ۱۵۸
شکل۳۰-۵ - (a) یک مدار جمع کنندهٔ 6 بیتی بصورت Ripple-Carry ، (b) مدار جمع / تفریق ۱۵۹
شکل۳۱-۵ -(a) مدار فلیپ فلاپ TSPC با سطح کم و بدون نیاز به پالس ساعت مکمل، (b) مدار ۱۶۰
شکل۳۲-۵ - مقایسهٔ (a) جانمایی (Layout) مدار فلیپ فلاپ TSPC با (b) جانمایی DFF معمولی ۱۶۱

فصل ۶ :

شکل ۱-۶- طیف سیگنال خروجی (a) مدولاتور سیگما دلتا و (b) فیلتر $Sinc^3$ پس از کاهش 64:1 ..... ۱۶۶
شکل ۲-۶- مشخصهٔ SNR و SNDR (خطوط نقطه چین) مبدل A/D سیگما دلتا ۱۶۷

ضمیمهٔ الف :

شکل ۱ : یک مدولاتور سیگما دلتای مرتبه دوم و لیست MIDAS مربوطه ۱۷۲
شکل ۲ : مدولاتور سیگما دلتای مرتبه اول خازن سوئیچ شده با استفاده از مدلهای رفتاری Pspice..... ۱۷۳

شکل ۳ : طیف سیگنال خروجی مدولاتور نشان داده شده در شکل ۲ ..... ۱۷۴
شکل ۴ : مدولاتور سیگما دلتای مرتبه دوم بصورت تمام تفاضلی ۱۷۵
شکل ۵ : لیست SWITCAP مدولاتور سیگما دلتای تمام تفاضلی نشان داده شده در شکل ۴ ..... ۱۷۶
شکل ۶ : مدل کردن مقاومت در SWITCAP ۱۷۷
شکل ۷ : (a) مکان ریشه ها و (b) پاسخ فرکانسی NTF طراحی شده ۱۷۸
شکل ۸ : خروجی شبیه سازی شده مدولاتور بازای سینوسی ورودی با دامنه نصف مقیاس کامل ۱۷۹
شکل ۹ : طیف سیگنال خروجی مدولاتور که با FFT ، 2^{13} نقطه ای حاصل شده است ۱۸۰
شکل ۱۰ : مشخصهٔ SNR مدولاتور (SNR بازای مقادیر مختلف دامنهٔ ورودی) ۱۸۰
شکل ۱۱ : برخی از توپولوژی های سنتز شده برای تحقق NTF مدولاتور مرتبه دوم ۱۸۱

فهرست جداول

فصل ۲ :

جدول ۱-۲- مقایسه معماری های مختلف مدولاتورهای سیگما-دلتا ۳۶
جدول ۲-۲- مقایسه تکنیک های پیاده سازی مداری مدولاتور سیگما دلتا ۳۹

فصل ۳ :

جدول ۱-۳- مقایسه توان مصرفی معماری های مختلف ۵۴

فصل ۴ :

جدول ۱-۴- ابعاد (W و L) سوئیچ هایCMOS مورد استفاده در انتگرالگیر شکل ۱۹-۴ ..... ۹۷
جدول ۲-۴- مشخصات مورد نیاز آپ امپ تمام تفاضلی مورد استفاده در انتگرالگیر ۱۰۰
جدول ۳-۴- ابعاد (W و L) ترانزیستورهای مورد استفاده در آپ امپ تمام تفاضلی شکل ۲۴-۴ ..... ۱۰۵
جدول ۴-۴- مشخصات آپ امپ تمام تفاضلی طراحی شده ۱۱۵
جدول ۵-۴- مشخصات مهم مقایسه کنندهٔ شکل ۳۵-۴ ..... ۱۲۰

فصل ۵ :

جدول ۱-۵- لیست ضرایب باند پایهٔ فیلتر FIR1 و مقادیر باینری (واقعی) آنها ۱۴۶
جدول ۲-۵- لیست ضرایب پاسخ ضربهٔ فیلتر FIR2 و مقادیر کد شده (واقعی) بصورت CSD ۱۵۲

فصل ۶ :

جدول ۱-۶- پارامترهای آنالوگ مورد استفاده در شبیه سازی MIDAS ۱۶۵
جدول ۲-۶- مشخصات مبدل A/D طراحی شده که با شبیه سازی های MIDAS بدست آمده ۱۶۸

فصل ۱

مقدمه

۱-۱- کاربرد ها و انگیزه ها :

مبدلهای آنالوگ به دیجیتال سیگما-دلتا امروزه کاربرد وسیعی در مدارها و سیستمهای پردازش اطلاعات پیدا کرده اند[4, 3, 2, 1] . این نوع مبدلها دقت بالای تبدیل را بدون نیاز به فیلتر ضد التقاط[1] خارجی و بدون نیاز به عناصر آنالوگ دقیق ممکن می‌سازند[7, 6, 5]. همه این قابلیتها و مزایا از ساختار سیستمی و روابط ریاضی حاکم بر مبدلهای سیگما-دلتا ناشی می‌شود. سه مشخصه عمده که اساس کار همه مبدلهای سیگما-دلتا را تشکیل می‌دهند عبارتند از : فوق نمونه برداری[2]، شکل دهی نویز[3] ، و فیلتر دیجیتالی[4] .

پیاده سازی مبدلهای نرخ نایکوئیست بسیار دقیق با تکنولوژی VLSI کار دشواری است (شکل ۱-۱).

---

[1] Anti - Aliasing Filter

[2] Oversampling

[3] Noise Shaping

[4] Digital Filtering