بسم الله الرحمن الرحيم

دانشگاه شهید چمران اهواز

دانشکده مهندسی

شماره پایان‌نامه:

۹۳٤۰۲۰۲۲۸

پایان‌نامه کارشناسی ارشد برق

گرایش الکترونیک

طراحی و بهینه‌سازی مدولاتور دلتا-سیگمای دیجیتال برای ترکیب‌کننده‌های فرکانس کسری

استاد راهنما

دکتر ابراهیم فرشیدی

استاد مشاور

دکتر هومان کعبی

نگارنده

مهدی تیزنوبیک

تیر ۹۳

بسمه تعالی

دانشگاه شهید چمران اهواز

دانشکده مهندسی

(نتیجه ارزشیابی پایان‌نامه ارشد)

پایان‌نامه آقای **مهدی تیزنوبیک** دانشجوی رشته **برق گرایش الکترونیک** دانشکده مهندسی به شماره دانشجویی **۹۰٤۲۰۰۵**

با عنوان:

طراحی و بهینه‌سازی مدولاتور دلتا-سیگمای دیجیتال برای ترکیب‌کننده‌های فرکانس کسری

جهت اخذ مدرک **کارشناسی ارشد** در تاریخ **۱۳۹۳/٤/۱٦** توسط هیئت داوران مورد ارزشیابی قرار گرفت و با درجه **عالی** تصویب گردید.

۱. **اعضای هیئت داوران:**	**رتبه علمی**	**امضاء**
استاد راهنما: دکتر ابراهیم فرشیدی	دانشیار	
استاد مشاور: دکتر هومان کعبی	استادیار	
استاد داور: دکتر یوسف صیفی‌کاویان	استادیار	
استاد داور: دکتر کریم انصاری اصل	استادیار	
نماینده تحصیلات تکمیلی: دکتر عزیز عظیمی	استادیار	
۲. **مدیرگروه:** دکتر محمد سروش	استادیار	
۳. **معاون پژوهشی و تحصیلات تکمیلی دانشکده:** دکتر علی حقیقی	استادیار	
٤. **مدیر تحصیلات تکمیلی دانشگاه:** دکتر عبدالرحمن راسخ	استاد	

اهدانامه

شکر و سپاس خدا را که بزرگترین امید و یاور در لحظه لحظه زندگیست...

تقدیم به

تمام آزاد مردانی که نیک می اندیشند و عقل و منطق را پیشه خود نموده و جز رضای الهی و پیشرفت و سعادت جامعه، هدفی ندارند.

وجود مقدس پدر عزیزم و مهربان مادرم، آنان که ناتوان شدند تا من به توانایی برسم. مو، سپید کردند تا من روسفید شوم و قامتشان خمیده شد تا من سربلند بمانم.

خواهران عزیزم زینب و سارا و برادرم محمدرضا به پاس عاطفه سرشار و گرمای امیدبخش وجودشان که در این سردترین روزگاران بهترین پشتیبانم بودند.

قدردانی

سپاس ایزد یکتا را که در انجام این تحقیق مرا یاری فرمود. با تقدیر و تشکر شایسته از استاد راهنمای فرهیخته و فرزانه خود، جناب آقای دکتر ابراهیم فرشیدی که با نکته‌های دلاویز و گفته‌های بلند، صحیفه‌های سخن را علمپرور نمود و از راهنمایی‌های ارزنده استاد مشاور خود، جناب آقای دکتر هومان کعبی که راهنما و راهگشای من در اتمام و اکمال پایان‌نامه بوده است. بی‌شک بدون مساعدت‌های این دو استاد بزرگوار، پیمودن این مسیر بسیار سخت و ناممکن بود.

فهرست مطالب

فرم ارزشیابی ..... آ

اهدانامه ..... ب

قدردانی ..... ج

فهرست مطالب ..... ث

فهرست شکل‌ها ..... د

فهرست جدول‌ها ..... ش

فهرست علامت‌ها و اختصارها ..... ص

چکیده ..... ع

فصل اول ۱

مقدمه ۱

۱-۱ تاریخچه ۱

۱-۲ معرفی اجمالی ترکیب‌کننده‌ی فرکانس کسری ۲

۱-۲-۱ مشکل وجود تن‌های جعلی در طیف خروجی ترکیب‌کننده‌ی فرکانسی ٤

۱-۳ انگیزه‌ی پژوهش ٤

۱-٤ اهداف پایان‌نامه ۷

۱-۵ ساختار پایان‌نامه ۸

فصل دوم ۱۰

مدولاتورهای دلتا-سیگما ۱۰

۲-۱ مبدلهای آنالوگ به دیجیتال ۱۱

۲-۱-۱ نویز کوانتیزه ۱۲

۲-۲ مبدل‌های فرانمونه‌برداری ۱۵

۲-۳ مدولاتور دلتا-سیگما ۱۷
۲-۳-۱ SQNR مدولاتور دلتا-سیگما ۱۹
۲-۳-۲ انواع مدولاتور دلتا-سیگما ۲۲
۲-۳-۲-۱ مدولاتور آنالوگ زمان پیوسته ۲۲
۲-۳-۲-۲ مدولاتور آنالوگ زمان گسسته ۲٤
۲-۳-۲-۳ مدولاتور دلتا-سیگمای دیجیتال ۲۵
۲-٤ انواع ساختار مدولاتور دلتا-سیگمای دیجیتال ۲۸
۲-٤-۱ معماری تک‌طبقه ۲۹
۲-۱-٤-۲ مدولاتور تکطبقه با فیدبک خروجی ۳۰
۲-۲-۱-٤ SQ-DDSM با فیدبک خطا (EFM) ۳۷
۲-٤-۲ مدولاتور دلتا-سیگمای دیجیتال چندطبقه ٤۰
۲-۵ جمع‌بندی ٤۳
فصل سوم ٤٤
کاربردهای مدولاتور دلتا-سیگما ٤٤
۳-۱ مبدل دیجیتال به آنالوگ فرانمونه‌برداری با شکلدهی نویز ٤٤
۳-۲ ترکیب‌کننده‌های فرکانسی ٤۵
۳-۲-۱ ترکیب‌کننده‌های فرکانسی مبتنی بر حلقه قفل شده‌ی فاز ٤۵
۳-۲-۱-۱ حلقه‌ی قفل فاز ٤٦
۳-۲-۱-۲ ترکیب‌کننده‌ی فرکانس صحیح ٤۷
۳-۲-۱-۳ ترکیب‌کننده‌ی فرکانس کسری ٤۸
۳-۳ جمع‌بندی ۵٦
فصل چهارم ۵۸
کاهش شاخک در طیف توان خروجی DDSM MASH ۵۸
٤-۱ تنهای جعلی در مدولاتورهای دلتا-سیگما ۵۸
٤-۲ وابستگی SFR به طول سیکل (L_S) ۵۹
٤-۳ روش تصادفی ٦۰
٤-۳-۱ اعمال سیگنال لرزش به LSB ورودی MASH ٦۱
٤-۳-۱-۱ اعمال سیگنال لرزش به LSB ورودی MASH۱-۱-۱ اصلاح شده ٦۳

۲-۱-۳-٤ لرزش بهینه در DDSM MASH ٦٦
٤-٤ روش قطعی ٦٨
٤-٤-١ بارگذاری مقدار اولیه فرد برای ثبات‌ها ٦٩
٤-٤-٢ مدولاتور با مدول عدد اول (M_p) ٧٣
٤-٤-٣ HK-MASH ٧٣
٤-٥ جمع‌بندی ٧٦
فصل پنجم ٧٧
طراحی و شبیه‌سازی یک DDSM با کاهش سخت‌افزار و شاخک‌های طیف خروجی در سطح سیستمی ٧٧
٥-١ روش بهینه برای کاهش تن‌های جعلی در MASH ٧٧
٥-٢ روش پیشنهادی برای کاهش سخت‌افزار و شاخک در طیف خروجی ٨٢
٥-٢-١ دوره تناوب خروجی ٨٤
٥-٢-٢ شبیه‌سازی با نرم‌افزار MATLAB ٨٨
٥-٣ روش پیشنهادی برای طراحی مدولاتور دلتا-سیگما با مدول تغییرپذیر ٩٠
٥-٣-١ DDSM MASH با مدول تغییرپذیر ٩٣
٥-٤ جمع‌بندی ٩٥
فصل ششم ٩٦
پیاده‌سازی مدولاتور دلتا-سیگمای دیجیتال پیشنهادی توسط زبان توصیف سخت‌افزار VHDL ٩٦
٦-١ مدولاتور دلتا-سیگمای مرتبه اول پایپ‌لاین ٩٦
٦-٢ پیاده‌سازی دیجیتالی ساختار پیشنهادی ٩٩
٦-٢-١ مدار دیجیتال شبکه حذف نویز ١٠١
٦-٢-١ نتیجه سنتز کد VHDL برای ساختار تودرتوی پیشنهادی ١٠٢
٦-٣ پیاده‌سازی دیجیتالی مدولاتور دلتا-سیگما با مدول تغییرپذیر ١٠٥
٦-٣ جمع‌بندی ١٠٩
فصل هفتم ١١١
نتیجه‌گیری و پیشنهاداتی برای ادامه‌ی پژوهش ١١١
٧-١ نتیجه‌گیری ١١١
٧-٢ پیشنهادهایی برای ادامه‌ی پژوهش ١١٢

پیوست الف **۱۱۳**
الف-۱ طیف توان گسسته ۱۱۳
الف-۲ رابطه‌ی پارسوال ۱۱٤
الف-۳ رابطه‌ی بین توان متوسط، میانگین و واریانس ۱۱۵
الف-٤ رابطه‌ی بین طیف توان و واریانس ۱۱۵
پیوست ب **۱۱۷**
پیوست پ **۱۲۰**
پ-۱ دوره تناوب خطای کوانتیزه EFM۱ ..... ۱۲۲
پ- ۲ میانگین خروجی EFM۱ ..... ۱۲۳
پیوست ت **۱۲٤**
فهرست منابع **۱۲۵**

فهرست شکل‌ها

شکل ۱-۱: نمایی کلی از یک فرستنده-گیرنده رادیویی [۱۲] ۳

شکل ۱-۲: الف) مدولاسیون با یک سیگنال LO ایده‌آل ب) دمدولاسیون با یک سیگنال LO به همراه نویز فاز[۱٤] ٤

شکل ۱-۳: اثر طول سیکل در PSD خروجی ۱-۱-۱MASH ۱٤ بیتی [۱۸] ٦

شکل ۲-۱: بلوک دیاگرام یک مبدل نرخ نایکوییست [٤٤] ۱۱

شکل ۲-۲: الف- کوانتایزر ب-مدل خطی آن [۲۲] ۱۲

شکل ۲-۳: الف) مشخصه انتقالی کوانتایزر mid-treat با ۵ سطح خروجی ب) مشخصه انتقالی کوانتایزر mid-rise با ۵ سطح خروجی [۱۸] ۱۳

شکل ۲-٤: الف) خطای کوانتایزر mid-treat ب) خطای کوانتایزر mid-rise [۱۸] ۱۳

شکل ۲-۵: تابع چگالی احتمال [۱۸] ۱٤

شکل ۲-٦: چگالی طیف توان نویز کوانتیزه [۲۲] ۱۵

شکل ۲-۷: مقایسه طیف توان نویز الف) مبدل نرخ نایکوییست ب) مبدل فرانمونه‌برداری [۳۰] ۱٦

شکل ۲-۸: الف) مدولاتور دلتا-سیگمای مرتبه یک ب) مدل خطی مدولاتور دلتا-سیگمای مرتبه‌ی یک با فرض نویز سفید [٦] ۱۷

شکل ۲-۹: PSD خروجی مدولاتور دلتا-سیگمای مرتبه اول [۵۰] ۲۰

شکل ۲-۱۰: PSD نویز خروجی مدولاتور دلتا-سیگما مرتبه اول و مدولاتور مرتبه دوم [۵۰] ۲۲

شکل ۲-۱۱: مدولاتور CT همزمان [۱۸] ۲۳

شکل ۲-۱۲: مدولاتور CT غیرهمزمان [۱۸] ۲٤

شکل ۲-۱۳: مدورلاتور زمان-گسسته [۱۸] ۲٤

شکل ۲-۱٤: مدولاتور دلتا-سیگمای دیجیتال [۲۲] ۲۵

شکل ۲-۱۵: طیف توان گسسته خطای کوانتیزه ($e_q[n]$) [۲۲] ۲٦

شکل ۲-۱٦: طیف توان نویز خروجی یک DDSM با دوره تناوب 2^9 [۲۷] ۲۹

شکل ۲-۱۷: الف) SQ-DDSM چندسطحی ب) مشخصه‌ی انتقالی کوانتایزر mid-term دیجیتال پنج‌سطحی [۵۸]

..... ۳۰

شکل ۲-۱۸: مدولاتور دلتا–سیگما مرتبه سوم با مسیر پیشرو [۵۹] ۳۱

شکل ۲-۱۹: الف) PSD مدولاتور دلتا–سیگما مبتنی‌بر باترورث ب) PSD مدولاتور دلتا–سیگما مبتنی‌بر چپی‌شف نوع دو [۶۰] ۳۳

شکل ۲-۲۰: SQ-DDSM فیدبک خروجی با مسیر پیشرو مبتنی‌بر فیلتر باترورث [۶۰] ۳۴

شکل ۲-۲۱: مقایسه‌ای بین PSDهای مدولاتورهای MASH و تک‌طبقه [۶۰] ۳۵

شکل ۲-۲۲: SQ-DDSM با فیدبک چندگانه مرتبه سوم و خروجی تکبیت [۶۱] ۳۶

شکل ۲-۲۳: پاسخ فرکانسی تئوری STF و NTF مدولاتور شکل ۲-۲۲ [۶۰] ۳۶

شکل ۲-۲۴: شبیه‌سازی SQ-DDSM فیدبک چندگانه مرتبه سوم الف) PSD ب) خطای فاز [۶۰] ۳۷

شکل ۲-۲۵: نمایی کلی از EFM*1* [۱۵] ۳۷

شکل ۲-۲۶: الف) EFM۱ ب) خطی‌سازی EFM۱ با فرض نویز سفید [۶۳] ۳۸

شکل ۲-۲۷: مشخصه کوانتایزر تک‌بیت EFM۱ [۶۳] ۳۸

شکل ۲-۲۸: شبیه‌سازی EFM1 الف) خروجی حوزهی زمان ب) PSD نویز خروجی به همراه نویز خروجی با فرض نویز ورودی ایده‌آل (خط سیاه رنگ) ۳۹

شکل ۲-۲۹: خطای فاز خروجی [۶۰] ۴۰

شکل ۲-۳۰: پیاده سازی EFM1 توسط انباشتگر دیجیتال [۵۸] ۴۰

شکل ۲-۳۱: نمایی کلی از یک DDSM MASH که از سری کردن EFM۱ و یک شبکه حذف نویز ساخته میشود. [۵۸] ۴۱

شکل ۲-۳۲: شبیه‌سازی MASH 1-1-1 با عرض بیت ۱۶، ورودی ۲۱۵ و زمان شبیه‌سازی ۲۱۶ الف) هیستوگرام خروجی ب) PSD خروجی ۴۲

شکل ۳-۱: نمای کلی DAC فرانمونه‌برداری مبتنی بر شکل‌دهی نویز [۶۹] ۴۴

شکل ۳-۲: ترکیب‌کننده‌ی فرکانسی ۴۵

شکل ۳-۳: حلقه‌ی قفل فاز [۱۴] ۴۶

شکل ۳-۴: ترکیب‌کننده‌ی فرکانس صحیح بهمراه نمایش سیگنالهای نقاط مشخص شده [۶۵] ۴۷

شکل ۳-۵: ترکیب‌کننده فرکانس کسری مبتنی بر انباشتگر (مدولاتور دلتا–سیگما مرتبه اول) [۷۲] ۴۹

شکل ۳-۶: سیگنال‌های نقاط مختلف ترکیب‌کننده فرکانس کسری با مقسم دو مدوله مبتنی بر انباشتگر(N=4.25) [۶۵] ۵۰

شکل ۳-۷: تن‌های جعلی در طیف توان خروجی ترکیب‌کننده فرکانس [۷۴] ۵۱

شکل ۳-۸: تصادفی کردن کنترل ضریب برای حذف نفوذ باندهای کناری [۱٤]..... ۵۲
شکل ۳-۹: شکل‌دهی نویز در کنترل ضریب ترکیب‌کننده فرکانسی [۱٤]..... ۵۲
شکل ۳-۱۰: ترکیب‌کننده فرکانس کسری مبتنی بر مدولاتور دلتا–سیگما [۷٤]..... ۵۳
شکل ۳-۱۱: مقایسه‌ی بین PSD خروجی انباشتگر دیجیتال(i) و (ii) MASH 1-1-1 با شیب ۶۰ dB/decaded هر دو با عرض بیت ۱۸ و ورودی ۲۵۶ ..... ۵۵
شکل ۳-۱۲: نویز فاز خروجی ترکیب‌کننده فرکانسی الف) مبتنی‌بر انباشتگر ب) مبتنی‌بر ۱–۱–۱ MASH [۱۸] . ۵۶
شکل ٤-۱: نمایش سطح تن‌های بصورت تابعی از طول سیکل [۲۲] ۵۹
شکل ٤-۲: مقایسه‌ی بین طیف‌های توان نویز خروجی DDSM با فرض ایده‌آل برای دو عرض ۵ و ۹ بیت [۲۲] ۶۰
شکل ٤-۳: DDSM با اعمال سیگنال لرزش شکل داده شده به LSB ورودی [۷۹]..... ۶۱
شکل ٤-٤: مقایسه بین خروجی شبیه‌سازی شده ۱–۱–۱MASH بدون سیگنال لرزش و با اعمال سیگنال لرزش همراه فیلتر شکل‌دهی و بدون آن برای ۱–۱–۱MASH ۹ بیت با X=۱ [۲۹]..... ۶۲
شکل ٤-۵: PSD خروجی ۱–۱–۱MASH لرزش داده شده ۹ بیت با فیلتر شکل‌دهی بالاگذر سیگنال لرزش مرتبه ۲ به همراه PSD خروجی با فرض نویز سفید (خط سیاه رنگ) برای X=۱..... ۶۳
شکل ٤-۶: ساختار EFM مرتبه دو اصلاح شده [۸۰]..... ۶٤
شکل ٤-۷: ساختار ۲–۲–۱MASH جدید با EFM۲ اصلاح شده [۸۰]..... ۶٤
شکل ٤-۸: PSD خروجی شبیه‌سازی شده ساختار ۲–۲–۱MASH ۹ بیت با X=۱ الف) برای فیلترهای (i) $V(z)=1$، (ii) $V(z)=(1-z^{-1})$ و (iii) $V(z)=(1-z)^2$ ب) برای فیلتر $V(z)=(1-z)^3$ به‌ازای تمام ورودی‌ها [۸۰]..... ۶۵
شکل ٤-۹: مقایسه بین PSD خروجی ۱–۱–۱MASH پس از اضافه کردن سیگنال لرزش با فیلتر بالاگذر مرتبه ۱ (i) و ۲–۲–۱MASH با اضافه کردن سیگنال لرزش شکل داده شده با فیلتر بالاگذر مرتبه ۳ (ii) [۸۰] ۶۶
شکل ٤-۱۰: شکل‌دهی سیگنال لرزش توسط M LFSR بیتی در ۱–۱–۱MASH بدون فیلتر بالاگذر [۸۱].... ۶۷
شکل ٤-۱۱: مقایسه بین PSD خروجی شبیه‌سازی شده ۱–۱–۱MASH ۸ بیت ۱) بدون لرزش ۲) لرزش توسط LFSR به ورودی طبقات دوم و سوم ۳) لرزش توسط منبع نویز ایده‌آل در همان مسیر مورد ۲ ٤) فرض نویز سفید [۸۱]..... ۶۸
شکل ٤-۱۲: PSD خروجی ۱–۱–۱MASH ۱٤ بیت ۱) مقدار اولیه ثبات طبقه اول فرد ۲) مقدار اولیه ثباتها صفر ۷۱

شکل ٤-١٣: PSD خروجی ١-١-MASH١ با ورودی $M/2$ و مقدار اولیه فرد برای ثبات طبقه اول ١) n_0=٢٠ ٢) n_0=١٣ ..... ٧١
شکل ٤-١٤: HK-EFM1 [٢٩] ٧٣
شکل ٤-١٥: ساختار HK-MASH1 مرتبه l که از EFM اصلاح‌شده تشکیل شده است[٢٩] ٧٥
شکل ٤-١٦: PSDهای خروجی شبیه‌سازی شده ١) MASH1-1-1 ٩ بیت مقدار اولیه فرد ٢) MASH1-1-1 ١٨ بیت با مقدار اولیه فرد ٣) HK-MASH1-1-1 ٩ بیت در همه‌ی موارد ورودی برابر ٠/٥ نرمالیزه شده [٢٩] ٧٥
شکل ٥-١: ساختار DDSM MASH اصلاح شده (SP-MASH) برای افزایش دوره تناوب خروجی [٣٠] ٧٨
شکل ٥-٢: اصلاح ساختار شکل ٥-٢ برای افزایش بیشتر طول سیکل [٣٠] ٨١
شکل ٥-٣: اختلاف بین میانگین خروجی واقعی (X/M_1) و میانگین خروجی ایده‌آل (X/M) برحسب X/M [٣٠] ٨٢
شکل ٥-٤: معماری مدولاتور دلتا–سیگمای دیجیتال تودرتو مرتبه سه برای کاهش سختافزار [٣٤] ٨٣
شکل ٥-٥: ساختار تودرتوی پیشنهادی برای کاهش سختافزار و کاهش تنهای گسسته در طیف خروجی ٨٤
شکل ٥-٦: PSD نویز خروجی روش پیشنهادی همراه با فرض نویز سفید (خط پیوسته) ٨٨
شکل ٥-٧: طیف توان نویز خروجی مدولاتور دلتا–سیگما تودرتو ١٣ بیتی مرتبه سه همراه با فرض نویز سفید ٨٩
شکل ٥-٨: طیف توان نویز مدولاتور دلتا–سیگما تودرتور٢٠ بیت ($N_{LSB}=6$ و $N_{MSB}=14$) همراه PSD با فرض نویز سفید ٩٠
شکل ٥-٩: الف) مدولاتور دلتا–سیگمای دیجیتال با مدول متغیر ب) مشخص‌هی ورودی خروجی کوانتایزر با مدول متغیر [٨٦] ٩١
شکل ٥-١٠: مدل خطی EFM1 مدول متغیر با فرض نویز سفید ورودی [٨٦] ٩١
شکل ٥-١١: PSD خروجی 1-1-1 MASH مدول متغیر مرسوم با مدول ٢٠٨٠ ..... ٩٣
شکل ٥-١٢: سیمولینک 1-1-1 MASH مدول متغیر پیشنهادی ٩٤
شکل ٥-١٣: PSD خروجی 1-1-1 MASH مدول متغیر پیشنهادی با ورودی ٤٢ با مدول ٦٥ برای طبقه‌ی اول و ٥٢٠ برای طبقات دوم و سوم ٩٤
شکل ٦-١: انباشتگر دیجیتال به‌عنوان EFM1 [٢٦] ٩٧
شکل ٦-٢: انباشتگر ١٦ بیتی پایپ‌لاین با بلوک‌های جمع‌کننده CSKA ٤ بیت ٩٨

شکل ٦-٣: الف) جمع‌کننده کامل جمع‌کننده ب) پرش رقم نقلی ٤ بیت با بلوک هایی با عرض بیت متغیر ١، ٢ و ١ ..... ٩٩
شکل ٦-٤: پیاده‌سازی دیجیتال ساختار پیشنهادی برای کاهش سختافزار (تودرتو) و افزایش دوره تناوب بصورت پایپ‌لاین ١٠٠
شکل ٦-٥: مدار دیجیتال شبکه حذف نویز برای ساختار پیشنهادی شکل ٦-٤ [٦٧] ١٠١
شکل ٦-٦: شکل موج خروجی ساختار ارائه شده ١٠٣
شکل ٦-٧: مدار دیجیتال ساختار پیشنهادی در سطح تکنولوژی ١٠٣
شکل ٦-٨: پیاده‌سازی دیجیتال EFM1 مدول انتخابی [٨٦] ١٠٥
شکل ٦-٩: پیاده‌سازی مدولاتور دلتا–سیگما دیجیتال مدول متغیر پیشنهادی در شکل ٥-١٢ ..... ١٠٦
شکل ٦-١٠: جمع‌کننده پرش رقم نقلی با واحدهای اندازه متغیر الف) CSKA ٧ بیتی (١,٢,٣,١ بیت) ب) CSKA ١٠ بیتی (١,٢,٤,٢,١ بیت) [٩٣] ١٠٨
شکل ٦-١٠: نتیجه سنتز کد VHDL ساختار پیشنهادی برای مدولاتور مدول متغیر ١٠٩
شکل ب-١: الف)مشخصه انتقالی کوانتایزر ب)مشخصه‌ی خطای کوانتایزر ١١٨
شکل ب-٢: احتمال خطای کوانتیزه ١١٩
شکل پ-١: الف) مدل ریاضی EFM1 ب) مشخصه‌ی انتقالی کوانتایزر ١٢١

فهرست جداول

جدول ۲-۱: مقایسه بین ساختارهای مختلف DDSM [۶۰] ۴۳
جدول ٤-۱: مقادیر اولیه برای افزایش طول سیکل [۱۵] ۷۰
جدول ٤-۲: طول سیکل خروجی در ساختارهای MASH و EFM مرتبه بالا با مقادیر اولیه ثبات‌های مطابق با جدول ٤-۱ [۱۵] ۷۰
جدول ٤-۳: طول سیکل طبقات ۱-۱-۱ MASH بصورت تابعی از M، X و مقادیر اولیه ثباتها[۲۶] ۷۲
جدول ٤-٤: مقادیر a نسبت به عرض بیت ورودی مدولاتور از ۵ تا ۲۵ بیت [۲۹] ۷٤
جدول ٤-۵: مقایسه بین روش‌های مختلف کاهش تن‌های جعلی در ساختار MASH ۷٦
جدول ٦-۱: مقایسه بین دو جمع‌کننده پایپ‌لاین ۱٦ بیت ساخته شده با بلوکهای CSKA و CLA ٤ بیت[۸۹] ۹۹
جدول ٦-۲: کدهای خروجی ساختار شکل ٦-٤ ..... ۱۰۲
جدول ٦-۳: مقایسه سخت افزار مصرفی در ساختار پیشنهادی شکل ٦-٤ و ساختارهای مختلف ۱۰٤
جدول ٦-٤: مقایسه سخت‌افزار مصرفی، توان و سرعت مدولاتور دلتا–سیگما مدول متغیر پیشنهادی با روش مرسوم ۱۰۷

فهرست علامت‌ها و اختصارها

علامت‌های لاتین

N	مقسوم‌علیه در مقسم فرکانس
N_{int}	مقسوم‌علیه صحیح در مقسم فرکانس
f_{ref}	فرکانس مرجع
X	ورودی مدولاتور دلتا–سیگما
Q	آستانه کوانتایزر مدولاتور دلتا–سیگما
e_q	خطای کوانتایزر
k	بهره‌ی کوانتایزر
Δ	فاصله‌ی گسسته‌سازی کوانتایزر
f_{out}	فرکانس خروجی
v	ورودی کوانتایزر
y	خروجی کوانتایزر و مدولاتور دلتا–سیگما
μ_e	میانگین خطای کوانتایزه
f_{PDF}	تابع چگالی احتمال نویز کوانتایزه
P_{in}	توان متوسط ورودی مبدل آنالوگ به دیجیتال
σ^2	میانگین خطای کوانتیزه
P_{e_q}	توان متوسط خطای کوانتیزه
f_s	فرکانس نمونه‌برداری
S_e	چگالی طیف توان خطای کوانتیزه
f_B	بیشینه فرکانس ورودی مبدل آنالوگ به دیجیتال
$H(z)$	تبدیل Z فیلتر انتگرال‌گیر در مدولاتور دلتا–سیگما
$E_q(z)$	تبدیل Z خطای کوانتیزه مدولاتور دلتا–سیگما
$X(z)$	تبدیل Z ورودی مدولاتور دلتا–سیگما

$Y\left(\mathrm{z}\right)$	تبدیل Z خروجی مدولاتور دلتا–سیگما
ω	فرکانس زاویه‌ای $\left(\omega = 2\pi f\right)$
l	مرتبه مدولاتور دلتا–سیگما
L_{s}	دوره تناوب خطای کوانتیزه و خروجی مدولاتور دلتا–سیگما
M	آستانه کوانتیزاسیون در اجرای مدولاتور دلتا–سیگما توسط انباشتگر n_0 بیتی $\left(M = 2^{n_0}\right)$
R_{lo}	کمترین مقدار خروجی کوانتایزر
R_{hi}	بیشترین مقدار خروجی کوانتایزر
$F\left(\mathrm{z}\right)$	تبدیل Z فیلتر استفاده شده در مسیر پیشرو مدولاتور دلتا–سیگما
$G\left(\mathrm{z}\right)$	تبدیل Z فیلتر استفاده شده در مسیر فیدبک مدولاتور دلتا–سیگما
A,B,C	ضرایب مسیر پیشرو SQ-DDSM فیدبک خروجی با مسیر پیشرو
$G_{1,2,3}(\mathrm{z})$	تبدیل Z فیلترهای استفاده شده در مسیر پیشرو SQ-DDSM فیدبک خروجی با مسیر پیشرو
$\mathrm{s[n]}$	خروجی واحد تاخیر $\left(\mathrm{z}^{-1}\right)$ در مدولاتور دلتا–سیگما $\left(s\left[\mathrm{n}\right]=e\left[\mathrm{n\text{-}1}\right]\right)$
$c\left[\mathrm{n}\right]$	نقلی خروجی انباشتگر
n_0	عرض بیت انباشتگر
$s_i\left[0\right]$	مقدار اولیه ثبات یا واحد تاخیر مدولاتور دلتا–سیگما
F	بخش کسری مقسوم‌علیه فرکانس در ترکیب‌کننده فرکانس کسری
K_{vco}	ضریب نوسان‌ساز کنترل شده با ولتاژ $\left(\mathrm{MHz/V}\right)$
I_{CP}	جریان خروجی پمپ بار
$d[\mathrm{n}]$	سیگنال لرزش در ورودی مدولاتور دلتا–سیگما
M_p	مدول عدد اول در مدولاتور دلتا–سیگما
a	ضریب فیدبک ساختار HK-EFM

فهرست اختصارها

ADC	Analog-to-Digital Converter
ADPLL	All Digital Phase Lock Loop
ADSL	Asymmetric Digital Subscriber Line
BW	Band Wide
CLA	Carry look Ahead
CRA	Carry ripple adder
CSKA	Carry SKip Adder
CT	Continuous Time
DAC	Digital-to-Analog Convertor
DC	Direct Current; here it denotes a constant signal
DCS	Digital Cellular System
DDS	Direct Digital Frequency Synthesizer
DDSM	Digital Delta Sigma Modulator
DSM	Delta Sigma Modulator
DSP	Digital Signal Processing
DT	Discrete Time
EFM	Error Feedback Modulator
FA	Full Adder
FF	Flip-Flop
FPGA	Field-Programmable Gate Array
FSM	Finite State Machine
GSM	Global System for Mobile Communications
IC	Circuits Integrated
IEEE	Institute of Electrical and Electronics Engineers
IIR	Infinite impulse response
IS	Interim Standard
LC	Limit Cycle
LFSR	linear feedback shift register
LPF	Low Pass Filter
LUT	Look Up Table
MASH	Multi stAge noise SHaping
MMD	Multi Modulus Divider
MOS	Metal Oxide Semiconductor
NTF	Noise Transformer Function
OSR	OverSampling Ratio
PBRS	Pseudo Random Binary Sequence
PD	Phase Detector
PDF	Probability Density Function
PLL	Phase Lock Loop
PLL	Phase Lock Loop
PSD	Power Spectrum Density
RF	Radio Frequency

Spurious Free Range	SFR
Signal-to-Noise Ratio	SNR
Single Quantizer	SQ
Signal-to-Quantization Noise Ratio	SQNR
Signal Transformer Function	STF
Universal Mobile Telecommunications System	UMTS
Voltage Controlled Oscillators	VCO
Very high bit rate Digital Subscriber Line	VDSL
Very High scale IC (Hardware) Description Language	VHDL
Very Large Scale Integration	VLSI
Variable Modulus Digital Delta-Sigma Modulators	VMDDSM

چکیده

نام خانوادگی: تیزنوبیک	**نام:** مهدی	**شماره دانشجویی:** ۹۰٤۲۰۰۵
عنوان پایان‌نامه: طراحی و بهینه‌سازی مدولاتور دلتا-سیگمای دیجیتال برای ترکیب‌کننده‌های فرکانس کسری		
استاد راهنما: دکتر ابراهیم فرشیدی		
استاد مشاور: دکتر هومان کعبی		
درجه تحصیلی: کارشناسی ارشد	**رشته:** مهندسی برق	**گرایش:** الکترونیک
دانشگاه: شهید چمران اهواز	**دانشکده:** مهندسی	**گروه: برق**
تاریخ فارغ‌التحصیلی: ۹۳/٤/۱٦		**تعداد صفحات: ۱۳۱**

کلید واژه‌ها: مدولاتور دلتا-سیگمای دیجیتال، معماری تودرتو، نویز کوانتیزه، شاخک، پایپ‌لاین، جمع‌کننده‌ی پرش رقم نقلی، ترکیب کننده‌های فرکانس کسری

مدولاتور دلتا-سیگمای دیجیتال به‌طور گسترده در مدارات الکترونیکی شامل مبدل‌های دیجیتال به آنالوگ فرانمونه‌برداری، تقویت‌کننده-های توان کلاس D و ترکیب‌کننده‌های فرکانس کسری استفاده می‌شود. خروجی این مدولاتورها هنگامی‌که با ورودی DC کار می‌کنند متناوب است بنابراین یک طیف توان گسسته دارد. دوره تناوب پایین خروجی باعث می‌شود که براساس قاعده‌ی پارسوال توان بر تعداد کمتری از تن‌های طیف توان تقسیم شود بنابراین سطح توان تن‌های گسسته و شاخک‌ها در طیف توان خروجی افزایش می‌یابد. این تن‌ها باعث افزایش نویز فاز ترکیب‌کننده‌های فرکانس کسری می‌شوند. روش‌های مختلفی برای کاهش شاخک‌ها و افزایش دوره تناوب پیشنهاد شده که در این پایان‌نامه مقایسه‌ای بین آنها صورت گرفته است. برای کاهش سخت‌افزار مصرفی از روش تودرتو استفاده شده است. در این روش ورودی مدولاتور به چند بخش تقسیم می‌شود و هر بخش قبل از اضافه شدن به بخش بعدی توسط یک مدولاتور از مرتبه‌ی پایین تر پردازش می‌شود. این روش با استفاده از مدولاتورهای مرسوم دارای شاخک و سطح توان نویز بالا در طیف خروجی است بنابراین از روشی بهینه برای افزایش طول سیکل خروجی و کاهش شاخک‌ها استفاده شده است که بدون تغییر در میانگین خروجی، کاهش محدوده‌ی ورودی پایدار و افزایش سخت افزار دوره تناوب را به مقدار قابل توجه‌ای بالا می‌برد. ساختار پیشنهادی برای یک مدولاتور مرتبه سوم ۱۳ بیتی شبیه‌سازی شده که یک کاهش dB ۱۵ را در سطح طیف توان نویز خروجی نسبت‌به روش تودرتوی پیشین مشاهده می‌شود. بطوری‌که قابلیت جانشینی مدولاتورهای با عرض بیت بالا در روش قبلی را دارد. برای افزایش بیشینه‌ی فرکانس کاری و کاهش توان مصرفی از روش پایپ‌لاین و جمع‌کننده‌های پرش رقم نقلی استفاده شده است. بنابراین نتایج پیاده‌سازی توسط زبان توصیف سخت‌افزار VHDL کاهش ۲۰٪ سخت‌افزار نسبت‌به روش MASH۱-۱-۱ ۱۳ بیتی مرسوم را گزارش می‌دهد. همچنین نسبت به ساختار تودرتوی قبلی، بیشنه‌ی فرکانس کاری ۳ برابر شده و توان ۱۵٪ کاهش داشته است. استفاده از مدولاتورهای با مدول