بسم الله الرحمن الرحيم

دانشکده مهندسی برق و کامپیوتر

طراحی مدارهای سوئیچ شونده خازنی در ابعاد نانومتری در تکنولوژی CMOS مبتنی بر ساختار CBSC

نگارش

علیرضا ملکی

استاد راهنما: دکتر پرویز امیری

پایان نامه برای دریافت درجه کارشناسی ارشد

در رشته مهندسی برق–الکترونیک

بهمن ماه ۱۳۹۲

چکیده

در ساختار مدارهای CBSC مقایسه کننده و منبع جریان جایگزین تقویت کننده‌ی عملیاتی شده و احتیاج به تقویت کننده‌ی عملیاتی با بهره بالا از مسیر سیگنال حذف می‌شود. به منظور بهبود موازنه‌ی بین سرعت و دقت در مدارهای CBSC، از منبع جریان کنترل شونده با ولتاژ به‌جای منبع جریان ثابت استفاده می‌شود. برای افزایش هر چه بیشتر سرعت در مدارهای CBSC ایده‌ی ترکیب منابع جریان ثابت و متغیر با ولتاژ مطرح شده است. سرعت مدار CBSC با ایده‌ی فوق نسبت به مدار CBSC با منبع جریان متغیر، ۲۲ نانو ثانیه افزایش یافته، در صورتیکه خطای حالت دائم هر دو ساختار ۱۸ میلی ولت است. مدار CBSC با ایده‌ی فوق، ۸۹۰ میکرو وات و مدار CBSC با منبع جریان متغیر ۵۴۰ میکرو وات توان مصرف می‌کنند. نتایج حاصل از شبیه سازی ساختارهای مختلف مدار CBSC نشان می‌دهند که با استفاده از ایده‌ی ترکیب منابع جریان ثابت و متغیر می‌توان تا حدود زیادی موازنه‌ی بین سرعت و دقت را در مدارهای CBSC بهبود داد.

کلمات کلیدی: مقایسه کننده، مدار سوئیچ شونده‌ی خازنی، منبع جریان، سرعت، دقت، فراجهش

فهرست مطالب

عنوان **صفحه**

فصل اوّل: مدارهای سوئیچ شونده خازنی ۱

۱-۱ مقدمه ۱

۱-۲ تکنیک مدارهای سوئیچ شونده خازنی ۵

۱-۳ مکانیزم‌های ایجاد خطاء در عملکرد سوئیچ‌های ماسفتی ۶

۱-۳-۱ تزریق بار کانال ۶

۱-۳-۲ اثر نفوذ کلاک ۸

۱-۳-۳ نویز KT/C ۹

۱-۴ مدار سوئیچ شونده خازنی مبتنی بر تقویت کننده عملیاتی ۹

۱-۵ مدار سوئیچ شونده خازنی مبتنی بر مقایسه کننده ۱۳

۱-۶ مدار CBSC بهره استیج با زیر فازهای انتقال بار ۱۷

۱-۶-۱ زیر فاز پیش تنظیم P ۱۸

۱-۶-۲ زیر فاز انتقال بار E1 ..... ۱۸

۱-۶-۳ زیر فاز انتقال بار E2 ..... ۲۰

۱-۷ مدار CBSC با اصلاح خطای فراجهش ۲۱

فصل دوّم: معادلات و پارامترهای لازم برای طراحی مدار CBSC ۲۳

۲-۱ محاسبه دقیق ولتاژ خروجی مدار CBSC ۲۳

۲-۲ محاسبه پارامترهای لازم برای طراحی مدار CBSC ۲۶

۲-۲-۱ محاسبه خازن‌های نمونه بردار C1 و C2 ..... ۲۶

۲-۲-۲ محاسبه جریان منبع جریان شارژ کننده خازن‌ها Io ۲۷

۲-۲-۳ محاسبه ولتاژ آستانه مقایسه کننده Vct ۲۷

۲-۲-۴ محاسبه مقاومت خروجی منبع جریان Ro ۲۷

۲-۳ ارائه مثال عملی طراحی مدار CBSC ۲۸

فصل سوّم: طراحی بلوک‌های اصلی مدار CBSC ۳۰
۳-۱ سوئیچ خود راه انداز ۳۰
۳-۱-۱ سوئیچ‌های ماسفتی و مقاومت حالت روشن آن‌ها ۳۰
۳-۱-۲ اساس عملکرد سوئیچ‌های خود راه انداز ۳۱
۳-۱-۳ پیاده سازی با ترانزیستورهای ماسفت و شبیه سازی سوئیچ ۳۲
۳-۲ مدار مقایسه کننده ۳۵
۳-۲-۱ ملاحظات طراحی مدار مقایسه کننده ۳۶
۳-۲-۲ مشخصه‌های عملکردی مدار مقایسه کننده ۳۷
۳-۲-۲-۱ مشخصه‌های استاتیک مقایسه کننده ۳۷
۳-۲-۲-۲ مشخصه‌های دینامیک مقایسه کننده ۳۹
۳-۲-۳ اجزای تشکیل دهنده‌ی مدار مقایسه کننده ۴۰
۳-۲-۳-۱ طبقه‌ی پیش تقویت کننده ورودی ۴۱
۳-۲-۳-۲ طبقه‌ی تصمیم گیر با فیدبک مثبت ۴۲
۳-۲-۳-۳ طبقه‌ی بافر خروجی ۴۴
۳-۲-۴ طراحی اجزاء مقایسه کننده ۴۶
۳-۲-۴-۱ آینه جریان کاسکود با سوئینگ بالا ۵۰
۳-۲-۴-۲ طبقه پیش تقویت کننده ۵۳
۳-۲-۴-۳ طبقه تصمیم گیر ۵۴
۳-۲-۴-۴ طبقه تقویت کننده CSDA ۵۵
۳-۲-۵ شبیه سازی مقایسه کننده طراحی شده ۵۷
۳-۲-۵-۱ تحلیل DC مقایسه کننده ۵۷
۳-۲-۵-۲ تحلیل حالت گذرای مقایسه کننده ۵۹
۳-۳ منبع جریان ۶۱

فصل چهارم: شبیه سازی رفتاری مدار CBSC و مدار CBSC با منبع جریان VCCS..... ۶۲
۴-۱ شبیه سازی‌های رفتاری مدار CBSC..... ۶۲
۴-۱-۱ بررسی پارامترهای مقایسه کننده بر روی عملکرد مدار..... ۶۲
۴-۱-۲ طراحی و شبیه سازی مدار CBSC single ramp gain stage..... ۶۷
۴-۱-۳ طراحی و شبیه سازی مدار CBSC dual ramp gain stage..... ۷۳
۴-۲ مدار CBSC با منبع جریان کنترل شونده با ولتاژ VCCS..... ۷۹
۴-۳ مدار CBSC با ترکیب منابع جریان ثابت و متغیر ۸۴
۴-۴ شبیه سازی مدار CBSC با ساختارهای مختلف ۸۷
فصل پنجم: نتیجه گیری و پیشنهادات ۸۹
منابع و مآخذ..... ۹۲

فهرست اشکال

شکل **صفحه**

شکل۱-۱. تقویت کننده‌ی زمان پیوسته و مدار معادل آن..... ۲
شکل۱-۲. تقویت کننده‌ی زمان پیوسته با استفاده از خازن..... ۲
شکل۱-۳. استفاده از مقاومت RF برای تعیین نقطه بایاس..... ۲
شکل۱-۴. مدار تقویت کننده با سوئیچ‌های خازنی..... ۳
شکل۱-۵. بررسی عملکرد تقویت کننده با سوئیچ‌های خازنی شکل۱-۴..... ۴
شکل۱-۶. انتقال بار از خازن C1 به خازن C2..... ۵
شکل۱-۷. شماتیک کلی عملکرد تقویت کننده‌ی سوئیچ خازنی..... ۵
شکل۱-۸. مدار نمونه بردار با استفاده از سوئیچ ماسفت n کانال..... ۶
شکل۱-۹. تزریق بار وقتی‌که سوئیچ خاموش است..... ۷
شکل۱-۱۰. تأثیر بار تزریق شده روی شکل موج خروجی..... ۷
شکل۱-۱۱. مشخصه ورودی- خروجی مدار نمونه بردار با در نظر گرفتن تزریق بار..... ۷
شکل۱-۱۲. خازن‌های همپوشان در ترانزیستور ماسفت..... ۸
شکل۱-۱۳. اثر نفوذ کلاک در مدار نمونه بردار..... ۸
شکل۱-۱۴. نویز حرارتی تولید شده در خروجی مدار نمونه بردار..... ۹
شکل۱-۱۵. شماتیک کلی مدار OBSC..... ۱۰
شکل۱-۱۶. مدار معادل ساختار OBSC در فاز نمونه برداری..... ۱۱
شکل۱-۱۷. مدار OBSC در طی فاز انتقال بار..... ۱۱
شکل۱-۱۸. مدار OBSC در فاز انتقال بار..... ۱۳
شکل۱-۱۹. شماتیک مدار سوئیچ شونده خازنی مبتنی بر مقایسه کننده..... ۱۴
شکل۱-۲۰. مدار CBSC در فاز نمونه برداری..... ۱۴
شکل۱-۲۱. مدار CBSC در فاز انتقال بار..... ۱۵
شکل۱-۲۲. مدار معادل ساده شده‌ی CBSC در فاز انتقال بار..... ۱۶
شکل۱-۲۳. شماتیک مدار CBSC بهره استیج با سیگنال‌های کنترلی منابع جریان..... ۱۷
شکل۱-۲۴. زیر فازهای فاز انتقال بار Φ_2..... ۱۷
شکل۱-۲۵. مدار CBSC در زیر فاز P..... ۱۸
شکل۱-۲۶. مدار CBSC در زیر فاز انتقال بار E1..... ۱۹

شکل۱-۲۷. مدار CBSC در زیر فاز انتقال بار E2 ..... ۲۰
شکل۱-۲۸. مدار CBSC بهره استیج با اصلاح خطای فراجهش ۲۱
شکل۱-۲۹. عملکرد مدار CBSC در طی زیر فاز انتقال بار E1 ..... ۲۲
شکل۱-۳۰. عملکرد مدار CBSC با اصلاح خطای فراجهش ۲۲
شکل۲-۱. مدار معادل ساده شده CBSC در فاز انتقال بار ۲۴
شکل۳-۱. مقاومت حالت روشن تزانزیستورهای NMOS و PMOS ۳۱
شکل۳-۲. شماتیک سوئیچ خود راه انداز ۳۲
شکل۳-۳. پیاده سازی سوئیچ خود راه انداز با ترانزیستورهای ماسفت ۳۳
شکل۳-۴. مدار S/H با سوئیچ خود راه انداز ۳۵
شکل۳-۵. ولتاژ خروجی مدار S/H با سوئیچ خود راه انداز ۳۵
شکل۳-۶. شماتیک مدار مقایسه کننده ۳۶
شکل۳-۷. منحنی مشخصه‌ی انتقالی مدار مقایسه کننده با بهره بی‌نهایت ۳۷
شکل۳-۸. منحنی مشخصه¬ی انتقالی مدار مقایسه کننده با بهره محدود ۳۸
شکل۳-۹. منحنی مشخصه انتقالی مدار مقایسه کننده با ولتاژ آفست ورودی ۳۹
شکل۳-۱۰. ولتاژ ورودی و خروجی مقایسه کننده با مشخصه‌ی تأخیر انتشار ۴۰
شکل۳-۱۱. بلوک دیاگرام مقایسه کننده‌ی ولتاژ ۴۱
شکل۳-۱۲. مدار داخلی طبقه‌ی پیش تقویت کننده ورودی ۴۲
شکل۳-۱۳. مدار معادل سیگنال کوچک ترانزیستور M1 ..... ۴۲
شکل۳-۱۴. مدار داخلی طبقه‌ی تصمیم گیر ۴۲
شکل۳-۱۵. حالتی از مدار تصمیم گیر وقتی‌که io+ << io- باشد ۴۳
شکل۳-۱۶. حالتی دیگر از مدار تصمیم گیر وقتی‌که io+ >> io- باشد ۴۳
شکل۳-۱۷. تقویت کننده تفاضلی خود بایاس مکمل ۴۴
شکل۳-۱۸. تقویت کننده تفاضلی خود بایاس مکمل اصلاح شده ۴۵
شکل۳-۱۹. تقویت کننده تفاضلی خود بایاس مکمل نهائی ۴۵
شکل۳-۲۰. موازنه‌های موجود در طراحی مدار مقایسه کننده ۴۸
شکل۳-۲۱. فلوچارت طراحی مدار مقایسه کننده به روش طراحی gm/ID ۴۹
شکل۳-۲۲. شماتیک آینه جریان کاسکود ۵۰
شکل۳-۲۳. شماتیک مدار پیش تقویت کننده ۵۳

شکل۳-۲۴. شماتیک مدار تصمیم گیر مقایسه کننده..... ۵۴
شکل۳-۲۵. شماتیک مدار تقویت کننده CSDA..... ۵۵
شکل۳-۲۶. شماتیک مدار اینورتر..... ۵۵
شکل۳-۲۷. شماتیک نهائی مدار مقایسه کننده‌ی طراحی شده..... ۵۶
شکل۳-۲۸. اندازه‌گیری ولتاژ آفست خروجی مقایسه کننده..... ۵۷
شکل۳-۲۹. اندازه‌گیری خطای آفست مقایسه کننده..... ۵۷
شکل۳-۳۰. اندازه‌گیری ولتاژ آفست خروجی مقایسه کننده..... ۵۸
شکل۳-۳۱. اندازه‌گیری خطای آفست مقایسه کننده..... ۵۸
شکل۳-۳۲. اندازه‌گیری رزولوشن مقایسه کننده..... ۵۹
شکل۳-۳۳. آرایش مدار برای تحلیل حالت گذرای مقایسه کننده..... ۵۹
شکل۳-۳۴. شبیه سازی حالت گذرای مقایسه کننده..... ۶۰
شکل۳-۳۵. آرایش مدار برای محاسبه زمان تأخیر انتشار مقایسه کننده..... ۶۰
شکل۳-۳۶. نتیجه شبیه سازی برای محاسبه زمان تأخیر انتشار مقایسه کننده..... ۶۱
شکل۴-۱ آرایش مدار شارژ خازن با منبع جریان ثابت..... ۶۳
شکل۴-۲. شماتیک مدار شبیه سازی شده برای بررسی پارامترهای مقایسه کننده..... ۶۴
شکل۴-۳. شکل موج خروجی مقایسه کننده..... ۶۳
شکل۴-۴. شکل موج ولتاژ دو سر خازن بار CL..... ۶۴
شکل۴-۵. شکل موج خروجی مقایسه کننده..... ۶۵
شکل۴-۶. شکل موج ولتاژ دو سر خازن بار CL..... ۶۵
شکل۴-۷. شکل موج خروجی مقایسه کننده..... ۶۶
شکل۴-۸. شکل موج ولتاژ دو سر خازن بار CL..... ۶۶
شکل۴-۹. شکل موج خروجی مقایسه کننده..... ۶۷
شکل۴-۱۰. شکل موج ولتاژ دو سر خازن بار CL..... ۶۷
شکل۴-۱۱. شماتیک مدار CBSC single ramp gain stage..... ۶۸
شکل۴-۱۲. شماتیک مدار شبیه سازی شده CBSC single ramp gain stage..... ۶۹
شکل۴-۱۳. پالس‌های فرمان به سوئیچ‌های نمونه بردار و انتقال بار..... ۷۰
شکل۴-۱۴. پالس فرمان به سوئیچ‌های انتقال بار..... ۷۰
شکل۴-۱۵. مدار CBSC single ramp در فاز نمونه برداری..... ۷۱

شکل۴-۱۶. مدارCBSC single ramp در فاز انتقال بار ۷۱
شکل۴-۱۷. ولتاژ نمونه برداری شده توسط خازن C1 ۷۲
شکل۴-۱۸. ولتاژ نمونه برداری شده توسط خازن C2 ۷۲
شکل۴-۱۹. شکل موج ولتاژ دو سر خازن بار CL ۷۳
شکل۴-۲۰. شماتیک مدار CBSC dual ramp gain stage ۷۳
شکل۴-۲۱. مدار کنترل برای تولید سیگنال‌های کنترلی منابع جریان ۷۴
شکل۴-۲۲. سیگنال‌های کنترلی تولید شده توسط مدار کنترل ۷۴
شکل۴-۲۳. پیاده سازی مدار CBSC dual ramp ۷۶
شکل۴-۲۴. مدار CBSC در فاز نمونه برداری ۷۷
شکل۴-۲۵. ولتاز نمونه برداری شده توسط خازن C1 ۷۷
شکل۴-۲۶. ولتاز نمونه برداری شده توسط خازن C2 ۷۷
شکل۴-۲۷. مدار CBSC در فاز انتقال بار بهمراه مدار تولید سیگنال‌های کنترلی ۷۸
شکل۴-۲۸. شکل موج ولتاژ دو سر خازن بار CL ۷۹
شکل۴-۲۹. مدار CBSC منبع جریان ثابت و منبع جریان کنترل شونده با ولتاژ ۸۱
شکل۴-۳۰. مقایسه عملکرد مدار CBSC با منبع جریان ثابت و منبع جریانVCCS ۸۱
شکل۴-۳۱. بررسی موازنه‌های مدار CBSC با ایده‌ی پیشنهاد شده ۸۲
شکل۴-۳۲. تکنیک پیشنهاد شده‌ی شارژ خازن‌ها با ولتاژ کنترل شده (VCC) ۸۳
شکل۴-۳۳. ساختار منبع جریان کنترل شونده با ولتاژ VCCS ۸۴
شکل۴-۳۴. مدار CBSC با منابع جریان ثابت و متغیر ۸۶
شکل۴-۳۵. دیاگرام زمانی و عملکرد مدار CBSC با ایده پیشنهاد شده ۸۶
شکل۴-۳۶. مدار منبع جریان ثابت ۸۵
شکل۴-۳۷. مدار کنترل منطقی برای تولید سیگنال‌های کنترلی منابع جریان ۸۵
شکل۴-۳۸. ولتاژ Vx مدار CBSC با منبع جریان متغیر ۸۷
شکل۴-۳۹. ولتاژ Vx مدار CBSC با منابع جریان ثابت و متغیر ۸۸
شکل۴-۴۰. ولتاژ Vx مدار CBSC با منبع جریان ثابت ۸۸
شکل۵-۱. شماتیک مدار CBSC gain stage با حذف زیر فاز P ۸۹
شکل۵-۲. ساختار مدار CBSC تفاضلی ۹۰
شکل۵-۳. کنترل منبع جریان متغیر با سیگنال‌های کنترلی E1 و E2 ۹۱

فهرست جداول

جدول **صفحه**

جدول۲-۱. پارامترهای محاسبه شده برای طراحی مدار CBSC..... ۲۹
جدول۳-۱. اندازه‌ی W/L ترانزیستورهای ماسفت استفاده شده در سوئیچ خود راه انداز... ۳۴
جدول۳-۲. مشخصات طراحی مقایسه کننده..... ۴۸
جدول۳-۳. اندازه ترانزیستورهای طراحی شده آینه جریان..... ۵۲
جدول۳-۴. اندازه ترانزیستورهای طراحی شده طبقه پیش تقویت کننده..... ۵۴
جدول۳-۵. اندازه ترانزیستورهای طراحی شده طبقه تصمیم گیر..... ۵۴
جدول۳-۶. اندازه ترانزیستورهای طراحی شده مدار تقویت کننده CSDA و مدار اینورتر ۵۵
جدول۴-۱. مقایسه‌ی نتایج شبیه سازی شده..... ۸۷

لیست اختصارات

Op-amp Operational Amplifire.

ADC Analog to Digital Converter.

SC Switched-Capacitor.

OBSC Op-amp Based switched-Capacitor.

CBSC Comparator Based Switched-Capacitor.

DAC Digital to Analog Converter.

MS/s Mega Samples per second.

GS/s Giga samples per second.

FOM Figure of Merit.

S/H Sample & Hold circuit.

VOC Voltage Overshoot Correction.

CSDA Complementary Self-biased Differential Amplifier.

VCM Voltage Common Mode.

VCC Voltage Controlled Charging technique.

VCCS Voltage controlled Current Source technique.

MNSW Main switch.

VCT Voltage Comparator Threshold

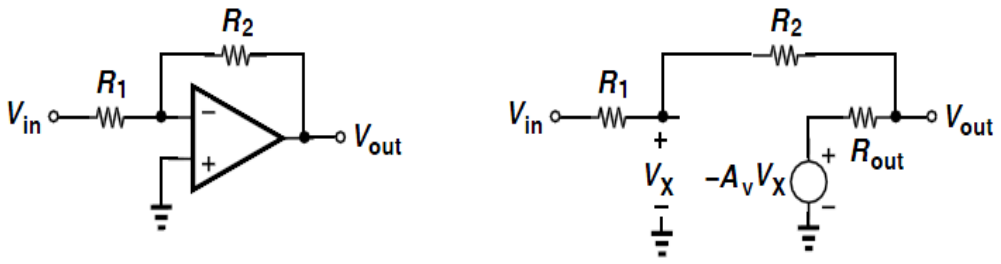
فصل اوّل
مدارهای سوئیچ شونده‌ی خازنی

۱-۱ مقدمه

در مقابل مدارهای زمان پیوسته مدارهایی نیز وجود دارند که در یک پریود خاص از ورودی نمونه برداری کرده و در خروجی ظاهر می‌کنند، به چنین مدارهایی سیستم‌های زمان گسسته یا سیستم‌های نمونه برداری دیتا گفته می‌شود[۱]. مدارهای سوئیچ شونده خازنی[۱] (SC) نیز جزو این دسته از سیستم‌ها بوده و کاربردهای فراوانی در طراحی فیلترها، مقایسه کننده‌ها، مبدل‌های آنالوگ به دیجیتال[۲] (ADC) و دیجیتال به آنالوگ[۳] (DAC) دارند. مدار تقویت کننده زمان پیوسته و مدار معادل آن در شکل (۱-۱) نشان داده شده است. پیاده سازی چنین مدارهایی در تکنولوژی CMOS مشکل است. برای دستیابی به بهره بالا، مقاومت خروجی حلقه باز تقویت کننده عملیاتی باید بزرگ باشد، حال آنکه مقاومت R2 در شکل (۱-۱) بهره حلقه باز را پایین آورده، در نتیجه باعث کاهش دقّت مدار می‌شود. بهره‌ی حلقه بسته مدار از رابطه (۱-۱) محاسبه می‌شود.

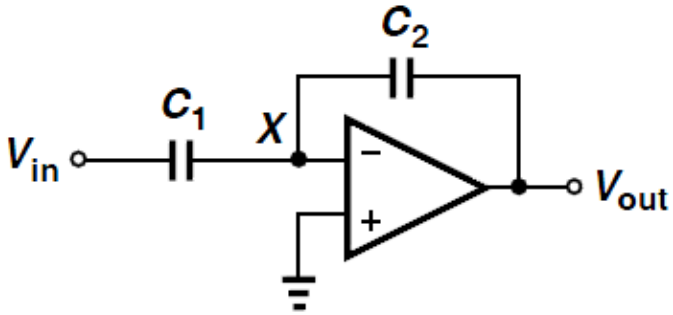
$$\frac{V_{out}}{\mathrm{V_{in}}} = -\frac{\mathrm{R_2}}{\mathrm{R_1}} \cdot \frac{\mathrm{A_v} - \frac{\mathrm{R_{out}}}{\mathrm{R_2}}}{1 + \frac{\mathrm{R_{out}}}{\mathrm{R_1}} + \mathrm{A_v} + \frac{\mathrm{R_2}}{\mathrm{R_1}}} \qquad (۱-۱)$$

[1] Switched-capacitor circuits
[2] Analog to digital
[3] Digital to analog



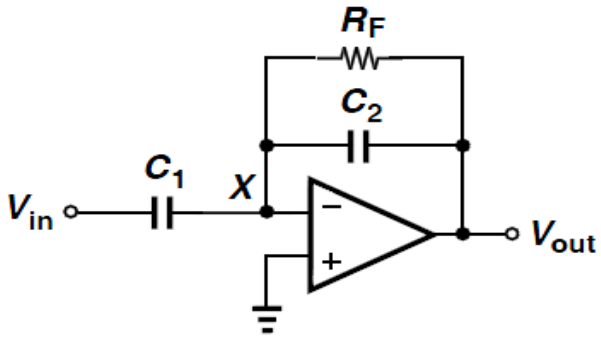
شکل۱-۱. تقویت کننده‌ی زمان پیوسته و مدار معادل آن [۱]

در شکل (۱-۱) بهره حلقه بسته مدار به‌وسیله نسبت مقاومت‌های R1 و R2 تنظیم می‌شود. به‌منظور جلوگیری از کاهش بهره حلقه باز تقویت کننده عملیاتی می‌توان بجای مقاومت‌های شکل (۱-۱) از خازن استفاده کرد. شکل (۱-۲) چنین مداری را نشان می‌دهد.



شکل۱-۲. تقویت کننده‌ی زمان پیوسته با استفاده از خازن [۱]

برای تنظیم ولتاژ در نقطه x می‌توان از یک مقاومت فیدبک بزرگ R_F مطابق شکل (۱-۳) استفاده کرد.



شکل۱-۳. استفاده از مقاومت R_F برای تعیین نقطه بایاس مدار

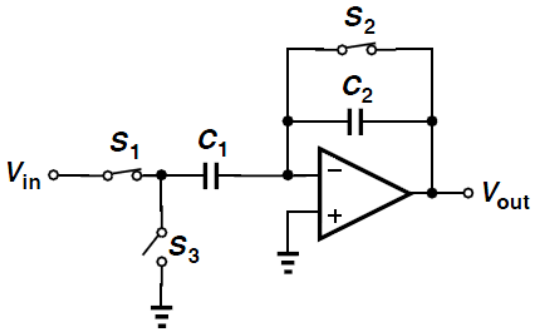
تابع تبدیل مدار مطابق رابطه (۱-۲) است.

$$\frac{V_{\text{out}}}{\text{V}_{\text{in}}}(\text{S}) = -\frac{R_F\ C1S}{R_F\ C2S + 1} \qquad (۱-۲)$$

اگر $w >> (R_F\ C_2)^{-1}$ باشد، تابع تبدیل مدار برابر رابطه (۱-۳) خواهد بود.

$$V_{\text{out}} / V_{in} \approx -C_1 / C_2 \qquad (۱-۳)$$

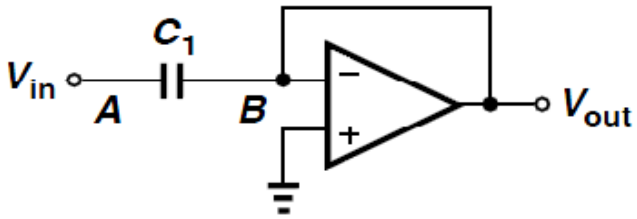
دقّت شود که این مدار برای تقویت سیگنال‌های باند پهن مناسب نمی‌باشد، زیرا تابع تبدیل آن بالا گذر[1] است. برای برطرف کردن عیب‌های دو مدار بالا از مدار سوئیچ شونده خازنی مطابق شکل (۱-۴) استفاده می‌شود.



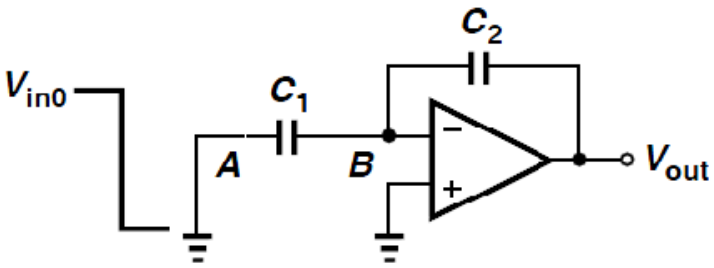
شکل۱-۴. مدار تقویت کننده با سوئیچ‌های خازنی [۲]

همانطور که از شکل (۱-۴) مشخص است، سه سوئیچ عملکرد مدار را کنترل می‌کنند. با فرض اینکه بهره‌ی حلقه باز تقویت کننده عملیاتی خیلی بزرگ باشد، عملکرد مدار طی دو فاز بررسی می‌شود. ابتدا فرض می‌شود که سوئیچ‌های S1 و S2 روشن و سوئیچ S3 خاموش باشد، مدار معادل این حالت در شکل (۱-۵-الف) نشان داده شده است. برای تقویت کننده عملیاتی با بهره بالا، VB = Vout ≈ 0، از اینرو ولتاژی معادل با ولتاژ ورودی Vin روی خازن C1 افت خواهد کرد. در زمان $t = t_0$ سوئیچ‌های S1 و S2 خاموش و سوئیچ S3 روشن شده و گره A را به زمین وصل می‌کند، در نتیجه VA از Vin_0 تا 0 تغییر کرده و ولتاژ خروجی باید از 0 تا Vin_0 C1 / C2 تغییر کند[۲].

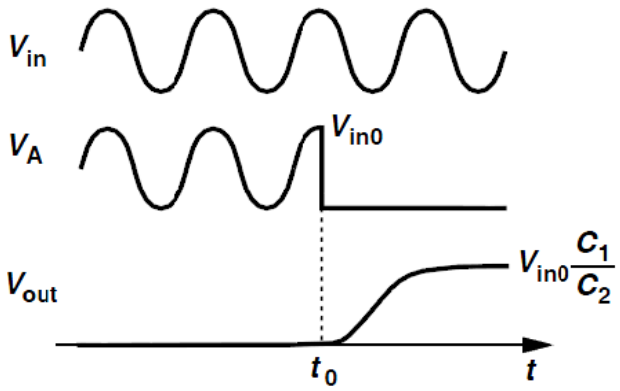
[1] high pass



شکل الف. مد نمونه برداری



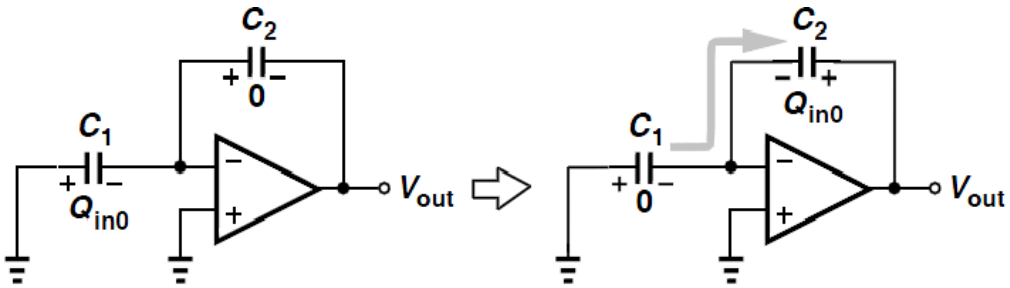
شکل ب. مد تقویت کنندگی



شکل ج. شکل موج ولتاژ خروجی

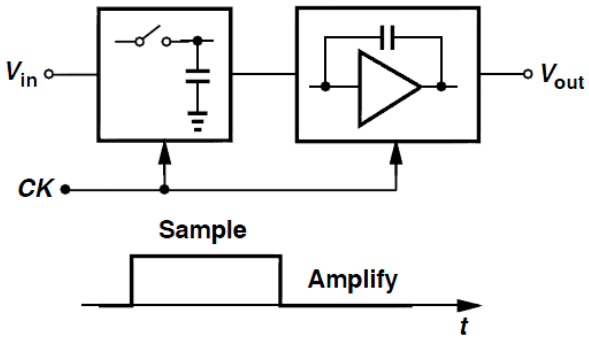
شکل۱-۵. بررسی عملکرد تقویت کننده با سوئیچ‌های خازنی شکل ۱-۴

با استفاده از قضیه‌ی انتقال بار نیز ولتاژ خروجی محاسبه می‌شود. بار ذخیره شده روی خازن C1 قبل از زمان t_0 برابر Vin_0 C1 است. بعد از زمان $t = t_0$ فیدبک منفی از طریق خازن C2 ولتاژ ورودی تفاضلی تقویت کننده عملیاتی را راه اندازی کرده و از اینرو ولتاژ خازن C1 صفر می‌شود. شکل (۱-۶) این وضعیت را نشان می‌دهد.



شکل۱-۶. انتقال بار از خازن C1 به خازن C2 [۲]

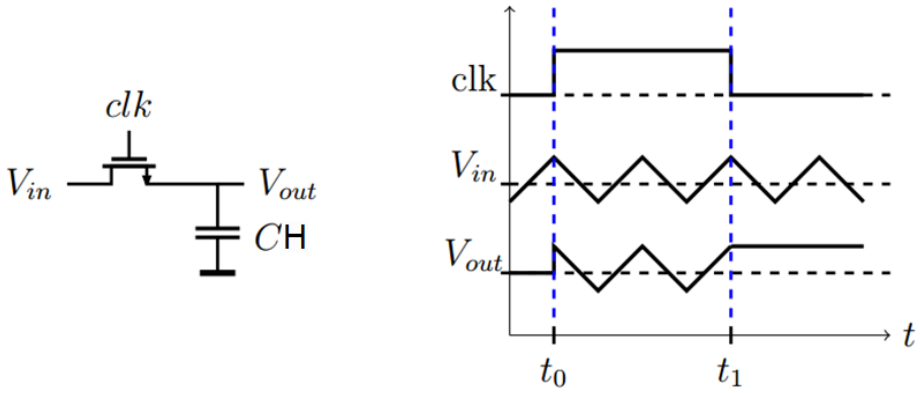
بار ذخیره شده روی خازن C1 در لحظه $t = t_0$ به خازن C2 انتقال پیدا کرده و ولتاژ خروجی برابرVin_0 C1 / C2 می‌شود. مدار، Vin_0 را با ضریب C1 / C2 تقویت می‌کند. برخی از خصوصیات مدار شکل (۱-۴) آنرا از مدارهای زمان پیوسته قابل تشخیص می‌کند. اولاً مدار زمان‌هایی را برای نمونه برداری از ورودی اختصاص داده، خروجی را تا صفر تنظیم می‌کند و هیچ تقویتی را در این پریود انجام نمی‌دهد. ثانیاً بعد از نمونه برداری، برای $t > t_0$ مدار ولتاژ ورودی Vin را نادیده گرفته و ولتاژ نمونه برداری شده را تقویت می‌کند. ثالثاً وضعیت مدار به‌طور قابل ملاحظه‌ای از یک فاز به فاز دیگر تغییر می‌کند. به‌طور کلی مدار تقویت کننده با سوئیچ‌های خازنی در طی دو فاز عمل می‌کند: فاز نمونه برداری و فاز تقویت کنندگی، که در شکل(۱-۷) نشان داده شده است.



شکل۱-۷. شماتیک کلی عملکرد تقویت کننده‌ی سوئیچ خازنی [۲]

۱-۲ تکنیک مدارهای سوئیچ شونده خازنی

در مدارهای نمونه بردار شامل سوئیچ و خازن، از ترانزیستورهای ماسفت به عنوان سوئیچ استفاده می‌شود. ترانزیستور ماسفت می‌تواند با جریان صفر روشن شده و ولتاژ پایه‌های سورس و درین آن به ولتاژ پایه گیت وابسته نیست[۳]. یعنی اگر ولتاژ گیت تغییر کند، ولتاژ پایه‌های درین و سورس ترانزیستور تابع تغییرات ولتاژ گیت نیستند (دقّت شود که ترانزیستورهای دو قطبی فاقد این خصوصیات هستند). شکل (۱-۸) استفاده از ترانزیستور ماسفت به عنوان سوئیچ را نشان می‌دهد.



شکل۱-۸. مدار نمونه بردار با استفاده از سوئیچ ماسفت n کانال [۱۳]

در فاصله زمانی بین t_0 و t_1 که پالس کلاک سطح بالائی دارد، سوئیچ ماسفت روشن شده و ولتاژ خروجی ولتاژ ورودی را دنبال می‌کند. در لبه پایین رونده پالس کلاک در زمان t_1 سوئیچ ماسفت خاموش شده و ولتاژ خروجی مقدار قبلی خودش را حفظ می‌کند، در حقیقت در این لحظه نمونه برداری انجام شده و ولتاژ ورودی روی دو سر خازن C_H ثابت نگه داشته می‌شود[۲]. از ملاحظاتی که در مدارهای سوئیچ شونده خازنی وجود دارد می‌توان به دو مورد سرعت و دقّت اشاره کرد[۳]. بعد از آنکه کلید وصل شد (ترانزیستور روشن شد) زمان لازم برای رسیدن خروجی از صفر به حداکثر ولتاژ ورودی، معیار سرعت در نظر گرفته می‌شود. سرعت نمونه برداری مدار به دو عامل مقاومت روشن بودن سوئیچ و مقدار خازن نمونه بردارC_H بستگی دارد. از اینرو برای دستیابی به سرعت نمونه برداری بالا، باید ابعاد ترانزیستور را بزرگ و خازن نمونه بردار را کوچک انتخاب کرد. از طرف دیگر با انتخاب ابعاد ترانزیستور بزرگ و خازن نمونه برداری کوچک، دقّت سیگنال نمونه برداری شده کاهش می‌یابد، بنابراین موازنه ای بین سرعت و دقّت در مدارهای سوئیچ شونده خازنی وجود دارد[۱و۲].

۱-۳ مکانیزم‌های ایجاد خطاء در عملکرد سوئیچ‌های ماسفتی

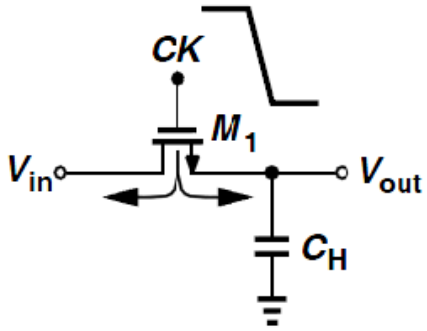
در لحظه‌ای که سوئیچ خاموش می‌شود، سه مکانیزمی که در عملکرد ترانزیستور ماسفت باعث ایجاد خطاء می‌شوند، عبارتند از : تزریق بار کانال، نفوذ کلاک و نویز KT/C [۱].

۱-۳-۱ تزریق بار کانال[1]

با توجه به شکل(۱-۹) و با فرض اینکه ترانزیستور ماسفت روشن بوده و Vin ≈ Vout باشد، بار ذخیره شده روی خازن C_H برابر رابطه (۱-۴) است.

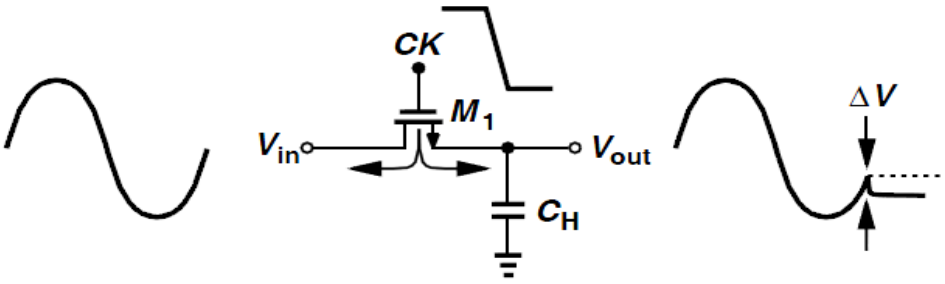
[1] Channel Charge Injection

$$Q_{ch} = W\ L\ Cox\ (VDD - Vin - V_{TH}) \qquad (۴-۱)$$

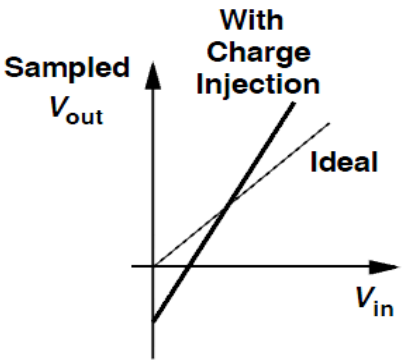


شکل۱-۹. تزریق بار وقتی‌که سوئیچ خاموش است [۱].

زمانی‌که سوئیچ خاموش است، Qch از پایه‌های درین و سورس خارج شده و پدیده‌ی تزریق بار کانال رخ می‌دهد. بار تزریق شده به سمت چپ مدار بوسیله منبع ورودی جذب شده و هیچ خطائی ایجاد نمی‌کند. بار تزریق شده به سمت راست مدار روی خازن C_H نشست کرده و خطای ΔV را در ولتاژ ذخیره شده روی خازن ایجاد می‌کند. خطای ایجاد شده متناسب با W L Cox بوده و رابطه‌ای عکس با C_H دارد. شکل (۱-۱۰) تأثیر بار تزریق شده روی شکل موج خروجی را نشان می‌دهد.



شکل۱-۱۰. تأثیر بار تزریق شده روی شکل موج خروجی [۱].

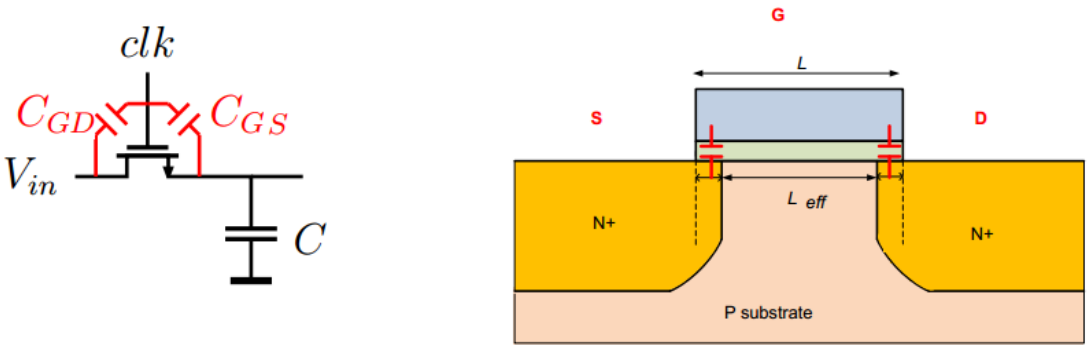


شکل۱-۱۱. مشخصه‌ی ورودی- خروجی مدار نمونه بردار با در نظر گرفتن اثر تزریق بار [۲].

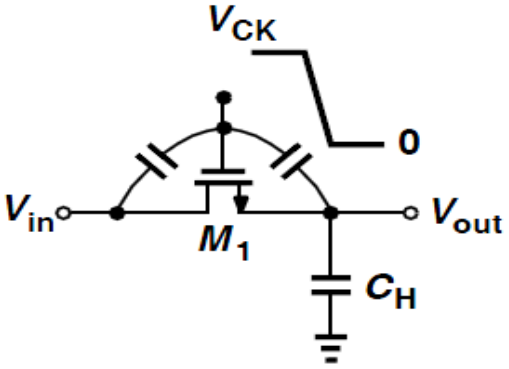
بار تزریقی باعث ایجاد سه نوع خطاء در کلیدهای نمونه بردار ماسفتی می‌شود، که عبارتند از: خطای بهره، آفست‌های dc و اثر غیر خطی. در بسیاری از کاربردها، دو اثر اول قابل چشم پوشی بوده، امّا از اثر آخر نمی‌توان چشم پوشی کرد.

۱-۳-۲ اثر نفوذ کلاک[1]

علاوه بر اثر مخرب تزریق بار کانال، یک کلید ماسفت به دلیل وجود خازن‌های همپوشانی گیت-سورس و گیت- درین که در شکل(۱-۱۲) نشان داده شده است، پرش کلاک را به خازن نمونه بردار منتقل می‌کند. همانطور که در شکل (۱-۱۳) نشان داده شده است، این پدیده باعث ایجاد خطاء در خروجی مدار نمونه بردار می‌شود.



شکل۱-۱۲. خازن‌های همپوشان در ترانزیستور ماسفت [۱۳]



شکل۱-۱۳. اثر نفوذ کلاک در مدار نمونه بردار [۱]

با فرض ثابت بودن خازن‌های همپوشانی، خطای نفوذ کلاک مطابق رابطه (۱-۵) محاسبه می‌شود:

$$\Delta V = V_{CK} \frac{W C_{ov}}{W C_{ov} + C_H} \qquad (۵-۱)$$

[1] Clock feedthrough