دانشکده مهندسی برق

پایان‌نامه دوره کارشناسی ارشد مهندسی برق – الکترونیک

طراحی و شبیه سازی رگولاتور ولتاژ خطی (LDO) با افت ولتاژ کم و جریان حالت سکون پایین

توسط :

مهدی کریمی احمد آبادی

استاد راهنما :

دکتر حسین شمسی

زمستان ۱۳۹۲

بسم الله الرحمن الرحیم

تـأیـیـدیّـه هیـات داوران

(برای پایان نامه)

اعضای هیئت داوران، نسخه نهائی پایان نامه آقای : مهدی کریمی احمد آبادی

را با عنوان : طراحی و شبیه سازی رگولاتور ولتاژ خطی (LDO) با افت ولتاژ کم و جریان حالت سکون پایین

از نظر فرم و محتوی بررسی نموده و پذیرش آن را برای تکمیل درجه کارشناسی ارشد تأیید می‌کند.

اعضای هیئت داوران	نام و نام خانوادگی	رتبه علمی	امضاء
۱- استاد راهنما			
۲- استاد مشاور			
۳- استاد مشاور			
۴- استاد ممتحن			
۵- استاد ممتحن			
۶- نماینده تحصیلات تکمیلی			

اظهار نامه دانشجو

موضوع پایان‌نامه:

طراحی و شبیه سازی رگولاتور ولتاژ خطی (LDO) با افت ولتاژ کم و جریان حالت سکون پایین

استاد راهنما: دکتر حسین شمسی

نام دانشجو: مهدی کریمی احمد آبادی

شماره دانشجویی: ۹۰۰۷۱۷۴

اینجانب مهدی کریمی احمد آبادی دانشجوی دوره کارشناسی ارشد مهندسی برق گرایش الکترونیک دانشکده برق دانشگاه صنعتی خواجه نصیر الدین طوسی گواهی می‌نمایم که تحقیقات ارایه شده در این پایان‌نامه توسط شخص اینجانب انجام شده و صحت و اصالت مطالب نگارش شده مورد تایید می‌باشد و در موارد استفاده از کار دیگر محققان، به مرجع مورد استفاده اشاره شده است. به علاوه گواهی می‌نمایم که مطالب مندرج در پایان‌نامه تاکنون برای دریافت هیچ نوع مدرک یا امتیازی توسط اینجانب یا فرد دیگری در هیچ جا ارایه نشده است و در تدوین متن پایان‌نامه، چارچوب (فرمت) مصوب دانشگاه را به طور کامل رعایت کرده‌ام.

امضا دانشجو:

تاریخ:

حق طبع و نشر و مالکیت نتایج

۱. حق چاپ و تکثیر این پایان‌نامه متعلق به نویسنده آن می‌باشد. هر گونه کپی برداری به صورت کل پایان‌نامه یا بخشی از آن، تنها با موافقت نویسنده یا کتابخانه دانشکده برق دانشگاه خواجه نصیر الدین طوسی می‌باشد.

۲. کلیه حقوق معنوی این اثر متعلق به دانشگاه خواجه نصیر الدین طوسی می‌باشد و بدون اجازه کتبی دانشگاه به شخص ثالث قابل واگذاری نیست.

۳. همچنین استفاده از اطلاعات و نتایج موجود در پایان‌نامه بدون ذکر مرجع مجاز نمی‌باشد.

تـقـدیـم

تقدیم به پشتوانه‌های زندگی:

مادر و پدر عزیزم

تقدیم به بهانه‌های زندگی:

خواهر و برادر عزیزم

تشکر و قدردانی

با تشکر از استاد ارجمندم، **جناب آقای دکتر شمسی** که مشوق من در تمام مراحل انجام این پایان‌نامه بودند و با راهنمایی‌های خود، راه را برای به نتیجه رسیدن این پایان‌نامه، هموار کردند و با تشکر از دوستان خوبم در آزمایشگاه تحقیقاتی مدارهای میکروالکترونیک.

چکیده

هدف از این پایان‌نامه، طراحی و شبیه سازی یک رگولاتور ولتاژ خطی LDO، با افت ولتاژ کم و جریان حالت سکون پایین است. در ساختار پیشنهادی از یک ترانزیستور NMOS به همراه PMOS به عنوان ترانزیستور عبور دهنده استفاده شده است. در این شرایط به ازای ولتاژهای ورودی بالا، نیازی به استفاده از مدارهای جبران‌ساز و در نتیجه مصرف جریان بیشتر برای ایجاد پایداری نخواهیم داشت. محدوده ولتاژ ورودی این رگولاتور بین ۱٫۲ تا ۳٫۳ ولت، ولتاژ خروجی ۱ ولت و جریان خروجی آن بین صفر تا ۵۰ میلی‌آمپر است. نتایج به دست آمده از شبیه سازی ساختار پیشنهادی در تکنولوژی سی‌ماس ۰٫۱۸ میکرومتر نشان می‌دهد که جریان حالت سکون به ازای تقریبا نیمی از محدوده ولتاژ ورودی، کمتر از ۱۴ میکروآمپر است. همچنین حداقل میزان افت ولتاژ این رگولاتور می‌تواند به ۱۷۰ میلی‌ولت برسد. علاوه بر این، بررسی پایداری فرکانسی سیستم نشان می‌دهد که در بدترین شرایط میزان حد فاز از ۵۰ درجه کمتر نمی‌شود. ضریب حذف اثرات ناشی از تغییرات منبع تغذیه نیز در شرایط TT، بین ۴۳- تا ۱۸- دسی‌بل می‌باشد. حداقل و حداکثر زمان پاسخ گذرای رگولاتور در شرایط TT و زمانی که ولتاژ ورودی یا جریان بار به صورت ناگهانی تغییر می‌کنند، به ترتیب ۶ و ۱۲۰ میکروثانیه به دست آمده است.

کلید واژه: افت ولتاژ، پایداری، ترانزیستور عبور دهنده، جریان حالت سکون، رگولاتور LDO.

فـهرست مطـالـب

عنوان **صفحه**

فهرست جدول‌ها ..... د

فهرست شکل‌ها ..... ه

فهرست علایم و نشانه‌ها ..... ی

فصل ۱- مقدمه ۱

۱-۱- پیشگفتار ۱

۱-۲- اهداف و انگیزه‌ها ۲

۱-۳- ساختار پایان‌نامه ۳

فصل ۲- رگولاتورهای ولتاژ ۴

۲-۱- مقدمه ۴

۲-۲- انواع رگولاتورهای ولتاژ ۴

۲-۲-۱- رگولاتورهای سوئیچینگ ۴

۲-۲-۲- رگولاتورهای ولتاژ خطی ۵

۲-۳- مقایسه رگولاتورهای خطی و سوئیچینگ ۵

۲-۴- ساختار و عناصر اصلی تشکیل دهنده رگولاتورهای ولتاژ خطی ۶

۲-۴-۱- ترانزیستور عبور دهنده ۷

۲-۴-۲- تقویت کننده خطا ۷

۲-۴-۳- شبکه فیدبک مقاومتی ۸

۲-۵- انواع رگولاتورهای ولتاژ خطی ۸

۲-۵-۱- رگولاتورهای ولتاژ خطی مرسوم ۸

۲-۵-۲- رگولاتورهای با افت ولتاژ پایین ۱۰

۲-۶- مشخصات رگولاتورهای با افت ولتاژ پایین ۱۱

فصل ۳- روش‌های طراحی رگولاتورهای با افت ولتاژ پایین و نگاهی به کارهای پیشین ۱۴

۳-۱- مقدمه ۱۴

۳-۲- تحلیل پایداری ساختار پایه رگولاتورهای LDO و پایدار سازی با روش حذف صفر و قطب ۱۴

۳-۳- پایدار سازی رگولاتور با استفاده از روش کنترل ضریب میرایی ۱۸

۳-۴- پایدار سازی رگولاتور با استفاده از کاهش ضریب کیفیت ۲۰

۳-۵- استفاده از مدار آشکارساز جهش ولتاژ جهت بهبود پاسخ زمانی رگولاتور LDO ۲۲
۳-۶- بهبود پاسخ زمانی رگولاتورهای LDO به کمک افزایش دینامیکی جریان بایاس ۲۴
۳-۷- کاهش جریان مصرفی مدارهای داخلی رگولاتور LDO با استفاده از ترانزیستورهای قدرت تطبیق شونده ۲۷

فصل ۴- ارائه روشی جدید برای کاهش جریان حالت سکون در رگولاتورهای با افت ولتاژ پایین ۳۰

۴-۱- مقدمه ۳۰
۴-۲- ارائه ساختاری جدید برای پایدار سازی رگولاتورهای با افت ولتاژ پایین ۳۰
۴-۳- پیاده سازی طرح پیشنهادی در سطح ترانزیستور ۳۳
۴-۳-۱- بلوک تقویت کننده خطا ۳۳
۴-۳-۲- طبقه تقویت کننده سورس مشترک ۳۶
۴-۳-۳- پیاده سازی ساختار مدار جبران‌ساز به همراه مدار کنترل مقدار ولتاژ ورودی ۳۹
۴-۳-۴- نحوه عملکرد مدار مشتق‌گیر ۴۳
۴-۳-۵- استفاده از مداری خاص برای بهبود ضریب PSRR ۴۵
۴-۳-۶- ساختار کامل طرح پیشنهادی در سطح ترانزیستور ۴۸
۴-۴- نتایج به دست آمده از شبیه سازی ساختار رگولاتور پیشنهادی ۴۹
۴-۴-۱- شبیه سازی سیگنال بزرگ رگولاتور پیشنهادی ۴۹
۴-۴-۲- تحلیل و بررسی پایداری رگولاتور پیشنهادی و نتایج شبیه سازی ۵۶
۴-۴-۲-۱- بررسی پایداری سیستم به ازای مقادیر بالای ولتاژ ورودی ۵۸
۴-۴-۲-۲- بررسی پایداری سیستم به ازای مقادیر پایین ولتاژ ورودی ۶۱
۴-۴-۲-۳- بررسی پایداری رگولاتور در شرایط خاص ۶۴
۴-۴-۳- بررسی ضریب حذف اثرات منبع تغذیه ۶۶
۴-۴-۴- بررسی پاسخ زمانی رگولاتور پیشنهادی ۶۹
۴-۴-۵- بررسی عملکرد رگولاتور در صورت قرار گرفتن بار در خروجی ۸۱
۴-۴-۶- شبیه سازی مونت کارلو ۸۴
۴-۴-۷- بررسی ضریب دمایی و محاسبه مشخصات رگولاتور پیشنهادی ۸۸

فصل ۵- نتیجه گیری و ارائه پیشنهادات ۹۰

۵-۱- نتیجه گیری ۹۰
۵-۲- مقایسه طرح پیشنهادی با سایر طرح‌ها ۹۰
۵-۳- پیشنهادات ۹۲

ضمیمه أ -بررسی وضعیت صفر و قطب‌های سیستم از روی تابع تبدیل..... ۹۳

فهرست مراجع..... ۹۷

واژه نامه فارسی به انگلیسی..... ۹۹

واژه نامه انگلیسی به فارسی..... ۱۰۱

فهرست جدول‌ها

عنوان **صفحه**

جدول ۲-۱: مقایسه ساختارهای مختلف ترانزیستور عبور دهنده [۱] ۱۱
جدول ۴-۱: مشخصات مدار تقویت کننده خطا ۳۵
جدول ۴-۲: ابعاد ترانزیستورهای طبقه تقویت کننده سورس مشترک ۳۷
جدول ۴-۳: ابعاد ترانزیستورهای مدار کنترل مقدار ولتاژ ورودی ۴۲
جدول ۴-۴: مشخصات و ابعاد ترانزیستورهای مدار مشتق‌گیر ۴۴
جدول ۴-۵: مشخصات مدار بهبود دهنده ضریب PSRR ۴۷
جدول ۴-۶: مشخصات و ابعاد اجزاء اضافه شده به رگولاتور پیشنهادی ۴۹
جدول ۴-۷: میزان افت ولتاژ در گوشه‌های فرآیند ساخت ۵۶
جدول ۴-۸: فرکانس بهره واحد و حد فاز به ازای مقادیر بالای ولتاژ ورودی و مقادیر پایین جریان خروجی در گوشه‌های فرآیند ساخت ۶۰
جدول ۴-۹: فرکانس بهره واحد و حد فاز به ازای مقادیر بالای ولتاژ ورودی و جریان خروجی در گوشه‌های فرآیند ساخت ۶۱
جدول ۴-۱۰: فرکانس بهره واحد و حد فاز به ازای مقادیر پایین ولتاژ ورودی و جریان خروجی در گوشه‌های فرآیند ساخت ۶۳
جدول ۴-۱۱: فرکانس بهره واحد و حد فاز به ازای مقادیر پایین ولتاژ ورودی و مقادیر بالای جریان خروجی در گوشه‌های فرآیند ساخت ۶۴
جدول ۴-۱۲: میزان فرکانس بهره واحد و حد فاز به ازای ولتاژ ورودی ۲٫۲۵ ولت در شرایط مختلف..... ۶۵
جدول ۴-۱۳: میزان فرکانس بهره واحد و حد فاز به ازای ولتاژ ورودی ۲٫۶ ولت در شرایط مختلف..... ۶۶
جدول ۴-۱۴: ضریب PSRR در شرایط مختلف و در گوشه‌های فرآیند ساخت ۶۸
جدول ۴-۱۵: عرض هر یک از ترانزیستورها در گیت‌های معکوس کننده ۸۲
جدول ۵-۱: مقایسه پارامترهای ساختار رگولاتور پیشنهادی با سایر طرح‌ها ۹۱
جدول أ-۱: پارامترهای به دست آمده از شبیه سازی در حداکثر مقدار ولتاژ ورودی و جریان خروجی... ۹۴
جدول أ-۲: پارامترهای به دست آمده از شبیه سازی در حداقل ولتاژ ورودی و حداکثر جریان خروجی ۹۵

فهرست شکل‌ها

عنوان **صفحه**

شکل ۲-۱: ساختار کلی رگولاتورهای ولتاژ خطی [۱۱] ۶
شکل ۲-۲: عناصر اصلی تشکیل دهنده رگولاتورهای خطی ۷
شکل ۲-۳: ساختار پایه رگولاتورهای خطی مرسوم [۱] ۹
شکل ۲-۴: ساختارهای ترانزیستور عبور دهنده برای رگولاتورهای خطی مرسوم [۱] ۹
شکل ۲-۵: ساختار پایه رگولاتورهای LDO [۱] ۱۰
شکل ۲-۶: ساختارهای ترانزیستور عبور دهنده در رگولاتورهای LDO [۱] ۱۰
شکل ۳-۱: ساختار پایه رگولاتور LDO به همراه عناصر پارازیتی [۱۹] ۱۵
شکل ۳-۲: اضافه کردن خازن بزرگ در خروجی برای پایدار سازی رگولاتور [۱۵] ۱۶
شکل ۳-۳: ساختار رگولاتور LDO در روش کنترل ضریب میرایی [۱۶] ۱۸
شکل ۳-۴: بهره حلقه در روش جدا سازی قطب‌ها در جریان‌های خروجی مختلف [۲۰] ۲۱
شکل ۳-۵: ساختار رگولاتور LDO در روش کاهش ضریب کیفیت [۲۰] ۲۱
شکل ۳-۶: عملکرد مدار در صورت کاهش ولتاژ خروجی [۲۱] ۲۳
شکل ۳-۷: عملکرد مدار در صورت افزایش ولتاژ خروجی [۲۱] ۲۴
شکل ۳-۸: ساختار پایه رگولاتور در روش افزایش دینامیکی جریان بایاس [۲۲] ۲۴
شکل ۳-۹: آینه جریان معمولی (شکل سمت چپ) و مدار آشکارساز تغییر ولتاژ (شکل سمت راست) [۲۲] ۲۵
شکل ۳-۱۰: مدار افزایش جریان [۲۲] ۲۶
شکل ۳-۱۱: ساختار مداری رگولاتور LDO با روش افزایش دینامیکی جریان بایاس [۲۲] ۲۶
شکل ۳-۱۲: نتیجه شبیه سازی برای رگولاتور مرسوم (خط چین) و ساختار جدید (خط کامل) [۲۲]. ۲۷
شکل ۳-۱۳: ساختار کلی طراحی رگولاتور با ترانزیستورهای قدرت تطبیق شونده [۲۳] ۲۸
شکل ۳-۱۴: ساختار رگولاتور LDO با ترانزیستورهای قدرت تطبیق شونده [۲۳] ۲۸
شکل ۴-۱: شرایط کاری مختلف رگولاتورهای ولتاژ ۳۰
شکل ۴-۲: ساختار اولیه طرح پیشنهادی ۳۱
شکل ۴-۳: ساختار رگولاتور پیشنهادی همراه با بلوک‌های مورد نیاز ۳۲
شکل ۴-۴: پیاده سازی تقویت کننده خطا (بلوک A1) در سطح ترانزیستور ۳۴
شکل ۴-۵: جریان مصرفی تقویت کننده خطا به ازای تغییر ولتاژ تغذیه ورودی ۳۵

شکل ۴-۶: بهره ولتاژ تقویت کننده خطا ۳۵
شکل ۴-۷: میزان ولتاژ خروجی تقویت کننده خطا ۳۶
شکل ۴-۸: ساختار طبقه تقویت کننده سورس مشترک (بلوک A2) ۳۷
شکل ۴-۹: مقدار جریان مصرفی طبقه تقویت کننده سورس مشترک به ازای تغییرات ولتاژ ورودی ۳۷
شکل ۴-۱۰: بهره ولتاژ طبقه تقویت کننده سورس مشترک ۳۸
شکل ۴-۱۱: مقدار جریان مصرفی بلوک‌های A1 و A2 به ازای تغییرات ولتاژ ورودی ۳۸
شکل ۴-۱۲: بهره ولتاژ بلوک‌های A1 و A2 ..... ۳۹
شکل ۴-۱۳: ساختار پیشنهادی برای مدار کنترل مقدار ولتاژ ورودی و مدار جبران‌ساز ۴۰
شکل ۴-۱۴: پیاده سازی مدار کنترل مقدار ولتاژ ورودی در سطح ترانزیستور ۴۱
شکل ۴-۱۵: ولتاژ گره‌های مختلف مدار کنترل مقدار ولتاژ ورودی ۴۲
شکل ۴-۱۶: ولتاژ خروجی گیت معکوس کننده اول ۴۳
شکل ۴-۱۷: ولتاژ خروجی گیت معکوس کننده دوم ۴۳
شکل ۴-۱۸: ساختار مدار مشتق‌گیر استفاده شده در رگولاتور پیشنهادی ۴۴
شکل ۴-۱۹: میزان جریان مصرفی مدار مشتق‌گیر ۴۵
شکل ۴-۲۰: مدل سیگنال کوچک ترانزیستور عبور دهنده PMOS ۴۶
شکل ۴-۲۱: ساختار پیشنهادی برای مدار متصل به بدنه ترانزیستور عبور دهنده PMOS ۴۷
شکل ۴-۲۲: اختلاف ولتاژ بین بدنه و سورس ترانزیستور عبور دهنده PMOS ۴۷
شکل ۴-۲۳: جریان پایه بدنه ترانزیستور عبور دهنده PMOS ۴۸
شکل ۴-۲۴: ساختار کامل طرح پیشنهادی در سطح ترانزیستور ۴۸
شکل ۴-۲۵: ولتاژ خروجی بر حسب تغییرات ولتاژ ورودی به ازای حداکثر جریان بار ۵۰
شکل ۴-۲۶: ولتاژ خروجی بر حسب تغییرات ولتاژ ورودی به ازای جریان بار صفر ۵۰
شکل ۴-۲۷: ولتاژ خروجی بر حسب جریان بار به ازای حداقل و حداکثر مقدار ولتاژ ورودی ۵۱
شکل ۴-۲۸: ولتاژ خروجی در حالت SS بر حسب ولتاژ ورودی در جریان بار ۵۰ میلی‌آمپر ۵۱
شکل ۴-۲۹: ولتاژ خروجی در حالت SS بر حسب ولتاژ ورودی در جریان بار صفر ۵۲
شکل ۴-۳۰: ولتاژ خروجی در شرایط SS بر حسب جریان بار به ازای حداقل و حداکثر مقدار ولتاژ ورودی ۵۲
شکل ۴-۳۱: ولتاژ خروجی در حالت FF بر حسب ولتاژ ورودی در جریان بار ۵۰ میلی‌آمپر ۵۲
شکل ۴-۳۲: ولتاژ خروجی در حالت FF بر حسب ولتاژ ورودی در جریان بار صفر ۵۳
شکل ۴-۳۳: ولتاژ خروجی در شرایط FF بر حسب جریان بار به ازای حداقل و حداکثر مقدار ولتاژ ورودی ۵۳

شکل ۴-۳۴: جریان حالت سکون بر حسب تغییرات ولتاژ ورودی ۵۴
شکل ۴-۳۵: جریان اضافی کشیده شده از منبع ولتاژ ورودی بر حسب جریان بار ۵۴
شکل ۴-۳۶: جریان حالت سکون بر حسب تغییرات ولتاژ ورودی در شرایط SS ۵۵
شکل ۴-۳۷: جریان اضافی کشیده شده از منبع ولتاژ ورودی بر حسب جریان بار در شرایط SS ۵۵
شکل ۴-۳۸: جریان حالت سکون بر حسب تغییرات ولتاژ ورودی در شرایط FF ۵۵
شکل ۴-۳۹: جریان اضافی کشیده شده از منبع ولتاژ ورودی بر حسب جریان بار در شرایط FF ۵۶
شکل ۴-۴۰: ساختار مناسب برای تحلیل پایداری رگولاتور پیشنهادی ۵۷
شکل ۴-۴۱: جریان عبوری از دو ترانزیستور عبور دهنده بر حسب ولتاژ ورودی ۵۸
شکل ۴-۴۲: میزان بهره و فاز حلقه سیستم به ازای مقادیر بالای ولتاژ ورودی و مقادیر پایین جریان خروجی ۵۹
شکل ۴-۴۳: میزان بهره و فاز حلقه سیستم به ازای مقادیر بالای ولتاژ ورودی و جریان خروجی ۶۰
شکل ۴-۴۴: میزان بهره و فاز حلقه سیستم به ازای مقادیر پایین ولتاژ ورودی و جریان خروجی ۶۲
شکل ۴-۴۵: میزان بهره و فاز حلقه سیستم به ازای مقادیر پایین ولتاژ ورودی و مقادیر بالای جریان خروجی ۶۳
شکل ۴-۴۶: میزان بهره و فاز حلقه سیستم به ازای ولتاژ ورودی ۲٫۲۵ ولت و مقادیر پایین جریان خروجی ۶۴
شکل ۴-۴۷: میزان بهره و فاز حلقه سیستم به ازای ولتاژ ورودی ۲٫۶ ولت و مقادیر پایین جریان خروجی ۶۵
شکل ۴-۴۸: ضریب PSRR در حداقل ولتاژ ورودی و جریان‌های بار مختلف ۶۷
شکل ۴-۴۹: ضریب PSRR در حداکثر ولتاژ ورودی و جریان‌های بار مختلف ۶۷
شکل ۴-۵۰: بررسی ضریب PSRR در حوزه زمان ۶۸
شکل ۴-۵۱: پاسخ زمانی رگولاتور پیشنهادی به ازای حداقل مقدار خازن C_L ۶۹
شکل ۴-۵۲: پاسخ زمانی رگولاتور پیشنهادی به ازای حداکثر مقدار خازن C_L ۷۰
شکل ۴-۵۳: پاسخ زمانی رگولاتور پیشنهادی در شرایط SS و به ازای حداقل مقدار خازن C_L ۷۲
شکل ۴-۵۴: پاسخ زمانی رگولاتور پیشنهادی در شرایط SS و به ازای حداکثر مقدار خازن C_L ۷۲
شکل ۴-۵۵: پاسخ زمانی رگولاتور پیشنهادی در شرایط FF در بازه زمانی اول و به ازای حداقل مقدار خازن C_L ۷۳
شکل ۴-۵۶: پاسخ زمانی رگولاتور پیشنهادی در شرایط FF در بازه زمانی دوم و به ازای حداقل مقدار خازن C_L ۷۳

شکل ۴-۵۷: پاسخ زمانی رگولاتور پیشنهادی در شرایط FF در بازه زمانی دوم به ازای افزایش دو برابری جریان حالت سکون ۷۴
شکل ۴-۵۸: پاسخ زمانی رگولاتور پیشنهادی در شرایط FF در بازه زمانی اول و به ازای حداکثر مقدار خازن C_L ۷۵
شکل ۴-۵۹: پاسخ زمانی رگولاتور پیشنهادی در شرایط FF در بازه زمانی دوم و به ازای حداکثر مقدار خازن C_L ۷۵
شکل ۴-۶۰: تغییرات ولتاژ خروجی ناشی از تغییرات پله‌ای در ولتاژ ورودی به ازای حداکثر جریان بار..۷۶
شکل ۴-۶۱: تغییرات ولتاژ خروجی ناشی از تغییرات پله‌ای در ولتاژ ورودی به ازای حداقل جریان بار...۷۶
شکل ۴-۶۲: تغییرات ولتاژ خروجی ناشی از تغییرات پله‌ای در جریان خروجی به ازای حداکثر ولتاژ ورودی ۷۷
شکل ۴-۶۳: تغییرات ولتاژ خروجی ناشی از تغییرات پله‌ای در جریان خروجی به ازای حداقل ولتاژ ورودی ۷۷
شکل ۴-۶۴: تغییرات ولتاژ خروجی ناشی از تغییرات آهسته در ولتاژ ورودی به ازای حداکثر جریان خروجی ۷۸
شکل ۴-۶۵: تغییرات ولتاژ خروجی ناشی از تغییرات آهسته در ولتاژ ورودی به ازای حداقل جریان خروجی ۷۸
شکل ۴-۶۶: تنظیم ولتاژ خروجی پس از روشن شدن رگولاتور در حداکثر ولتاژ ورودی و جریان بار ۷۹
شکل ۴-۶۷: تنظیم ولتاژ خروجی پس از روشن شدن رگولاتور در حداکثر ولتاژ ورودی و حداقل جریان بار ۸۰
شکل ۴-۶۸: تنظیم ولتاژ خروجی پس از روشن شدن رگولاتور در حداقل ولتاژ ورودی و حداکثر جریان بار ۸۰
شکل ۴-۶۹: تنظیم ولتاژ خروجی پس از روشن شدن رگولاتور در حداقل ولتاژ ورودی و جریان بار ۸۱
شکل ۴-۷۰: گیت‌های معکوس کننده به عنوان بار در خروجی رگولاتور ۸۱
شکل ۴-۷۱: ولتاژ و جریان خروجی رگولاتور در حداکثر ولتاژ ورودی در شرایط قرار گرفتن بار در خروجی ۸۲
شکل ۴-۷۲: پالس ورودی و ولتاژ خروجی گیت‌های معکوس کننده در حداکثر مقدار ولتاژ ورودی ۸۳
شکل ۴-۷۳: ولتاژ و جریان خروجی رگولاتور در حداقل ولتاژ ورودی در شرایط قرار گرفتن بار در خروجی ۸۳
شکل ۴-۷۴: پالس ورودی و ولتاژ خروجی گیت‌های معکوس کننده در حداقل مقدار ولتاژ ورودی ۸۴
شکل ۴-۷۵: نمودار مقدار ولتاژ خروجی در شبیه سازی مونت کارلو ۸۵

شکل ۴-۷۶: نمودار مقدار حداقل افت ولتاژ در شبیه سازی مونت کارلو ۸۶
شکل ۴-۷۷: نمودار حداقل و حداکثر مقدار جریان حالت سکون در شبیه سازی مونت کارلو ۸۶
شکل ۴-۷۸: نمودار مقدار فرکانس بهره واحد در شبیه سازی مونت کارلو ۸۷
شکل ۴-۷۹: نمودار مقدار حد فاز در شبیه سازی مونت کارلو ۸۷
شکل ۴-۸۰: نمودار مقدار ضریب PSRR در شبیه سازی مونت کارلو ۸۸
شکل ۴-۸۱: تغییرات ولتاژ خروجی بر حسب دما به ازای حداقل ولتاژ تغذیه ورودی ۸۸
شکل ۴-۸۲: تغییرات ولتاژ خروجی بر حسب دما به ازای حداکثر ولتاژ تغذیه ورودی ۸۹
شکل أ-۱: منحنی‌های اندازه و فاز سیستم در حداکثر مقدار ولتاژ ورودی و جریان خروجی ۹۴
شکل أ-۲: منحنی اندازه و فاز به دست آمده از شبیه سازی در حداکثر مقدار ولتاژ ورودی و جریان خروجی ۹۵
شکل أ-۳: منحنی‌های اندازه و فاز در حداقل مقدار ولتاژ ورودی و حداکثر مقدار جریان خروجی ۹۶
شکل أ-۴: منحنی به دست آمده از شبیه سازی در حداقل مقدار ولتاژ ورودی و حداکثر مقدار جریان خروجی ۹۶

فهرست علایم و نشانه‌ها

عنوان	علامت اختصاری
افت ولتاژ از ورودی به خروجی	$V_{dropout}$
جریان حالت سکون	$I_{quiescent}$
ضریب میرایی	ζ
فرکانس قطب مختلط	p_c
ضریب کیفیت	Q

فصل ۱– مقدمه

۱–۱– پیشگفتار

امروزه مدیریت توان[۱] در صنعت الکترونیک بسیار حائز اهمیت است. برای قرار دادن سیستم‌های الکترونیکی داخل یک تراشه[۲] تلاش‌های فراوانی صورت گرفته است. این کار مزایایی به همراه دارد که عبارتند از: کاهش توان مصرفی، کاهش مساحت و در نتیجه کاهش قیمت تولید و افزایش قابلیت اطمینان سیستم [۱],[۲]. استفاده از تجهیزات الکترونیکی قابل حمل مانند تلفن همراه، دوربین، لپ تاپ و ... روز به روز در حال افزایش است. در این گونه تجهیزات از یک باتری به عنوان منبع تغذیه استفاده می‌شود. بنابراین استفاده از روش‌های مدیریت توان به منظور افزایش طول عمر باتری‌های استفاده شده در این دستگاه‌ها و در نتیجه عملکرد آن‌ها امری ضروری به نظر می‌رسد [۳],[۴]. البته لازم به ذکر است که منظور از عمر باتری، مدت زمانی است که طول می‌کشد تا باتری دشارژ شود.

پیچیدگی طراحی سیستم‌ها روی تراشه از آن‌جا ناشی می‌شود که باید بلوک‌های آنالوگ و دیجیتال روی یک تراشه[۳] ساخته شوند. ایجاد ایزولاسیون مناسب بین بلوک‌های حساس آنالوگ نسبت به نویز ناشی از تغییرات سیگنال‌های دیجیتال و بلوک‌های فرکانس بالا، یکی از مراحل سخت طراحی است. چون نویز تولید شده توسط این بلوک‌ها می‌تواند دامنه‌ای در حد چند ده تا چند صد میلی‌ولت و فرکانسی در حدود چند ده کیلوهرتز تا صدها مگاهرتز داشته باشد، لذا می‌تواند روی عملکرد بلوک‌های آنالوگ اثرات نامطلوبی بگذارد [۱].

واحد مدیریت توان شامل چندین زیرسیستم[۴] می‌شود که عبارتند از: رگولاتورهای ولتاژ خطی[۵]، رگولاتورهای سوئیچینگ[۶] و منطق کنترل. با توجه به نیاز هر بلوک و حالت‌های مختلف عملکرد سیستم، انرژی باید به صورت متعادل و صحیح توزیع شود. بنابراین واحد مدیریت توان نقش مهمی در عملکرد سیستم ایفا می‌کند [۵].

---

[۱] Power Managment

[۲] System On Chip

[۳] Die

[۴] Subsystem

[۵] Linear Voltage Regulator

[۶] Switching Regulator

در بیشتر سیستم‌ها از چندین بلوک رگولاتور جهت تامین ولتاژ مرجع[۱] برای زیرسیستم‌های مختلف و نیز فراهم کردن ایزولاسیون مناسب بین زیرسیستم‌ها استفاده می‌شود. در غیاب این منابع تغذیه مسایل پیچیده‌ای در طراحی مدارها به ویژه در فرکانس‌های بالا به وجود خواهد آمد. بنابراین موضوع مدیریت توان از جمله مواردی است که باید در صنعت الکترونیک امروزی مورد توجه قرار گیرد.

۱-۲- اهداف و انگیزه‌ها

همان‌طور که اشاره شد، رگولاتورهای ولتاژ خطی یکی از زیرسیستم‌های واحد مدیریت توان هستند. رگولاتورهای با افت ولتاژ پایین (LDO)[۲] را می‌توان یکی از اعضای خانواده رگولاتورهای خطی در نظر گرفت. این نوع رگولاتورها در بسیاری از سیستم‌های الکترونیکی قابل حمل استفاده می‌شوند. چون این سیستم‌ها به ولتاژی که مستقل از حالت‌های مختلف شارژ باتری باشد، نیاز دارند. رگولاتورهای LDO می‌توانند ولتاژ ثابت و پایداری را که مستقل از امپدانس بار، تغییرات ولتاژ ورودی و دما باشد را فراهم کنند. به علاوه این رگولاتورها توانایی کاهش نوسانات منبع تغذیه اصلی سیستم را نیز دارند [۶].

نیاز به سطوح مختلف ولتاژ در یک سیستم الکترونیکی سبب شده است که طراحی رگولاتورهای ولتاژ یکی از مهم‌ترین مراحل طراحی سیستم‌ها باشد. تقاضای بازار فروش تجهیزات الکترونیکی، تکنولوژی را به ارائه مدارهای با سطح ولتاژ و مصرف توان پایین وادار می‌کند.

نویز منبع تغذیه به طور مستقیم می‌تواند باعث تضعیف عملکرد سیستم شود. بنابراین استفاده از یک رگولاتور LDO با ضریب حذف اثرات ناشی از تغییرات منبع تغذیه (PSRR)[۳] خوب در یک محدوده فرکانسی وسیع لازم است [۷],[۸]. همچنین رگولاتور LDO باید به تغییرات ولتاژ ورودی و جریان بار واکنش نشان داده و پس از گذشت مدت زمان اندکی به حالت پایدار خود برسد. بنابراین یکی از پارامترهای مهم در طراحی رگولاتور، داشتن پاسخ زمانی مناسب است.

هدف اصلی این پایان‌نامه، طراحی یک رگولاتور LDO با افت ولتاژ پایین و بازده جریان بالا است. هر چه میزان بازده جریان زیادتر باشد، عمر باتری‌های استفاده شده در تجهیزات الکترونیکی نیز افزایش خواهد یافت. بازده جریان یک LDO به طور مستقیم با جریان حالت سکون[۴] ارتباط دارد. جریان حالت سکون به مقدار جریانی گفته می‌شود که در مدارهای داخلی رگولاتور مصرف شده و به بار تحویل داده

---

[۱] Reference Voltage

[۲] Low-Dropout Voltage Regulator

[۳] Power Supply Rejection Ratio

[۴] Quiescent Current