بسم الله الرحمن الرحيم

پایان نامه‌ی دوره کارشناسی ارشد مهندسی برق–الکترونیک

کاهش مصرف توان در پردازنده‌های دیجیتالی با تاکید بر جریان و توان نشتی

زهره کیائی

استاد راهنما:

دکتر محمدباقر غزنوی قوشچی

تابستان ۱۳۹۰

تأییدیه هیات داوران

(برای پایان نامه)

اعضای هیئت داوران، نسخه نهائی پایان نامه خانم : زهره کیائی

را با عنوان: کاهش مصرف توان در پردازنده‌های دیجیتالی با تاکید بر جریان و توان نشتی

از نظر فرم و محتوی بررسی نموده و پذیرش آن را برای تکمیل درجه کارشناسی ارشد تأیید می‌کند.

اعضای هیئت داوران	نام و نام خانوادگی	رتبه علمی	امضاء
۱-استاد راهنما			
۲- استاد مشاور			
۳- استاد مشاور			
۴- استاد ممتحن			
۵- استاد ممتحن			
۶- نماینده گروه			

به پاس عاطفه سرشار و گرمای امیدبخش وجودشان که در این سردترین روزگاران بهترین پشتیبان است این مجموعه را به پدر و مادر عزیزم تقدیم می کنم

تشکر و قدردانی

بر خودلازم می‌دانم که از زحمات بی‌دریغ، تلاش‌های بی‌وقفه و راهنمایی‌های ارزشمند استاد گرامی جناب آقای دکترمحمد باقر غزنوی قوشچی در راستای انجام این پروژه تشکر و قدردانی نمایم.

چکیده

در سال‌های اخیر به دلیل افزایش سیستم‌های قابل حمل که منابع تغذیه‌ی قابل دسترسی محدودی دارند، مصرف توان به یکی از مفاهیم اساسی در طراحی سیستم‌ها تبدیل شده است. در تکنولوژی‌های CMOS این مصرف توان به دو بخش توان استاتیکی و توان دینامیکی تقسیم می‌شود. توان استاتیکی معمولا در مدارهای با فشردگی پائین قابل صرفنظر است، اما با مقیاس بندی تکنولوژی و افزایش چگالی ترانزیستورها در تراشه ها، بخش عمده‌ای از توان کل را به خود اختصاص داده است. در این تحقیق به بررسی منابع مصرف توان استاتیکی، جریان‌های نشتی، عوامل موثر روی آنها و همچنین راه‌های کاهش توان استاتیکی پرداخته شده است. با ارائه‌ی مزایا و معایب هر یک از تکنیک‌ها، محدودیت‌هایی که هر یک از آنها به مدارات اعمال می‌کنند بررسی شده است.

به منظور کنترل و کاهش مصرف توان در ناحیه‌ی زیرآستانه ابتدا ساختارهای مناسب برای پیاده‌سازی سلول پایه در ناحیه‌ی زیرآستانه بررسی شده است و در نتیجه مدارات تفاضلی برای این منظور انتخاب شدند زیرا یکی از مسائل مهم در ناحیه‌ی زیرآستانه، مساله‌ی نویز است و مدارات تفاضلی به دلیل ساختار تفاضلی حذف نویز بهتری در مقایسه با سایر ساختارها دارند. از این رو انتخاب مناسبی برای پیاده‌سازی مدارات در ناحیه‌ی زیرآستانه هستند.

علم کامپیوتر همواره سعی در بهبود کارآیی پردازنده ها داشته است. اما با توجه به اهمیت میزان مصرف توان در پردازنده های امروزی که یکی از مهم‌ترین بخش‌ها در بسیاری از سیستم‌ها می‌باشند و مصرف توان قابل توجهی را به خود اختصاص می‌دهند، به کارگیری تکنیک های کنترل و کاهش مصرف توان اهمیت ویژه ای پیدا کرده است.

با توجه به مزایا و معایب تکنیک‌های مختلف کاهش نشتی که در این تحقیق مطالعه شده‌اند، روش MTCMOS برای پیاده‌سازی واحدهای پردازنده‌ی MIPS که یکی از پردازنده های با کارآیی بالا می باشد انتخاب شد، سپس از NDR(Negative Differential Resistance) در تکنیک NDRCMOS[1] برای کنترل و کاهش مصرف توان پردازنده‌ها استفاده شد. علاوه بر این با پیاده سازی بخش های محاسباتی پردازنده شامل جمع کننده و ALU ی ۳۲بیتی، رجیستر فایل ۳۲بیتی و در نهایت MIPS شامل سه مرحله خط لوله با استفاده از هر دو روش MTCMOS و NDRCMOS، کارآیی این دو روش با یکدیگر مقایسه شد.

شبیه‌سازی‌های انجام شده توسط HSPICE نشان می‌دهند با استفاده از قرار دادن مدارات در حالت آماده به کار (در شرایط بی‌کاری) توسط تکنیک NDRCMOS، وبا تغییر این بازه از ۵٪ تا ۵۰٪ مصرف توان به اندازه‌ی ۵۸٪ کاهش می‌یابد.

کلید واژه : توان استاتیک، جریان نشتی، سیستم های قابل حمل، مدارات تفاضلی، NDRCMOS، پردازنده‌های دیجیتالی.

[1] Negative Differential Resistance CMOS

فهرست مطالب

عنوان **صفحه**

فهرست جدول‌ها ..... أ
فهرست شکل‌ها ..... ب
۱-۱- پیشگفتار ۱
۱-۲- هدف از انجام تحقیق ۴
۱-۳- نوآوری تحقیق ۴
۱-۴- ساختار مطلب ۴
فصل ۲- منابع مصرف توان در ترانزیستورهای CMOS ۶
۲-۱ توان دینامیکی ۶
۲-۱-۱- مصرف توان Glitching ۷
۲-۲- توان استاتیکی ۷
۲-۲-۱- جریان نشتی گیت ۹
۲-۲-۱-۱- عوامل مو ثر روی جریان نشتی گیت ۱۰
۲-۲-۲ جریان نشتی زیر آستانه ۱۰
۲-۲-۲-۱- عوامل موثر روی نشتی زیر آستانه ۱۲
۲-۲-۳- جریان نشتی پیوند $p-n$ بایاس معکوس وتونل زنی باند به باند (BTBT) ۱۵
۲-۲-۴ جریان نشتی درین القاء شده توسط گیت (GIDL) ۱۶
۲-۲-۵- جریان سوراخ شدن (Punch Through Current) ۱۶
نتیجه گیری ۱۷
فصل ۳- تکنیک های مداری کاهش نشتی ۱۹
۳-۱-۱- کنترل بردار ورودی ۲۰
۳-۱-۱-۱- اثر پشته ای ۲۰

کاهش نشتی با استفاده از پشته های طبیعی ۲۲
کاهش نشتی از طریق اعمال پشته های ترانزیستوری ۲۳
۳-۱-۲ کنترل دریچه ی توان ۲۴
۳-۱-۲-۱- تاثیر کنترل دریچه ی توان روی جریان نشتی گیت ۲۵
۳-۱-۲-۲- CMOS چند آستانه ای (MTCMOS) ۲۶
۳-۱-۳- CMOS دو آستانه ای ۳۲
۳-۱-۴- CMOS با ولتاژ آستانه ی متغیر ۳۳
۳-۱-۵- مقیاس بندی دینامیکی ولتاژ ۳۳
۳-۱-۶- بایاس بدنه ۳۶
۳-۱-۶-۱ تکنولوژی CMOS با V_{TH} متغییر (VTCMOS) ۳۶
۳-۱-۶-۲ تاثیر بایاس بدنه روی اجزاء مختلف نشتی ۳۶
۳-۱-۶-۳- بایاس معکوس بهینه ی بدنه برای حداقل نشتی آماده به کار ۳۸
نتیجه گیری ۳۸

فصل ۴- بررسی مدارات با کارآیی بالا و جریان نشتی پائین ۴۰
۴-۱- مدارات تفاضلی و کاربردهای آن ۴۰
۴-۱-۱مدارات تفاضلی با کارآیی بالا ۴۱
۴-۱-۱-۱ DSCL ۴۱
۴-۱-۱-۲ BDDSCL ۴۳
۴-۱-۱-۳ ترانزیستورهای drain-bulk متصل در مقایسه با ترانزیستورهای bulk-driven متداول ۴۶
۴-۱-۱-۴- مقایسه‌ی بار های پیشنهادی با لچ PMOS ای در DSCL ۴۸
۴-۱-۱-۵- کاهش PDP ۴۹
۴-۱-۱-۶- بهینه سازی ضریب P/N ۵۳
۴-۱-۱-۷- مقایسه ی کارآیی ۵۶
۴-۲- پیاده سازی مدارات تفاضلی به صورت دینامیکی ۵۸
۴-۳- پیاده سازی تکنیک کنترل دریچه ی توان (MTCMOS) برای مدارات تفاضلی ۶۱
نتیجه‌گیری ۶۳

فصل ۵- مدارات مبتنی بر مقاومت تفاضلی منفی ۶۴
۵-۱- مقدمه‌ای بر مدارات مقاومت تفاضلی منفی و کاربردهای آنها ۶۴
۵-۱-۱- مدار NDR در کاربرد کنترل مصرف توان و مقایسه‌ی آن با روش MTCMOS ۶۹
۵-۱-۱-۱- مقایسه‌ی کارآیی NDR با MTCMOS در کنترل مصرف توان ۶۹
۵-۱-۱- ارزیابی کارآیی ساختار NDRCMOS در کاهش و کنترل توان نشتی در مدارات پایه ۷۱
نتیجه‌گیری ۷۷

فصل ۶- پردازند ه های کم مصرف و ضرورت کاهش مصرف توان در پردازنده ها ۷۸
۶-۱- مقدمه‌ای بر پردازنده‌های RISC ۷۸
۶-۱-۱- مقدمه‌ای بر پردازنده‌ی MIPS ۷۹

۶-۱-۲ انواع هازارد ها ی خط لوله ای و اعمال no-op ۸۱
۶-۱-۳ سهم بخش‌های مختلف پردازنده در اجرای دستورات ۸۱
۶-۲- واحد کنترل توان(PMU) ۸۲
۶-۳- واحدهای محاسباتی و ارزیابی کنترل توان ۸۵
۶-۳-۱- واحد ALU و ارزیابی مصرف توان ۸۶
۶-۴- رجیستر فایل ۸۹
نتیجه‌گیری ۹۵
فصل ۷- نتیجه‌گیری و پیشنهادات ۹۶
۷-۱- نتیجه‌گیری ۹۶
۷-۲- پیشنهادات ۹۶

فهرست جدول‌ها

جدول ۲-۱ : مقایسه مقیاس بندی تکنولوژی بین المللی نیمه هادی ها از سال ۲۰۰۳ تا سال ۲۰۱۵..... ۲
جدول ۳-۱ : مقایسه ی طرح های MTCMOS محلی وکلی [۲۲]..... ۳۰
جدول ۴-۱: مولفه‌های خازن گیت ترانزیستور MOS در نواحی مختلف کاری..... ۴۷
جدول ۴-۲ : نتایج شبیه سازی برای گیتهای مختلف با خازن ورودی ثابت..... ۵۷
جدول۴-۳: نتایج شبیه سازی‌ها برای دو جمع کننده‌ی RCA با خازن ورودی ثابت..... ۵۸
جدول ۴-۴: مقادیر مصرف توان برای جمع کننده‌ی CLAی ۴بیتی مبتنی بر توپولوژی DCVSCL، دارای ترانزیستور خواب NMOS به عنوان سوئیچ،در بازه‌های مختلف آماده به کار..... ۶۲
جدول ۵-۱ : مشخصات بخشهای کنترلی برای شبیه‌سازی جمعکننده‌ی CLAی ۸ بیتی در فرکانس..... ۷۶
جدول۶-۱ : متوسط و فراوانی و زمان اجرای دستورات مرتبط با هر یک از واحدهای پردازنده..... ۸۲
جدول۶-۲ :تعداد گیتهای واحدهای مختلف پردازندهی MIPS [۴۹] ۸۲
جدول ۶-۳ : عملیات تولید شده توسط ساختار ALUی نشان داده شده در شکل ۶-۴ [۴۹]..... ۸۷
جدول ۶-۴ : مقادیر مصرف توان دو ساختار ALU برای بازههای مختلف آماده به کار..... ۸۸
جدول ۶-۵: مقادیر توان، تاخیر و PDP برای DFF فعال شونده با دو لبه‌ی کلاک..... ۹۱
جدول ۶-۶ : مقادیر توان، تاخیر و PDP برای DFF فعال شونده با لبه‌ی پائین رونده‌ی کلاک..... ۹۱
جدول ۶-۷ : مشخصات رجیستر فایل پیاده‌سازی شده..... ۹۲
جدول ۶-۸:نتایج مربوط به شبیه سازی سه مرحله از پردازنده‌ی MIPS با فرکانس کلاک 500kHZ..... ۹۵

فهرست شکل‌ها

شکل ۲-۱ : (بالا) افزایش توان نشتی وتوان کل بر حسب سال ، شکل ۱-۱ (پایین) مقایسه توان دینامیکی و استاتیکی بر حسب پیشرفت تکنولوژی..... ۳

شکل۲-۱ : هزینه های نسبی تولید بر اساس قانون مور [۱]..... ۸

شکل ۲-۲ : مسیر های مختلف جریان های نشتی در مدارات CMOS ۸

شکل ۲-۳ : افزایش جریان نشتی گیت با کاهش ضخامت اکسید [۱۵]..... ۹

شکل ۲-۴ : جریان های نشتی در ترانزیستورهای زیر مایکرون عمیق [۱۷]..... ۱۱

شکل ۲-۵ : منحنی I_D بر حسب V_{GS} (مقیاس لگاریتمی) برای..... ۱۲

شکل ۲-۶ : وابستگی جریان نشتی زیر آستانه به دما ، برای طول کانال های مختلف ، از ۰/۱۸ تا ۰/۰۵مایکرون [۵]..... ۱۳

شکل ۲-۷ : وابستگی ولتاژ آستانه به تغییرات طول کانال و ولتاژ درین، تکنولوژی 0.18µm . n تعداد ترانزیستورهای نمونه است..... ۱۴

شکل ۲-۸ : وابستگی جریان نشتی زیر آستانه به ولتاژ آستانه، جریان درین ترانزیستور NMOS در تکنولوژی 90 nm (W = 5µm , L = 80 nm) بر حسب ولتاژ گیت – سورس ، در مقیاس لگاریتمی[۱۲]..... ۱۴

شکل ۲-۹ : مشارکت بخش های مختلف نشتی در NMOS در تکنولوژی های گوناگون [۱۳]..... ۱۶

شکل ۳-۱: دسته بندی تکنیک های کاهش نشتی [۱۲]..... ۱۹

شکل ۳-۲: تفاوت نشتی بین تک ترانزیستور خاموش و پشته‌ی دو ترانزیستوری . همانطور که در باند انرژی نشان داده شده است به دلیل کاهش V_{DS}در پشته ، ارتفاع سد پتانسیل افزایش یافته و منجر به کاهش نشتی می شود. بدنه ی ترانزیستورها به زمین متصل است [۱۸]..... ۲۱

شکل ۳-۳: پشته ی دو NMOS ای و حل DC برای ولتاژ گره ی میانی [۵]..... ۲۲

شکل ۳-۴: نتایج حاصل از شبیه سازی برای پشته ها ی دو NMOS ای و دو PMOS ای در دما و V_{TH} های مختلف [۵]..... ۲۳

شکل ۳-۵ : اعمال پشته های ترانزیستوری و طرحهای با دو V_{TH} می تواند نشتی گیت ها را درمسیرهایی که سریع تر از میزان مورد نظر هستند کاهش دهد[۵]..... ۲۴

شکل ۳-۶: (الف) کاهش جریان خاموش با استفاده از اعمال اثر بایاس سورس از طریق اعمال امپدانس سوئیچ سورس (ب) منحنی نیمه لگاریتمی جریان ، نقطه کار جدید مدار را در اثر بایاس سورس نشان می دهد [۲۱]..... ۲۵

شکل ۳-۷ : مدارات کنترل دریچه ی توان [۲۱]..... ۲۵

شکل ۳-۸ : ساختار پایه ی MTCMOS با ترانزیستور خواب NMOS ومدارهای معادل مد فعال و مد استراحت مدار [۲۲]..... ۲۷

شکل ۳-۹ : طرح بنادی MTCMOS (سمت چپ) ، الحاق PMOS (شکل وسط) ، الحاق NMOS (سمت راست)[۱۳]..... ۲۹

شکل ۳-۱۰ : یک چک کننده ی برابری با استفاده از متد های خواب محلی وکلی [۲۲]..... ۲۹

شکل ۳-۱۱ : نتایج شبیه سازی تاخیر مسیر بحرانی یک چک کننده ی برابری ۳۲ بیتی را نشان می دهد . مقدار بالا زدگی خط مجازی زمین برای ادوات خواب کلی به سایز ترانزیستور خواب (W_{GLOBAL}) و دیتای مسیر خاموش (Vector2 , Vector1) بستگی دارد . بالا زدگی خط مجازی باعث کاهش حاشیه ی نویز می شود [۲۲]..... ۳۱
شکل ۴-۱: توپولوژی گیت دو ورودی XOR/XNOR، برای گیت‌های (الف) DSCL، (ب) SCL، (ج) DCVSCL..... ۴۳
شکل ۴-۲ : بلوک دیاگرام (الف) BDDSCL، (ب) DSCL..... ۴۴
شکل ۴-۳ : توپولوژی مداری گیت BDDSCL XOR، به همراه بار پیشنهادی شماره‌ی یک..... ۴۴
شکل ۴-۴ : المان‌های بلوک بار/لچ، (الف) سلول لچ DSCL، (ب) بار پیشنهادی شماره‌ی یک، (ج) بار پیشنهادی شماره‌ی دو (د) تغییر یافته‌ی بار شماره‌ی یک..... ۴۵
شکل ۴-۵ : ساختار زیر لایه‌ی ترانزیستورها در تکنولوژی Twin-Well..... ۴۶
شکل ۴-۶:خازن‌های داخلی ترانزیستور MOS..... ۴۷
شکل ۴-۷: مدل خازن‌ها و منابع جریان ساختارهای DSCL وBDDSCL..... ۵۰
شکل۴-۸: خازن خروجی گیتهای گیتهای DSCL و BDDSCL با بهکارگیری بار/لچ پیشنهادی..... ۵۲
شکل ۴-۹: جریان گذرای عبوری از منبع در لحظات سوئیچینگ برای گیت‌های DSCL و BDDSCL(با استفاده از بار پیشنهادی شماره‌ی ۱)..... ۵۲
شکل ۴-۱۰: نرخ بهبود PDP طرح پیشنهادی BDDSCL در مقایسه با DSCL به ازای fanout های مختلف. PDP نرمالیزه شده‌ی DSCL در تمام fanout ها ۱ است..... ۵۳
شکل ۴-۱۱: توان و تاخیر نرمالیزه‌ی گیت‌های DSCL و BDDSCL با استفاده از بار پیشنهادی شماره‌ی ۱، به عنوان تابعی از ضریب P/N برای fan-out های ۱و ۳. مقادیر تاخیر و توان به مقدار تاخیر و توان BDDSCL در P/N=1.3 برای هر fan-out نرمالیزه شده است..... ۵۴
شکل ۴-۱۲: توان و تاخیر نرمالیزه‌ی BDDSCL با استفاده از بار پیشنهادی شماره‌ی ۱، به عنوان تابعی از ضریب P/N، برای fan-out = 1 و fan-out=3. خط تیره‌ها نتایج مربوط به حالت بدون بار، نقطه چین‌ها حالت بار با ابعاد 3µm و خط پیوسته نتایج بار با ابعاد 1µm را نشان می‌دهند. مقادیر تاخیر به مقدار تاخیر در حالت بدون بار، fan-out=1 و P/N=1.3 نرمالیزه شده‌اند. برای هر fan-out، توان به مقدار توان در همان fan-out و P/N=1.3 نرمالیزه شده است..... ۵۵
شکل ۴-۱۳: مقادیر نرمالیزه‌ی محل تقاطع خروجی‌های گیت BDDSCL، ((crosspoint-0.5 vdd)/(0.5 vdd)) برای fan-out = 1 و به عنوان تابعی از ضریب P/N. خط پیوسته نتایج را برای بار با اندازه‌ی 1µm، خط تیره‌ها نتایج حالت بدون بار و نقطه چین‌ها نتایج حالت بار با اندازه‌ی 3µm را نشان می‌دهند..... ۵۶
شکل۴-۱۴: شکل موجهای ورودی و خروجی گیت BDDSCL..... ۵۶
شکل ۴-۱۵: ساختار گیت لچ تفاضلی پیشنهادی..... ۵۹
شکل شکل ۴-۱۶: شکل موجهای ورودی و خروجی لچ تفاضلی در تکنولوژی ۹۰ نانومتر..... ۵۹
شکل ۴-۱۷: شکل موجهای ورودی و خروجی جمع کننده‌ی ۴ بیتی CLA با استفاده از توپولوژی BDDSCL. ۶۰
شکل ۴-۱۸: شکل موجهای ورودی و خروجی جمع کنندهی ۴ بیتی CLA با استفاده از توپولوژی DCVSCL. ۶۱

شکل ۴-۱۹:شکل موجهای ورودی و خروجی گیت XOR/XNOR دو ورودی مبتنی بر توپولوژی DCVSCL در ناحیه‌ی زیر آستانه. ۶۲
شکل ۵-۱: ساختار پایه‌ی مدار NDR. ۶۵
شکل۵-۲ : مدار NDR با استفاده از ترانزیستورهای HBT و MOS [۴۶]. ۶۶
شکل ۵-۳: منحنی N شکل جریان برحسب ولتاژ مدار NDR پیادهسازی شده توسط MOS. ۶۷
شکل ۵-۴: منحنی Λ شکل جریان بر حشب ولتاژ مدار NDR پیاده سازی شده توسط MOS. ۶۷
شکل ۵-۵ : منحنی Λ شکل جریان بر حسب ولتاژ NDR بر حسب تغییرات ولتاژ بایاس Vgg. ۶۸
شکل ۵-۶: منحنی N شکل جریان بر حسب ولتاژ NDR بر حسب تغییرات ولتاژ بایاس Vgg. ۶۸
شکل ۵-۷: ساختار پیشنهادی کنترل توان نشتی در[۴۵]. ۷۰
شکل ۵-۸:مدارات پیشنهادی برای کنترل زمین مجازی در [۴۵]. ۷۱
شکل۵-۹: ساختار NDR به کار رفته در تحقیق حاضر. ۷۱
شکل ۵-۱۰: جریان عبوری از منبع برای گیت NOR دو ورودی با دو ساختار MTCMOS و NDRCMOS. ۷۲
شکل ۵-۱۱: جریان عبوری از منبع برای گیت NAND دو ورودی با دو ساختار MTCMOS و NDRCMOS. ۷۳
شکل ۵-۱۲: سطح ولتاژ زمین مجازی در وضعیت آماده به کار و فعال مدار. ۷۴
شکل ۵-۱۳: سطح ولتاژ زمین مجازی و جریان تغذیه‌ی جمع کننده‌ی CLAی ۴ بیتی در وضعیت آماده به کار، ۷۴
شکل ۵-۱۴: ساختار جمع کننده‌ی ۴ بیتی CLA. ۷۵
شکل ۵-۱۵: منحنی جریان بر حسب Vdd های مختلف در حالت Vgg=0. ۷۶
شکل ۵-۱۶ : مقادیر مصرف توان جمع کننده‌ی ۸ بیتی CLA، با سه ساختار CMOS، NDRCMOS، MTCMOS در بازه‌های مختلف آماده به کار. ۷۷
شکل۶-۱: ساختار تغییر یافته‌ی پردازنده‌ی [۴۷]. ۸۴
شکل۶-۲: واحد کنترل توان و سیگنال‌های کنترلی. ۸۵
شکل ۶-۳ : مقایسه‌ی مصرف توان جمع کننده‌ی CLAی ۳۲ بیتی در بازه‌های مختلف آماده به کار برای سه حالت CMOS معمولی، MTCMOS و NDRCMOS. ۸۵
شکل ۶-۴ : ساختار ALUی یک بیتی[49]. ۸۶
شکل ۶-۵ : ساختار ALUی ۴ بیتی با استفاده از Cascade کردن ALUی یک بیتی [۴۹]. ۸۸
شکل ۶-۶ : ساختار DFF فعال شونده با دو لبه‌ی کلاک[۵۰]. ۸۹
شکل۶-۷ : ساختار DFF پیاده‌سازی شده توسط گیت‌های انتقال، فعال شونده با لبه‌ی پائین رونده‌ی کلاک... ۹۰
شکل ۶-۸ : شکل مو ج های ورودی و خروجی DFF فعال شونده با دو لبه‌ی کلاک. ۹۰
شکل ۶-۹ : شکل موجهای ورودی و خروجی DFF فعال شونده با لبه‌ی پائین رونده‌ی کلاک. ۹۱
شکل ۶-۱۰ :ساختار رجیستر فایل پیاده‌سازی شده. ۹۳
شکل ۶-۱۱: مقادیر توان در بازه‌های مختلف آماده به کار برای ساختارهای CMOS، MTCMOS و NDRCMOS. ۹۴

مقدمه

۱-۱- پیشگفتار

با پیشرفت سریع تکنولوژی نیمه هادی سایز ترانزیستورها مرتبا در حال کاهش است، طبق قانون مور [۱] هر بیست و چهار ماه یکبار چگالی قطعات روی هر تراشه تقریبا دو برابر می شود [۱] و به طراحان تراشه ها این قدرت را می‌دهد تا بتوانند سیستم‌های بسیار پیچیده را روی یک تراشه پیاده کنند. در پی گسترش روز افزون بازار سیستم‌های قابل حمل مانند تلفن‌های همراه، ابزارهای محاسباتی شخصی، کامپیوترهای جیبی، دستیارهای دیجیتال شخصی[۲]، تجهیزات پزشکی (تقویت کنند های شنوایی)، سیستم‌های الکترونیکی که با باطری کار می‌کنند امروزه به طور وسیعی در سراسر جهان استفاده می‌شوند. مهمترین معیار در این سیستم‌ها توان می‌باشد به علاوه با گرایش به سمت مخابرات بی‌سیم، مصرف توان به یک پارامتر بسیار حیاتی و تعیین کننده در طراحی سیستم‌ها تبدیل شده است[۲]. لازم به‌ذکر است که پردازنده‌ها یکی از واحدهای اساسی در تمام کاربردهایی که بیان شد می‌باشند، بنابراین سهم قابل توجهی از مصرف توان کل سیستم را به خود اختصاص می‌دهند.

با وجود کاهش ولتاژ تغذیه حین پیشرفت تکنولوژی، مصرف توان کاهش نمی‌یابد، بلکه اندازه‌ی توان در واحد سطح در حال افزایش است. افزایش مصرف توان، مشکل افزایش دما را نیز به دنبال دارد[۲] مصرف توان بالاتر در سیستم‌ها موجب افزایش هزینه‌ی بسته بندی و همچنین نیاز به استفاده از سیستم‌های سرد کننده می شود و این امر سبب افزایش هزینه‌ی کل تولید وکاهش قابلیت اطمینان می‌شود [۳] قابلیت اطمینان نیز یک پارامتر مهم در سیستم‌ها است وبا هر ۱۰ درجه سانتی گراد افزایش دما درصد شکست یک قطعه تقریبا دو برابر می‌شود[۲].

با توجه به اهمیت طول عمر باطری و قابلیت اطمینان در سیستم‌های قابل حمل، طراحی کم مصرف برای مدارات[۳] (VLSI) مبتنی بر(CMOS[۴]) توجهات زیادی را در سال‌های اخیر به خود جلب کرده است و تحقیقات گسترده‌ای برای ارئه‌ی تکنیک‌های مختلف جهت کاهش مصرف توان انجام می‌شود[۴].

به طور کلی مصرف توان به دو دسته توان دینامیکی و توان استاتیکی تقسیم می شود، توان دینامیکی متناسب است با مجذور ولتاژ تغذیه، بنابراین با مقیاس بندی تکنولوژی و ولتاژ تغذیه توان دینامیکی کاهش می یابد. اما مقیاس بندی ترانزیستور ها در ابعاد نانو باعث افزایش شدید جریان های نشتی درترانزیستور های (MOS)شده است. با کاهش ولتاژ تغذیه، ولتاژ آستانه [۵]ی ترانزیستور ها نیز به منظور حفظ کارآیی[۶] ترانزیستور ها کاهش یافته است. بنابر این جریان نشتی بخش عمده ای از توان مصرفی کل را به خود اختصاص داده است،

[1] Moors Law
[2] Personal Digital Assistant
[3] Very Larg Integrated Circuit
[4] Complementry Metal Oxide
[5] Threshold Voltage
[6] Performance

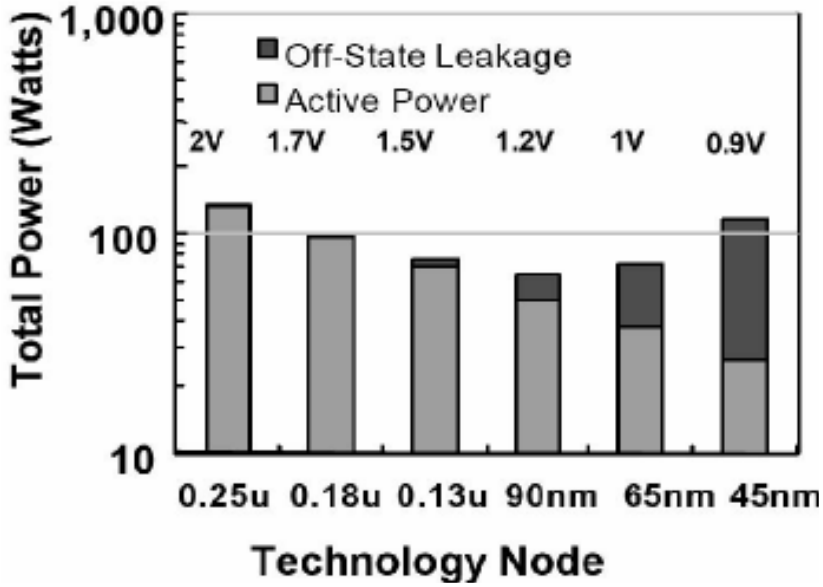
در بسیاری از تکنولوژ ی های مقیاس بندی شده حدود ۵۰٪-۳۰٪ از توان مصرفی مربوط به جریان های نشتی است [۵] در جدول (۱-أ) کاهش سایز ترانزیستورها و همچنین مقدار ولتاژ تغذیه طبق پیش بینی مسیر کلی تکنولوژی بین المللی نیمه هادی (ITRS[1]) آورده شده است.

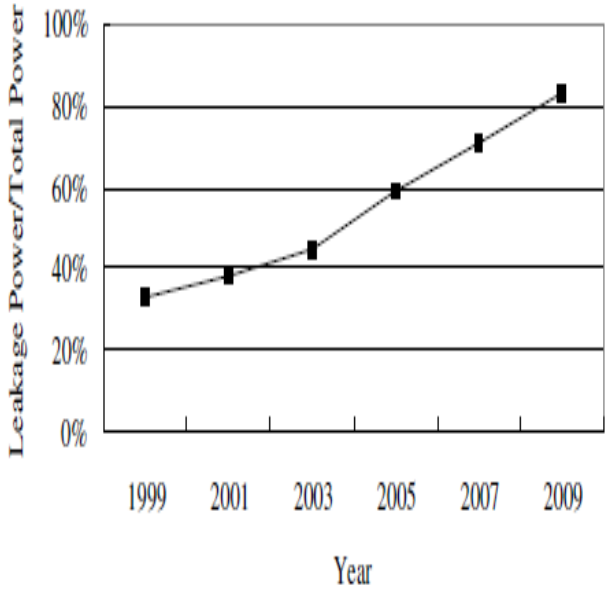
جدول ۲-۱ : مقایسه مقیاس بندی تکنولوژی بین المللی نیمه هادی ها از سال ۲۰۰۳ تا سال ۲۰۱۵[۱]

Year	L_G (nm)	V_{DD} (V)
2003	45	1.2
2005	32	1.1
2007	25	1.1
2009	20	1.0
2011	16	1.0
2013	13	0.9
2015	10	0.9

در شکل ۱-۱ ا(بالا) افزایش توان نشتی بر حسب سال نشان داده شده است و در شکل ۱-۱ (پایین) مقایسه میزان توان دینامیکی و توان استاتیکی با توجه به پیشرفت تکنولوژی قابل مشاهده است. با توجه به شکل ۱-۱ کاهش توان استاتیکی نقش بسیار مهمی در طراحی سیستم های امروزی به ویژه سیستم های دیجیتال کم مصرف دارد. توان استاتیکی می تواند ناشی از جریان های نشتی در حالت آماده به کار و یا فعال مدار باشد، در هر سیستم با در نظر گرفتن نوع عملکرد آن می توان روی کاهش توان نشتی در حالت آماده به کار ویا فعال متمرکز شد، به عنوان مثال در تلفن های همراه و یا کامپیو تر های جیبی مدت زمان بی کاری سیستم قابل توجه است، بنا بر این کاهش توان نشتی حالت آماده به کار تاثیر بیشتری در کاهش مصرف توان کل خواهد داشت [۲].

[1] International Technology Roadmap





شکل ۲-۱ : (بالا) افزایش توان نشتی وتوان کل بر حسب سال ، شکل ۱-۱ (پایین) مقایسه توان دینامیکی و استاتیکی بر حسب پیشرفت تکنولوژی[۱]

به طور خلاصه منابع مصرف توان نشتی در ترانزیستورهای CMOS به شرح زیر است :

۱- جریان نشتی گیت [۱]

۲- جریا نشتی زیر آستانه[۲]

۳- جریان نشتی پیوند P-N بایاس معکوس و تونل زنی باند به باند [۳]

[1] Gate Leakage Current
[2] Subthreshold Current
[3] Reverse Biase P-N Junction Current And Band –To-Band Tunneling

۴- جریان نشتی درین القایی توسط گیت (GIDL)[1]

۵- جریان نشتی سوراخ شدن[2]

مهمترین بخش توان نشتی در حالت آماده به کار جریان نشتی زیر آستانه ودر حالت فعال جریان نشتی گیت است.

۱-۲- هدف از انجام تحقیق

مساله‌ی مورد نظر در این تحقیق، کنترل و کاهش مصرف توان در پردازنده‌ها با تاکید بر توان و جریان نشتی می‌باشد.

در حقیقت هدف از انجام این تحقیق بررسی تکنیک‌های مختلف کاهش توان و در نتیجه ارائه‌ی یک تکنیک مناسب برای کنترل وکاهش توان در پردازنده‌های دیجیتال می‌باشد. برای این منظور راه‌کارهای زیر دنبال شد :

- دستیابی به توپولوژی‌های مناسب برای انتخاب یک سلول پایه‌ی مناسب جهت پیاده‌سازی مدارات در ناحیه‌ی زیرآستانه.
- بررسی روش‌های مختلف کنترل جریان و توان نشتی.
- طراحی مدارات و سلول‌ها با توان نشتی کنترل شده.
- ارائه‌ی روش مناسب برای کنترل و کاهش مصرف توان در پردازنده‌های دیجیتالی.

۱-۳- نوآوری تحقیق

در این تحقیق یک ساختار بهبود یافته‌ی تفاضلی برای پیاده‌سازی سلول‌های پایه ارائه شده است که برای کاربردهایی که حساسیت زیادی به نویز دارند بسیار مناسب است، از جمله‌ی این کاربردها طراحی مدارات در ناحیه‌ی زیرآستانه است. علاوه بر این تکنیک NDRCMOS برای کنترل مصرف توان به ویژه توان استاتیک در ناحیه‌ی زیر آستانه ارائه شده است.

۱-۴- ساختار مطلب

در فصل دوم منابع نشتی و اتلاف توان استاتیکی در ترانزیستورهای CMOS بررسی شده است . به علاوه در این فصل به بررسی عوامل تاثیر گذار روی جریان های نشتی، به ویژه تاثیر مقیاس بندی تکنولوژی روی منابع نشتی پرداخته شده است.

در فصل سوم تکنیک های مختلف کاهش نشتی در تکنولوژی CMOS در سطح تکنیک‌های مداری معرفی شده است. در این بخش سعی بر این بوده تا علاوه بر مزایا، محدودیت هایی که هر یک از تکنیک ها به

[1] Gate Induced Drain Leakage Current
[2] Punch Through Current

مدارات اعمال می کنند، به ویژه در ابعاد نانو معرفی شود تا بینش خوبی نسبت به گزینش هر یک از آنها ارئه شود.

در فصل چهارم مدارات با کارآیی بالا و جریان نشتی پائین بررسی شده‌اند و ساختار تفاضلی BDDSCL[1] معرفی شده است.

در فصل پنجم ساختار مقاومت تفاضلی منفی و مدارات مبتنی بر آن مطالعه و بررسی شده است.

در فصل ششم ساختار NDRCMOS برای کنترل و کاهش مصرف توان در پردازنده‌ها معرفی شده است.

در فصل هفتم نتیجه گیری و پیشنهادات برای کارهای آینده ارائه شده است.

[1] Bulk-Driven Differential Static CMOS Logic

فصل ۲– منابع مصرف توان در ترانزیستورهای CMOS

مصرف توان کل در مدارات شامل گیت‌های استاتیکی CMOS به دو بخش توان دینامیکی و توان استاتیکی تقسیم می‌شود (معادله‌ی ۲-۱)

$$P_{Total} = P_{Dynamic} + P_{Leakag} \qquad (۱-۲)$$

توان دینامیکی به دلیل شارژ و دشارژ خازن‌ها جهت تعیین منطق کاری مدار وهمچنین ایجاد یک مسیر مستقیم بین منبع تغذیه و زمین در حالت‌های گذرا مصرف می‌شود و اتلاف توان نشتی نیز به این دلیل است که ترانزیستور نمی‌تواند به طور کامل خاموش شود[۶].

۲–۱– توان دینامیکی

توان دینامیکی توانی است که فقط حین عملکرد مدار صرف می‌شود (وقتی گره‌های داخلی مدار در حال سوئیچینگ هستند) و شامل دو بخش است، بخش اول توان سوئیچینگ و بخش دوم توان اتصال کوتاه است[۷] .

برای فرکانس سوئیچینگ (f[1]) و ضریب فعالیت (α[2]) توان دینامیکی متوسط به صورت زیر بیان می شود

$$P_{Dynamic} = \alpha f v_{dd}^2 C_L \qquad (۲-۲)$$

C_L خازن بار است و شامل خازن‌های پارازیتی ترانزیستور و خازن‌های اتصالات[3] است، خازن‌های اتصالات وابسته به میزان برون رو[4]، طول سیم‌ها و اندازه‌ی ادواتی که ترانزیستور آنها را درایو می‌کند است[۶] .

دومین منبع مصرف توان دینامیکی از طریق مسیرهای اتصال کوتاه ایجاد می‌شود. توان اتصال کوتاه در هر گذار[5] به صورت زیر است[۶] :

$$P_{SC} = \beta/12 (v_{dd} - v_{th})^3 \tau \qquad (۳-۲)$$

[1] Frequency switching
[2] Activity Factor
[3] Interconnect
[4] Fanout
[5] Transition

در معادله‌ی (۲-۳)، β فاکتور گین ترانزیستور، v_{th} ولتاژ آستانه‌ی ترانزیستورها، τ زمان گذار ورودی و T دوره تناوب ورودی است. توان اتصال کوتاه متناسب است با سرعت تغییرات ورودی و همچنین با افزایش v_{th} نیز کاهش می‌یابد، البته افزایش v_{th} طبق معادله ۲-۴ جریان حالت فعال ترانزیستور را کم می‌کند و در نتیجه موجب کاهش سرعت ترانزیستور می‌شود[۶].

$$I_{ds} = \beta/2 \, (v_{GS} - v_{th})^2 \qquad (۴-۲)$$

۲-۱-۱- مصرف توان Glitching

Glitch یک گذار ناخواسته در خروجی گیت‌ها است و به دلیل تاخیر در زمان رسیدن سیگنال به ورودی گیت اتفاق می‌افتد [۹][۸]. Glitch از طریق خروجی گیت به گیت‌های بعدی انتقال پیدا می‌کند وباعث ایجاد این مساله در آن گیت‌ها نیز می شود. در مدارات با برون رو بالا این پدیده می‌تواند منجر به صرف انرژی قابل توجهی در گذارهای بی‌استفاده شود. معمولا Glitch حدود ۷۰٪-۲۰٪ توان دینامیکی سوئیچینگ را به خود اختصاص می دهد[۹] [۸] .

۲-۲- توان استاتیکی

سایز بندی تکنولوژی CMOS در ابعاد نانو با وجود تمام مزایایی که دارد افزایش روز افزون جریان های نشتی را نیز به دنبال داشته است. این افزایش نشتی علاوه برتاثیر روی مصرف توان، حاشیه‌های مجاز طراحی‌ها را نیز به دلیل ارتباط قوی بین تغییرات فرآیند[1] و توان نشتی کاهش می‌دهد، بنابراین شناخت منابع نشتی، عوامل تاثیر گذار بر منابع نشتی و راه‌های کاهش آن بسیار ضروری واجتناب ناپذیر است [۵]. برای شناخت منابع نشتی، درک چگونگی توسعه‌ی ترانزیستورها درطی زمان با پیروی از قانون مور [۱] ضروری است. همانطور که در شکل ۲-۱ نشان داده شده است بر اساس قانون مور [۱] با افزایش تعداد قطعات روی یک تراشه هزینه‌ی تولید نیز کاهش می‌یابد، اما با کوچکتر شدن سایز ترانزیستورها وبروز پدیده‌های نشتی در تکنولوژی های جدیدتر هزینه‌ی تولید افزایش می‌یابد[۵] .

[1] Process Variation