بسم الله الرحمن الرحيم

دانشکده فنی و مهندسی

گروه برق
پایان نامه جهت اخذ درجه کارشناسی ارشد

موضوع :

طراحی و پیاده سازی یک فرستنده-گیرنده با سرعت Gb/sec ۱۶ در روی ۴ کانال با استفاده از پروسه ۰.۳۵µm CMOS

اساتید راهنما :
دکتر خیرالله حدیدی دکتر عبدالله خویی

اساتید داور :
دکتر ابراهیم عباسپور دکتر محمدنقی آذرمنش

تنظیم و نگارش:
مینا حسن زاد آذر

شهریور ۱۳۹۱

تقدیم به :

روح پدر...

دریای بی کران گذشت و فداکاری که وجودش برایم همه مهر بود

مادر عزیز و مهربانم

که وجودش شادی بخش و نگاهش مایه آرامش من است

و به همراهان همیشگی برادرانم و همسران عزیزشان

که در دشواری ها همواره پشتیبانی محکم و مطمئن برایم بوده اند

تشکر و قدردانی

از استاد فرهیخته و گرامی جتاب آقای دکتر خیرالله حدیدی که همواره با نکته ها وآموزش های خویش راهنما و راه گشایم در تمام دوران آموزش در دانشگاه و به ویژه در تکمیل و اتمام این پایان نامه بوده اند کمال تشکر و سپاس را دارم. همچنین از جناب آقای دکتر خویی که همواره با حسن خلق و فروتنی از هیچ کمکی در طول دوران تحصیل دریغ ننموده اند نیز تشکر و قدردانی می نمایم و نیز از اساتید محترم آقایان دکتر عباسپور و دکتر آذرمنش که زحمت داوری این پابان نامه را متقبل شده اند سپاسگذارم.

از مادر و برادران عزیزم که در مشکلات و سختی های این راه همواره پشتیبان من بوده و خستگی های راه را به امید و روشنی راه تبدیل نموده اندتشکر کرده و امیدوارم بتوانم در آینده جوابگوی بخشی از این همه محبت آن ها باشم.

در مسیر پیشبرد این پابان نامه ، مرهون و قدردان دوست خوبم سرکار خانم مهندس شمین صدرافشاری می باشم و از ایشان که با یاری ها و راهنمایی های دلسوزانه ، بسیاری از سختی ها را برایم آسانتر نموده اند صمیمانه تشکر می کنم.

در انتها از تمامی دانشجویان پژوهشکده میکروالکترونیک ارومیه که به نوعی مرا در به انجام رساندن این پایان نامه یاری نموده اند تشکر می کنم.

چکیده:

با پیشرفت روز افزون ادوات نیمه هادی در سالهای اخیر ، نیاز به انتقال سریع داده در اتصال بین دو کامپیوتر یا اتصال کامپیوتر با وسایل جانبی به طور چشمگیری در حال افزایش است . در این نوع کاربردها که به تبادل اطلاعات با سرعت های در حد گیگا بیت در ثانیه نیاز است ، طراحی خطوط انتقال داده با سرعت بالا و هزینه وسطح اشغالی کم ، بسیار مورد توجه می باشد.

در این پایان نامه یک فرستنده – گیرنده با سرعت ۱۶Gb/s بر روی ۴ کانال طراحی شده است که در واقع هر کانال دارای سرعت ۴Gb/s می باشد. برای رسیدن به چنین سرعت بالایی در انتقال داده و در عین حال داشتن فضای اشغالی کمتر و کاهش توان مصرفی از ترکیب روش موازی و سریال برای انتقال داده استفاده شده است به این صورت که در هر کدام از ۴ کانال موازی داده به صورت سریال با سرعت ۴Gb/s انتقال می یابد.در جنین سرعت هایی، نرخ انتقال داده توسط مشخصه پایین گذر کانال به خاطر اثراتی چون اثر پوستی کانال و سرعت پروسه طراحی محدود می شود. در این طراحی از مدولاسین ۴-PAM استفاده شده است که باعث می شود نرخ انتقال سمبل ها را به نصف کاهش دهد . که در نتیجه با کاهش نرخ انتقال سمبل ها نیاز به پهنای باند لازم کانال برای انتقال صحیح داده به نصف کاهش می یابد و در نتیجه فرکانس کلاک مورد نیاز هم نصف می شود(۲Gsym/s) .در ادامه با استفاده از روش مولتی پلکس کردن داده(multiplexing) فرکانس کلاک به ۱GHz کاهش می یابد. در این طراحی در گیرنده توسط ۳ مرتبه نمونه برداری از عرض هر نمونه دریافتی، داده استخراج شده و به ثبات های خروجی می رود.

نتایج شبیه سازی توسط نرم افزار Hspice با پارامترهای ۴۹ Level در پروسه CMOS و تکنولوژی ۰.۳۵ µm ارائه شده است که نشان دهنده توان متوسط مصرفی در فرستنده و گیرتنده به ترتیب حدود ۱۰۵ و ۷۰ میلی وات می باشد . Lay out مدار با استفاده از نرم افزار cadence تهیه شده است .

کلمات کلیدی : مدولاسیون دامنه پالس ، اتصال سریال ، بازیابی دیتا ، بازیابی کلاک

فهرست

فصل اول

۱-۱ مقدمه ۱

۱-۲ سازماندهی ۲

فصل دوم

مفاهیم و ساختار کلی یک فرستنده – گیرنده دیتا با سرعت بالا

۲-۱ روش های انتقال دیتا ۳

۲-۲ تکنیک های ارسال دیتا ۴

۲-۲-۱ انتقال دیتا با دامنه نوسان بالا (High Swing Signaling) ۴

۲-۲-۲ انتقال دیتا با دامنه نوسان کم (Low Swing Signaling) ۵

۲-۳ مدولاسیون ۶

۲-۴ محدودیت های انتقال داده ۷

۲-۴-۱ محدودیت های الکترونیکی ۷

۲-۴-۲ محدودیت پهنای باند ۸

۲-۴-۳ موازی سازی دیتای ورودی و خروجی (Parallel I/O Architecture) ۱۳

۲-۴-۳-۱ درایورهای عمل مولتی پلکس (Multiplexing Drivers) ۱۴

فصل سوم

پیاده سازی سخت افزاری فرستنده و گیرنده

۳-۱ پیاده سازی فرستنده Transmitter ۱۷

۳-۲ پیاده سازی گیرنده Receiver ۲۱

۳-۲-۱ طراحی نمونه برداری ۲۴

۳-۲-۲ طراحی مقایسه گر و مبدل ADC دو بیتی ۲۵

۳-۳-۳ روش های استخراج داده Data Recovery ۲۸

۳-۳-۴ مدار تصمیم گیری Decision circuit ۳۰

فصل چهارم

مدارات تولید کلاک در فرستنده و گیرنده

۴-۱ مشخصه دینامیکی PLL ۳۳
۴-۲ اجزای یک PLL ۳۵

فصل پنجم

نتایج شبیه سازی و Layout

۵-۱ نتایج شبیه سازی
۵-۱-۱ فرستنده ۳۹
۵-۱-۲ گیرنده
..... ۴۴
۵-۲ رسم Layout ۴۸
۵-۳ مقایسه ۵۱

فهرست اشکال

فصل دوم

مفاهیم و ساختار کلی یک فرستنده – گیرنده دیتا با سرعت بالا

شکل ۲-۱ : شکل موج ولتاژ دریافتی در گیرنده در روش انتقال دیتا با دامنه نوسان بالا ۴
شکل ۲-۲ : نمای کلی یک سیستم انتقال دیتا با دامنه نوسان کم..... ۵
شکل ۲-۳ : دیاگرام چشمی انتقال دیتا به روش های ۲PAM ، ۴PAM و ۸PAM ۷
شکل ۲-۳ : دیاگرام چشمی برای تشریح محدودیت کمترین زمان بیت ممکن ۸
شکل ۲-۴ : مدل RLC یک خط انتقال ۹
شکل ۲-۵ : سطح مقطع کابل کواکسیال ۱۱
شکل ۲-۶ : پاسخ فرکانسی کابل کواکسیال RG/۲۲۳U ۱۲
شکل ۲-۷ : ساختار کلی یک مولتی پلکسر ۱۴
شکل ۲-۸ : روش قدیمی برای عمل مولتی پلکس کردن ۱۴
شکل ۲-۹ :NMOS current – mode output MUX ۱۵
شکل ۲-۱۰: درایور خروجی برای multiplexing با استفاده از overlapکلاک ها ۱۶

فصل سوم

پیاده سازی سخت افزاری فرستنده و گیرنده

شکل ۳-۱: ساختار کلی الف) فرستنده ب) گیرنده ۱۸
شکل ۳-۲: بلوک دیاگرام کلی فرستنده ۱۹
شکل ۳-۳: ساختار DAC و مولتی پلکسر ۲۰
شکل ۳-۴: ساختار پیشنهادی برای DAC و مولتی پلکسر ۲۱
شکل ۳-۵: روش بازیابی دیتا (oversampling) ۲۲
شکل ۳-۶: بلوک استخراج داده ی گیرنده ۲۳
شکل ۳-۷: نمونه بردار.....۲۴
شکل ۳-۸ : مبدل آنالوگ به دیجیتال ۲ بیتی ۲۵
شکل ۳-۹ : مقایسه کننده ی ولتاژ ۲۶
شکل ۳-۱۰ : دیکودر دو بیتی ۲۷
شکل ۳-۱۱ : روش های بازیابی دیتا ۲۸
شکل ۳-۱۲ : حالت های مختلف نمونه برداری از داده با توجه به زمان نمونه برداری ۳۰
شکل ۳-۱۳ : (a) مدار تشخیص تغییر سطح بین سه نمونه (b) مدار تصمیم گیر.....۳۱

فصل چهارم

مدارات تولید کلاک در فرستنده و گیرنده

شکل ۴-۱ : ساختار کلی یک PLL ۳۲
شکل ۴-۲ : یک مدل خطی برای PLL ۳۳
شکل ۴-۳ : نوسان ساز حلقه ای ۶ طبقه برای گیرنده ۳۵
شکل ۴-۴ : مدار داخلی هر المان تاخیردرون PLL ۳۶
شکل ۴-۵ : مدار آشکار ساز فاز ۳۶
شکل ۴-۶ : ورودی و خروجی مدار آشکارساز فاز در حالت های مختلف ۳۷
شکل ۴-۷ : مدار شارژ پمپ ۳۷

فصل پنجم

نتایج شبیه سازی و Layout

شکل ۵-۱ کلاک های تولید شده برای فرستنده ۳۹
شکل ۵-۲ : خروجی phase detector برای حالت های تقدم و تاخیر فاز ۴۰
شکل ۵-۳: شکل موج v control در PLL در فرستنده ۴۰
شکل ۵-۴ : جیتر مربوط به کلاک های فرستنده ۴۱
شکل ۵-۵ : دیاگرام چشمی خروجیDAC (a) با ساختار قبلی (b) با ساختار بهینه شده ۴۱
شکل ۵-۶ : دیاگرام چشمی خروجی خط (a) با ساختار قبلی (b) با ساختار بهینه شده ۴۲
شکل ۵-۷ دیاگرام چشمی خروجی DAC (a) (b) خط (با ساختار بهینه شده) ۴۲
شکل ۵-۸ : پاسخ DAC به ورودی random ۴۳
شکل ۵-۹ : یاگرام چشمی خروجی DAC در گوشه ها ۴۳
شکل ۵-۱۰ : شکل موج v control در PLL در گیرنده ۴۴
شکل ۵-۱۱ : خروجی pll بعد از lock شدن در گیرنده ۴۴
شکل ۵-۱۲ : جیتر مربوط به کلاک های گیرنده ۴۵
شکل ۵-۱۳ : نتایج شبیه سازی comparator ۴۶
شکل ۵-۱۴ : نتایج شبیه سازی ADC ۴۶
شکل ۵-۱۵ : نتایج شبیه سازی مدار تصمیم گیری ۴۷
شکل ۵-۱۶ : Layout مربوط به DAC فرستنده ۴۸
شکل ۵-۱۷ : مبدل آنالوگ به دیجیتال ۲ بیتی ۴۸
شکل ۵-۱۸ : PLL فرستنده ۴۹
شکل ۵-۱۹ : PLL فرستنده ۴۹
شکل ۵-۲۰ : Lay out کل فرستنده ۵۰
شکل ۵-۲۱ : Lay out کل گیرنده ۵۰

فهرست جداول:

فصل دوم

جدول ۲-۱ : مشخصات فیزیکی کابل RG/۲۲۳U ۱۲

فصل سوم

جدول ۳-۱ : جدول درستی برای دیکودر ترمومتر و باینری دو بیتی ۲۷
جدول ۳-۲ : جدول تصمیم گیری برای تشخیص داده ی صحیح ۳۰

فصل پنجم

جدول ۵-۱ : مشخصات چند فرستنده-گیرنده با تکنیک های مدولاسیون محتلف.....۵۱

فصل ۱ :

۱-۱ مقدمه :

با پیشرفت های سریع تکنولوژی و تمرکز بر تولید روزافزون ریزپردازنده های سریع در سیستم های کامپیوتری ، نیاز به تبادل سریع دیتا بین کامپیوترها و یا کامپیوتر و وسایل جانبی ، بیش از پیش نمایان می شود. در واقع سرعت یک سیستم کامپیوتری باید به صورت متوازن افزایش یابد. به عنوان مثال برای کاربردهای چندرسانه ای ، تقاضا برای پهنای باند بیشتر افزایش یافته است. نتیجه این تقاضا گسترش و پیشرفت خطوط انتقال داده سریع و ارزان بوده است.برای یک تصویر با کیفیت بالا ، سرعت دیتا ممکن است از چند صد مگا بیت بر ثانیه تا گیگا بیت بر ثانیه نیز باشد[۱] . برای این کاربرد های سرعت بالا ، خطوط پر سرعت انتقال داده نقش مهمی در اتصالات کامپیوتر به وسایل جانبی ، شبکه های محلی ، باس های حافظه و ... دارند.[۲]

به طور کلی دو روش عمده برای انتقال داده با سرعت بالا وجود دارد : خطوط انتقال موازی و خطوط انتقال سریال . در خطوط انتقال موازی از کانال های زیادی برای انتقال دیتا استفاده می کنند که به سخت افزار بیشتری نیاز دارد و گرانتر است اما سرعت بالایی دارد و در مقابل خطوط انتقال سریال شامل یک کانال می باشد و در نتیجه سخت افزار کمتری دارد و ارزانتر بوده اما سرعت پایینی دارند. که در این پروژه سعی شده که با ترکیب هردوی این روش ها بتوان داده با سرعت بسیار بالا را در کاربردهایی مثل ارتباط بین دو کامپیوتر با سیستم های جانبی انتقال داد. [۳] در این پروژه ، داده با سرعت ۱٦ Gb/s را با چهار خط موازی که هرکدام از خط ها ساختار یک خط انتقال سریال را دارند انتقال داده می شوند.

بنا براین مسئله ی اصلی طراحی یک خط انتقال داده سریال با سرعت بالا می باشد که به طور معمول برای انتقال داده در رنج گیگابیت بر ثانیه از ترانزیستورهای Bipolar یا GaAs استفاده می شود که که سرعت ذاتی نیمه هادی ها در این تکنولوژی ها بالاتر می باشند اما سطح اشغالی زیادی نیز دارند. [٤] اما در تکنولوژی CMOS اگرچه سرعت پایین است ولی این تکنولوژی در عین سطح اشغالی بسیار کم کاربرد وسیع تری هم در مدارات مجتمع سرعت بالا دارد بنابراین سعی شده در تکنولوژی CMOS به ازای هزینه کمتر با سرعت بالایی، داده را انتقال دهیم. دو روش کلی انتقال داده برای کاربردهای پیشرفته شامل انتقال کابلی و بی سیم است. انتقال بی سیم ارزانتر بوده و نیاز به کابل ندارد اما در این نوع انتقال داده ترافیک در پهنای باند – امنیت اطلاعات و نیز حساسیت بیشتر به نویز محیط از معایب این روش می باشد.

دو نوع کابل مهم برای انتقال داده به روش کابلی ، فیبر نوری و کابل های مسی (معمولا کواکسیال) می باشند. فیبر نوری پهنای باند وسیعی دارد و برای انتقال داده در مسیرهای طولانی استفاده می شود که به دلیل هزینه بالا و فضای اشغالی زیاد برای کاربرد مورد نظر در این پروژه مناسب نمی باشد . بنابر این در فواصل کوتاه کابل های کواکسیال مناسبتر می باشند. در این طراحی ما از یک کابل کواکسیال به طول ۴ متر استفاده نموده ایم.

۱-۲ سازماندهی

در بخش های این پایان نامه که شامل ۵ فصل می باشد قسمت های مختلف پایان نامه مورد بررسی و تجزیه و تحلیل قرارا می گیرد. در فصل ۲ مروری بر محدودیت های طراحی و اجرا مختلف یک فرستنده و گیرنده دیتا با سرعت بالا خواهیم داشت. در فصل ۳ طراحی فرستنده و گیرنده و پیادسازی سخت افزاری آن شرح داده شده است. در فصل ۴ به طراحی مدارات ایجاد کلاک و بازیابی زمانی اختصاص یافته است . فصل۵ شامل نتایج شبیه سازی و Layout مدارات مختلف و مقایسه فرستنده- گیرنده طراحی شده با برخی کارهای مشابه می باشد.

فصل ۲ :

مفاهیم و ساختار کلی یک فرستنده – گیرنده دیتا با سرعت بالا

۲-۱ روش های انتقال دیتا

همانطور که قبلا نیز اشاره شد دو روش کلی برای انتقال داده شامل انتقال موازی و سری وجود دارد. در انتقال موازی با استفاده از خطوط ارتباطی زیاد می توان پهنای باند انتقال دیتا را بالا برد که این تعداد زیاد خطوط انتقال ، محدودیت حجم سخت افزار بالا و توان مصرفی بالاتری را با خود به همراه دارد بنابراین بیشتر تلاش ها بر روی افزایش سرعت انتقال دیتا در روی یک کانال متمرکز می باشد .روش سریال به ویژه در کاربردهایی که تعداد پایه های IC محدود است، مورد توجه می باشند .

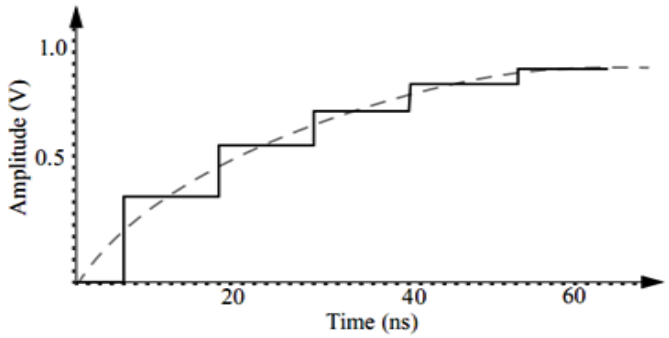
نوع کابل ارتباطی در انتقال دیتا به صورت سریال، معمولا یا از نوع فیبر نوری و یا از جنس کابل های مسی می باشد . فیبر نوری گران و از لحاظ سطح غیر اقتصادی بوده ولی پهنای باند بالایی دارد و مناسب برای مسافت های طولانی می باشد . کابل های مسی بسیار ارزانتر می باشند ولی پهنای باند آنها با طول بسیار کاهش می یابد بنابراین برای مسافت های کوتاه مناسب است مثلا برای ارتباط بین یک سیستم با سیستم دیگر در اتاق های پشتیبانی و.....

۲-۲ تکنیک های ارسال دیتا

۲-۲-۱ انتقال دیتا با دامنه نوسان بالا

این روش در سیستم های کامپیوتری قدیمی تر مورد استفاده قرار می گرفت و حداکثر نرخ انتقال داده [۱] به MHz ۱۰۰ در هر کانال محدود شده و نیز مقادیر زیادی انرژی در هر بیت انتقال یافته تلف می شود. (دامنه نوسان هر داده انتقالی از gnd=”۰” تا Vdd=”۱” می باشد.) و نیز علاوه بر توان مصرفی بالا، مهمترین محدودیت این روش این است که نرخ انتقال دیتا با پیشرفت پروسه متنا سب نمی باشد و به خاطر همین محدودیت (روش نامناسب انتقال دیتا) باس خروجی بسیاری از ریزپردازنده های مدرن علی رغم پیشرفت پروسه ی ساختشان ، با جزء بسیار کوچکی از نرخ کلاک داخلی شان کار می کنند.

در این روش یک معکوس کننده[۲] هم به عنوان درایور و هم به عنوان گیرنده مورد استفاده قرارمی گیرد و خط در طرف گیرنده ترمینیت[۳] نمی شود. بنابراین چون مقاومت خروجی درایور زیاد است (۳۰۰ اهم)، درایور نمیتواند ولتاژ خط خروجی را سریع به یکی از دو مقدار نهایی "۰" یا "۱" برساند پس سرعت انتقال دیتا در این روش کند می باشد و همانطور که در شکل ۲-۱ نشان داده شده است ، برای اینکه درایور ، ولتاژ خروجی خط را به مقدار نهایی برساند نیاز به چند سیکل زمان دارد. این خاصیت باعث می شود که طول بیشینه خطوط ارتباطی به طور خطی با افزایش نرخ انتقال دیتا[۴] کاهش یابد (حتی در یک خط بدون تلفات).



شکل ۲-۱ : شکل موج ولتاژ دریافتی در گیرنده در روش انتقال دیتا با دامنه نوسان بالا

[۱] Maximum data rate
[۲] inverter
[۳] terminate
[۴] data rate

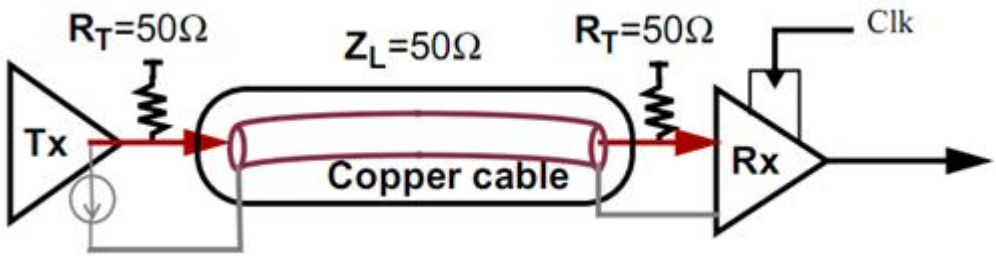
این اثر ringing up [۵] علاوه بر افزایش تاخیر در رسیدن خروجی به مقدار نهایی به دو علت حساسیت سیستم به نویز را بسیار افزایش می دهد :

۱- در حالی که خط هنوز در یک ولتاژ میانی است و به مقدار نهایی نرسیده است ممکن است چندین بار در نود های مختلف ، گذر [۱]به ولتازهای مختلف داشته باشیم پس نویز حالت گذرا بیشتر شده و نیز اینکه چون ممکن است ولتاژ میانی که خط در آن قرار دارد در حول Vth باشد در خطوط حساس به لبه مانند کلاک ها احتمال پیشامد یک خطای منطقی وجود دارد.

۲- چون خط ترمینیت نشده ، دیتا های برگشتی تداخل ایجاد کرده و نویز افزایش می یابد.

۲-۲-۲ انتقال دیتا با دامنه نوسان کم[۲]

یک سیستم انتقال دیتا با دامنه نوسان کم که محدودیت های روش قبل را ندارد در شکل ۲-۲ آورده شده است:



شکل ۲-۲ : نمای کلی یک سیستم انتقال دیتا با دامنه نوسان کم

در این روش یک فرستنده منبع جریان[۳] خط انتقال را با جریانهای در حدود چند میلی آمپر را درایو کرده و یک سوئینگ ولتاژ ی بین ۱۰۰mv تا ۱ v را ایجاد می کند . خط از هر دو طرف با مقاومت های ۵۰ اهمی ترمینیت شده است. ترمینیت کردن فرستنده باعث می شود با جذب سیگنال بازتاب یافته از اثر cross talk و تغییرات امپدانس جلوگیری به عمل آید و نیز ترمینیت کردن گیرنده باعث می شود از هرگونه

[۱] Transient
[۲] Low Swing Signaling
[۳] Current Source Transmitters

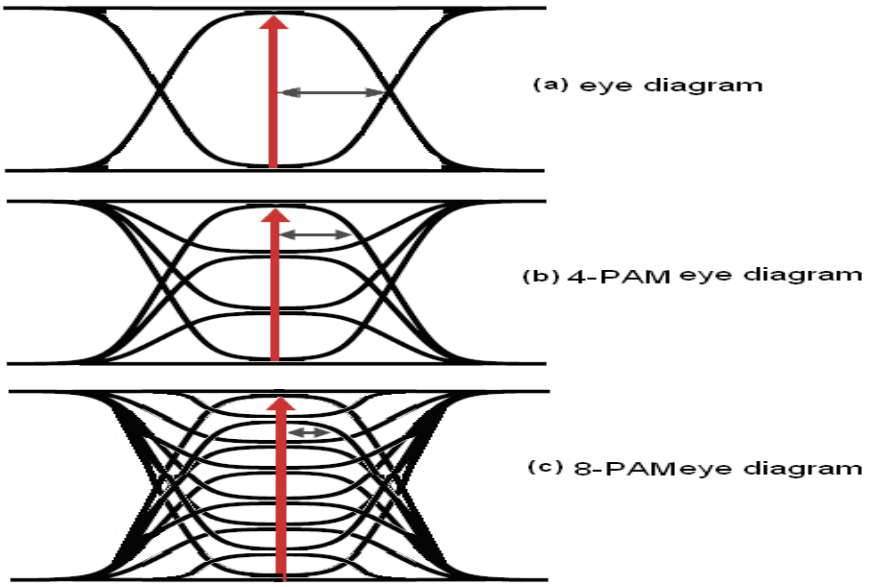
تداخل ناشی از سیگنال که از گیرنده می آید جلوگیری شود . در این روش یک تقویت کننده با گین بالا و آفست[۱] کم (mv ۴۰ – ۳۰) نیز در گیرنده نیاز داریم . در این روش چون دامنه نوسان ولتاژ کم است توان مصرفی هم کمتر می باشد . در این روش نرخ انتقال دیتا مستقل از طول خط است و قبل از اینکه سمبل قبلی به گیرنده برسد سمبل جدید متواند روی خط ارسال شود. در این روش اگرچه سطح ولتاژهای مرجع کمتر میباشد و حاشیه نویز کمتری داریم ولی چون نویز به صورت common mode ظاهر میشود روی گیرنده دیفرانسیلی اثری ندارد.

۲-۳ مدولاسیون

در طول خط انتقال داده ها به صورت دیجیتال و در دو سطح ولتاژ "۰ "و "۱" ارسال می شوند اما با استفاده از سمبل های پیچیده تر که شامل چند بیت در طول هر زمان انتقال سمبل [۲] نرخ انتقال داده بیشتری در طول خط انتقال امکان پذیر است که برای این منظور روش مدولاسین عرض پالس چند سطحی[۳] به دلیل سادگی و سرعت بالاتر یکی از روش هایی است که بسیار مورد استفاده قرار میگیرد . پهنای باند لازم برای یک نرخ بیت[۴] می تواند با انتقال چند بیت در یک زمان سمبل کاهش یابد. [۶]در روش مدولاسیون عرض پالس چند سطحی هر سمبل $\log_2 M$ بیت داده را انتقال می دهد و در واقع نرخ سمبل موثر را با ضریب $\log_2 M$ کاهش می دهد. به عبارت دیگر هر نمونه ارسالی شامل n بیت میباشد که با استفاده از 2^n سطح ولتاژ مختلف ارسال می شود به این ترتیب سرعت انتقال داده n برابر افزایش می یابد . در شکل زیر دیاگرام چشمی[۵] مربوط به انتقال داده با روش های ۲PAM ، ۴PAM و ۸PAM را نشان می دهد.

---

[۱] Offset
[۲] symbol time
[۳] MPAM
[۴] bit rate
[۵] eye diagram



شکل ۲-۳ : دیاگرام چشمی انتقال دیتا به روش های ۲PAM ، ۴PAM و ۸PAM

همانطور که مشاهده می شود یکی از معایب این روش این است که افزایش تعداد سطح باعث کاهش فاصله آن ها از هم و نیز کاهش عرض دیاگرام چشمی و در نتیجه باعث کاهش دقت تشخیص داده در گیرنده می شود با توجه به نتایج شبیه سازی در گوشه ها و در دماهای مختلف تفاوت مرزهای سطوح در شرایط مختلف باعث کاهش دقت تشخیص داده می شود با توجه به مزایا و معایب مطرح شده در این پروژه از روش۴PAM استفاده شده است.

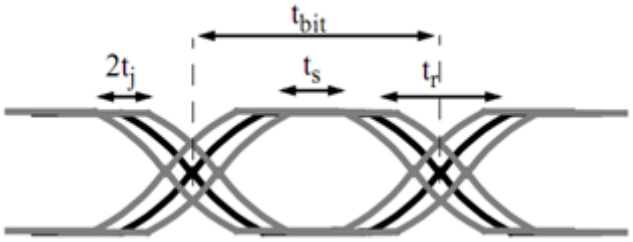
۲-۴ محدودیت های انتقال داده

محدودیت های انتقال داده به صورت سریال با سرعت بالا شامل محدودیت های الکترونیکی و محدودیت های پهنای باند کانال می باشد.

۲-۴-۱ محدودیت های الکترونیکی

در شکل زیر یک دیاگرام چشمی برای تشریح اثر نویز بر روی کمترین زمان بیت ممکن[۱] یا بعبارت دیگر بیشترین نرخ انتقال بیت رسم شده است :

[۱] bit time



شکل ۲-۳ : دیاگرام چشمی برای تشریح محدودیت کمترین زمان بیت ممکن

برای اینکه دقت و عملکرد یک سیستم انتقال داده بالا باشد باید نرخ خطای بیت[۱] کم باشد که این خطا ناشی از نویز بر روی سیگنال ارسالی و نیز نویز در مدارات گیرنده است.[۵] محدودیت سرعت انتقال دیتا ناشی از سه عامل زیر است:

۱- جیتر زمانی[۲]: اختلاف بین سریع ترین و کندترین شکل موج (t_j)

۲- زمان نمونه برداری[۳] : زمانی که طول میکشد تا گیرنده از سیگنال نمونه برداری کند. (t_s)

۳- زمان گذر[۴]: زمانی که برای گذر بین حالت ها نیاز است(t_r) .

زمان سمبل (t_{sym}) باید به اندازه کافی بزرگ باشد تا بتواند تغییرات ایجاد شده ناشی از جیتر زمانی ، زمان نمونه برداری و زمان گذر را جبران نماید که رابطه زیر بیانگر همین مطلب می باشد:

$$t_{bit} \geq t_j + t_s + t_r$$

به عبارت دیگر دیگرام چشمی باید به اندازه کافی بزرگ باشد تا دیتا به درستی تشخیص داده شود و نویز در تشخیص دیتا خطا ایجاد ننماید.

۲-۴-۲ محدودیت پهنای باند

مدار چاپی(PCB)، کابل کواکسیال ، کابل های زوج به هم تابیده[۵] به عنوان کانال ارتباطی در یک فرستنده_گیرنده می توانند عمل کند و سیگنال انرزی را ذخیره و منتشر نمایند. هر قسمت کوچک خط را میتوان به صورت یک مجموعه RLC در نظر گرفت[۵] :

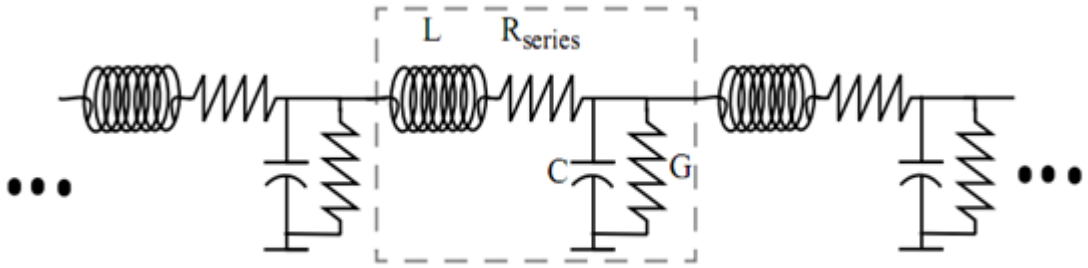
[۱] Bit error rate

[۲] Timing Jitter

[۳] Sampling Time

[۴] Transition Time

[۵] Twisted Pair



شکل ۲-٤ : مدل RLC یک خط انتقال

R و G المانهای اتلاف سیگنال هستند که R نمایانگر مقاومت خط وG نشان دهنده ی کامل نبودن دی الکتریک است. C نشانگر خازن بین دو خط و L اثر سلفی خط را نشان می دهد. (البته بر اثر استحفاظ[۱] وکوپلینگ[۲] نامناسب انرژی سیگنال ممکن است به خاطر تابش[۳] هم تلف شود که البته این نوع تلفات برای مسافت های محدود مورد نظر این پایان نامه در مقایسه با تلفات ناشی از R وG قابل صرفنظر کردن است.)

مهمترین نوع تلفات در خطوط ارتباطی که از هادی ها برای انتقال دیتا استفاده می شود به دلیل مقاومت های اثر پوستی[۴] [۷] می باشد. این اثر می تواند به صورت مقاومت های سری مدل شود. وقتی جریان AC با فرکانس بالا از یک هادی عبور میکند ، یک میدان مغناطیسی ایجاد می شود که این میدان مغناطیس اثر نیروی لورنتس[۵] را افزایش می دهد(هر گاه یک ذره باردار در یک میدان مغناطیسی که هم میدان الکتریکی وجود دارد و هم میدان مغناطیسی قرار گیرد، در این صورت براین ذره باردار نیرویی وارد می شود که به صورت مجموع نیروی الکتریکی و نیروی مغناطیسی تعریف می شود که همان نیروی لورنتس است و جهت آن طبق قانون دست راست تعیین می شود به این صورت که اگر انگشت شست دست راست در جهت سرعت لحظه ای ذره باشد ، انگشت اشاره جهت میدان مغناطیسی و خمش انگشتان جهت نیروی لورنتس را نشان می دهد). این نیرو الکترونها را به سطح می راند و در واقع مسیر عبور سیگنال تنگتر میشود پس هرچه فرکانس بیشتر باشد میدان مغناطیسی بیشتر در نتیجه نیروی لورنتس بیشتر شده و در نتیجه

---

[۱] shielding
[۲] coupling
[۳] radiation
[۴] skin effect resistance
[۵] Lorentz Force

مسیر عبور سیگنال تنگتر می شود . در واقع مقامت مسیر سیگنال یک مقاومت وابسته به فرکانس است .میزان نفوذ سیگنال در هادی طبق رابطه زیر تعریف شده بنابراین با افزایش فرکانس مسیر عبور سیگنال کوچک شده در واقع مقاومت زیاد می شود .μ نفوذپذیری هادی ، σضریب رسانش هادی و f فرکانس سیگنال است بنابراین مقاومت پوستی کابل به صورت رابطه ۲- □ ۲ است .

$$\delta = \frac{1}{\sqrt{\pi \cdot f \cdot \mu \cdot \sigma}} \qquad (۱-۲)$$

$$R_{skin} = \frac{1}{2 \cdot r_0 \cdot \sigma \cdot \delta} \qquad (۲-۲)$$

البته باید توجه داشت که روابط مربوط به تغییرات مقاومت با فرکانس به خاطر اثر پوستی فقط برای فرکانس های بالاتر از فرکانس پوستی F_{skin} معتبر است برای فرکانس های کمتر از فرکانس پوستی ، چگالی جریان به صورت یکنواخت در کل سطح مقطع هادی جریان میابد و مقاومت سیم به مقدار DC آن نزدیک میباشد.

با برخی مواد عایق ، جذب دی الکتریک باعث ایجاد یک تضعیف وابسته به فرکانس می شود و در واقع به علت ناکامل بودن دی الکتریک مقداری از انرژی انتشار یافته در خط تلف میشود این تلفات به صورت یک G که بین سیم و زمین است مدل میشود که این اثر را میتوان با استفاده کردن از عایق هایی با تلفات کم[۱] حذف کرد که به دلیل محدودیت هایی که در ساخت کابل ها و PCB ها داریم خیلی به صورت عملی ممکن نیست . تلفات دی الکتریک G به صورت خطی با فرکانس افزایش می یابد . قابل ذکر است که برای کابلهای کواکسیال و کابل های زوج به هم تابیده تلفات ناشی از اثر پوستی بیشتر است و تلفات ناشی از دی الکتریک قابل چشم پوشی است اما در مورد PCB ها عکس این موضوع صدق میکند.

در این پروژه از یک کابل کواکسیال (RG/۲۲۳U) استفاده شده است که در شکل ۲-۶ پاسخ فرکانسی این کابل نشان داده شده است . با توجه به شکل پهنای باند کابل یک محدودیت اساسی برای برای انتقال دیتاست و این عامل موجب افت سیگنال میشود. خاصیت پایین گذر خط موجب حذف مولفه های فرکانس

[۱] low-loss