پایان نامه کارشناسی ارشد الکترونیک

کاهش نویز فاز

در اسیلاتور کنترل شونده با ولتاژ تکنولوژی CMOS

از طریق تزریق سیگنال کوچک

مژده مومنی

استاد راهنما:

دکتر هومن نبوتی

اساتید دفاع:

دکتر عباس گلمکانی

دکتر امیر مسعود امینیان

بهمن ماه ۱۳۹۲

تقدیم به

پدر ارجمند و مادر نازنینم

که داشته‌هایم همواره مرهون راهنمایی و مهربانی بی‌پایانشان بوده و خواهد بود.

چکیده

طراحی اسیلاتور با نویز فاز کمتر، همواره مدنظر طراحان بوده است. در میان اسیلاتورهای مختلف، اسیلاتورهای LC به دلیل عملکرد نویز فاز بهتر، مصرف توان کمتر، ساختار تفاضلی و پیاده‌سازی آسان نسبت به سایر اسیلاتورها نقش مهمی را در طراحی مدارهای فرکانس بالا ایفا می‌کنند.

ابتدا مروری بر برخی از روش‌های کاهش نویز فاز انجام شده و یک روش با استفاده از نرم‌افزار ADS شبیه‌سازی شده است. در ادامه، آنالیز تفصیلی کاهش نویز فاز از طریق تزریق سیگنال کوچک مورد تحلیل قرار گرفته است. ابتدا اسیلاتور تحت تزریق سیگنال، مورد بررسی و آنالیز قرار گرفته، سپس ماکزیمم فاصله فرکانس تزریق از مقدار واقعی فرکانس نوسان، به ازای تزریق دامنه مشخصی از سیگنال، محاسبه شده و به دنبال آن، به تحلیل ناحیه قفل اسیلاتور پرداخته شده است.

در ادامه، بررسی و تحلیل رفتار مدار پیشنهادی پس از اعمال روش یاد شده، به عنوان روشی قابل پیاده‌سازی در انواع مختلف اسیلاتور[۱]، صورت گرفته و تأثیر تزریق در هارمونیک‌های فرکانس اصلی، در کاهش نویز فاز مورد ارزیابی قرار گرفته است. نتایج حاصل از شبیه‌سازی و محاسبات انجام شده حاکی از آن است که ماکزیمم دیتیونینگ فرکانس (نصف رنج قفل) به ازای تزریق $\boldsymbol{\omega_e = \omega_0}$ برابر با $\boldsymbol{\Delta\omega_{max} \approx 2\pi * (1.6633\ MHz)}$ و در تزریق $\boldsymbol{\omega_e = 3\omega_0}$ برابر با $\boldsymbol{\Delta\omega_{max} \approx 2\pi * (5.8642\ MHz)}$ خواهد بود. این امر مؤید تأثیر بیشتر هارمونیک سوم در ایجاد ناحیه قفل وسیع‌تر برای اسیلاتور است که مفهوم آن این است که کاهش نویز فاز در بازه گسترده‌تری رخ می‌دهد.

واژگان کلیدی: اسیلاتور LC، نویز فاز، تزریق سیگنال کوچک، ناحیه قفل، هارمونیک‌های فرکانس اصلی، ماکزیمم دیتیونینگ فرکانس .

فهرست مطالب

مقدمه ۲

فصل اول: مروری بر برخی روش‌های کاهش نویز فاز در VCO تکنولوژی CMOS ٦

۱-۱- مقدمه ٦

۱-۲- کاهش نویز فاز به روش استفاده توام از کوپلاژ هارمونیک‌های اول و دوم ٦

۱-۳- کاهش نویز فاز با استفاده از روش تزویج نوسان‌سازها ۱۰

۱-٤- کاهش نویز فاز با استفاده از تکنیک تزریق متقابل اسیلاتورهای تزویج‌شده ۱۳

۱-۵- کاهش نویز فاز با استفاده از روش شکل‌دهی جریان ۱۵

۱-٦- کاهش نویز فاز حاصل از نویز فلیکر ۱۹

فصل دوم: آنالیز کاهش نویز فاز از طریق تزریق سیگنال کوچک ۲۱

۲-۱- مقدمه ۲۱

۲-۲- تحلیل نویز فاز اسیلاتور LC ۲۱

۲-۲-۱- نویز فاز اسیلاتور قبل از تزریق ۲٤

۲-۲-۲- نویز فاز اسیلاتور قفل شده ۲۵

۲-۳- پیش‌بینی میزان کاهش نویز فاز ۲۸

فصل سوم: طراحی - شبیه‌سازی و تحلیل - مقایسه ۳۰

۳-۱- مقدمه ۳۰

۳-۲- بررسی نتایج [۱] ۳۰

۳-۳- بررسی نتایج مدار پیشنهادی ۳۱

۳-۳-۱- بررسی اسیلاتور قبل از تزریق سیگنال سنکرون ۳۱
۳-۳-۲- اسیلاتور قفل تزریقی ۳۳
۳-۳-۲-۱- نحوه تخمین دامنه سیگنال تزریقی A_{inj} ۳۳
۳-٤- بررسی روشی دیگر برای کاهش نویز فاز ۳۸
فصل چهارم: نتیجه‌گیری و ارائه پیشنهاد ٤۲
٤-۱- نتیجه‌گیری ٤۲
٤-۲- پیشنهاد ٤۲
مراجع ٤۳

مقدمه

اسیلاتورها اجزای جدانشدنی سیستم‌های فیزیکی خصوصاً سیستم‌های الکترونیکی هستند. به‌عنوان مثال در سیستم‌های ارتباطی فرکانس بالا، اسیلاتورها دارای کاربرد وسیعی هستند. این تجهیزات در سیستم‌های الکترونیکی دیجیتال که نیاز به یک مرجع زمانی دارند نیز به‌منظور سنکرون‌سازی به‌کار می‌روند.

در این میان، نویز به‌واسطه ایجاد تغییرات چشمگیر در طیف خروجی اسیلاتور، همواره به عنوان یک چالش جدی مطرح بوده است. این پدیده ویژه در اسیلاتورها، با عنوان نویز فاز شناخته می‌شود. اهمیت این پدیده تا حدی است که در طراحی سیستم‌های ارتباطی، تخمین نویز فاز اسیلاتورها، از چالش برانگیزترین نکات طراحی به‌شمار می‌رود.

نوسان‌سازها و مراجع زمانی دقیق دارای کاربردهای گسترده‌ای می‌باشند. اولین و مهمترین ویژگی یک نوسان‌ساز یا یک مرجع زمانی، خلوص طیف و دقت آن است. از آن‌جایی که نویز فاز مستقیماً خلوص طیف اسیلاتورها یا دقت زمان ساعت‌ها[1] را تحت تأثیر قرار می‌دهد، مشخصه‌سازی و اندازه‌گیری نویز فاز از اهمیت وافری برخوردار است.

اسیلاتور عنصری غیرخطی است چراکه در غیر این‌صورت فرایند کنترل دامنه نوسان در آن قابل توضیح نبود. علاوه بر این به خاطر حضور سیگنال نوسان قوی و پریودیک، نوسان‌ساز عنصری تغییرپذیر با زمان نیز می‌باشد. مجموعه این‌ها باعث می‌شود تا تحلیل نویز فاز در اسیلاتورها مسأله‌ای پیچیده باشد.

این پدیده در اسیلاتورها از زوایای مختلفی مورد مطالعه قرار گرفته است. این مطالعات، طراحان مدارات الکترونیکی را در شناخت تحولات نویز فاز در اسیلاتور، همچنین تخمین دقیق‌تر و نیز طراحی مدار با نویز فاز کمتر، یاری می‌دهد.

اگرچه در پژوهش‌های اخیر، در مباحث مرتبط با نویز فاز از دیدگاه استدلالات و ریاضیات محض بهره‌گیری شده است، اما هنوز نیاز به ارائه درک بهتر و کامل‌تری از نویز فاز احساس می‌شود.

تئوری نویز در اسیلاتورهای آزادرو اولین بار توسط برستین[1] در اتحاد جماهیر شوروی در سال ۱۹۳۸ مطرح شد. از آن پس، مباحث مشابهی توسط پژوهش‌گران بسیاری از جمله ادسون[2] و مولن[3]، که تعاریف گویایی از طیف خروجی اسیلاتور ارائه نمودند، مورد بحث و بررسی قرار گرفت.

---

[1] Clocks

تئوری قفل فاز اسیلاتور نیز هم‌زمان شناخته شد. گام‌های اولیه توسط ون‌در پل[۴] در دهه ۱۹۲۰ برداشته شد. پس از آن کریلاو[۵] و بگولیوبو[۶]، هانتون[۷] و ویس[۸] و بسیاری دیگر، نتایج وی را تعمیم داده و تکمیل نمودند. این تئوری در کتاب مشهور اسلاتر[۹]، "*الکترونیک مایکروویو*"، نیز با اندکی تفاوت مطرح شده است.

پدیده قفل تزریقی نخستین بار در اوایل قرن هفدهم میلادی شناخته شد. زمانی‌که کریستین هوایجنز[۱۰] در بستر بیماری، مشاهده کرد که آونگ‌های دو ساعت دیواری که در کنار هم آویزان شده بودند، به‌صورت کاملاً هماهنگ نوسان می‌کنند. کوپل شدن دو ساعت به‌واسطه نوسانات مکانیکی که از طریق دیوار به یکدیگر منتقل می‌کردند، هوایجنز را قادر به آنالیز و تشریح هماهنگی نوسان دو آونگ نمود.

پدیده قفل تزریقی را می‌توان در تمامی سیستم‌های نوسانی شامل لیزرها، اسیلاتورهای الکتریکی و سیستم‌های بیولوژیکی و مکانیکی مشاهده نمود. به عنوان مثال، افرادی که در مکان‌های ایزوله (بدون ارتباط با محیط خارج) قرار داده می‌شوند، سیکل خواب-بیداری ۲۵ ساعته‌ای را تجربه می‌کنند. در حالی‌که هنگام بازگشت به دنیای خارج، دوباره با سیکل طبیعی زمین هماهنگ می‌شوند.

بحث هماهنگ کردن نوسان‌سازها از طریق فرایند تزریق یک‌طرفه[۱۱] و تزریق متقابل[۱۲] از سال‌ها پیش مورد بررسی بوده است. براساس این پدیده، اگر اختلاف فرکانس مرکزی نوسان‌ساز با فرکانس منبع خارجی تزریق شده، از مقدار خاصی کمتر باشد نوسان‌ساز قفل شده و نویز فاز آن کاهش می‌یابد. مبحث هماهنگ کردن نوسان‌سازها دارای کاربردهای متنوعی است که از جمله می‌توان به ترکیب توان، تنظیم جهت اشعه آرایه‌های آنتنی، کاهش نویز فاز نوسان‌سازها و ... اشاره کرد[۱]. همچنین می‌توان از این پدیده برای اندازه‌گیری نویز فاز نوسان‌سازها استفاده نمود. بررسی حالت پایدار[۱۳] نوسان‌ساز تحت تزریق یا دو نوسان‌ساز در تزریق متقابل توسط محققین زیادی صورت گرفته است[۱].

---

[1] Berstein
[2] Edson
[3] Mullen
[4] Van der Paul
[5] Krylov
[6] Bogoliubov
[7] Huntoon
[8] Weiss
[9] Slater

[۷] Christian Huygens: ریاضی‌دان برجسته هلندی، شهرت وی به‌ویژه در زمینه فیزیک و اخترشناسی است. وی مخترع پاندول ساعت و نخستین کسی است که به وجود حلقه‌های دور سیاره کیوان پی‌برد.

[11] Injection Locking
[12] Inter-Injection Locking
[13] Steady State

اگر سیگنالی به نوسان‌سازی که در حالت نوسان آزاد است تزریق شود فاز و دامنه آن مختل می‌شود. به منظور تعیین رفتار نوسان‌ساز تحت تزریق باید روابط دینامیکی آن که بیانگر رفتار فاز و دامنه هستند استخراج شوند. سیگنال خارجی نیز با منبع جریان مدل می‌شود.

با توجه به اینکه نحوه عملکرد و اطمینان‌پذیری اسیلاتور شدیدا متأثر از منابع نویز ذاتی است که باعث خراب شدن پاسخ اسیلاتور می‌شوند، یک راه مطمئن برای کاهش اثرات نویز، سنکرون کردن پاسخ اسیلاتور با یک مرجع کم‌نویز و پایدار خارجی است. در واقع در داخل این باند فرکانسی، نویز فاز خروجی از مرجع ورودی تبعیت می‌کند.

نکاتی که در تزریق سیگنال حائز اهمیت هستند به شرح ذیل می‌باشند:

- ✓ پیش‌بینی باند فرکانسی که در آن کاهش نویز فاز رخ می‌دهد، به ازای دامنه مشخصی از سیگنال تزریقی.
- ✓ تعیین مضاربی از فرکانس اصلی که پس از سنکرون‌سازی، اهمیت بیشتری نسبت به فرکانس اصلی در کاهش نویز فاز دارند.

اثرات قفل تزریقی در انواع متعددی از سیستم‌های فیزیکی قابل مشاهده است، اگرچه که این واژه بیشتر در تناظر با اسیلاتورهای الکتریکی و تشدیدکننده‌های لیزری عنوان می‌شود.
از پدیده قفل تزریقی در کاربردهای تجاری نظیر ساخت اسیلسکوپ‌ها و تلویزیون‌های جدید استفاده می‌شود. این پدیده امکان سنکرون‌سازی تجهیز با سیگنال‌های خارجی را با هزینه‌ای نسبتاً کم، فراهم می‌کند.
قفل تزریقی در مدارات فرکانس بالا نیز به‌کار می‌رود. اما اگر پیش‌بینی نشده و بدون برنامه‌ریزی باشد، عملکرد مدارات مجتمع فرکانس بالا را مختل می‌کند.
سیگنال‌های فرکانس بالا و هارمونیک‌های آنها، تهدید بالقوه‌ای برای یک اسیلاتور به‌شمار می‌روند. نشتی این سیگنال‌ها به یک اسیلاتور، که باعث بروز قفل پیش‌بینی نشده می‌شود، با عنوان قفل تزریقی ناخواسته شناخته می‌شود.
در اسیلاتورهای کنترل شونده با ولتاژ، یک سیگنال قفل تزریقی ناخواسته، می‌تواند سبب از کنترل خارج شدن اسیلاتور شود. درحالی‌که درصورت انتخاب سیگنال مناسب، قفل تزریقی موجب کاهش نویز فاز و توان مصرفی می‌شود.
یک اسیلاتور قفل تزریقی[1] عموماً بر پایه یک اسیلاتور LC زوج ضربدری بنا شده است. عملکرد این اسیلاتور بر این اصل استوار است که نوسان داخلی آن تحت شرایط خاصی، می‌تواند در فرکانس سیگنال تزریقی خارجی قفل شود.

[1] Injection Locked Oscillator (ILO)

این پدیده در دو اسیلاتور در تزریق متقابل نیز مشاهده می‌شود:

وقتی دو اسیلاتور به‌طور مستقل از هم در حالت نوسان آزاد باشند، منابع نویز آنها مستقل از هم خواهند بود. این منابع نویز باعث تولید نویز فاز و دامنه می‌شوند.

وقتی این دو نوسان‌ساز با هم از طریق فرایند تزریق متقابل در ارتباط باشند، منابع نویز موجود در هر کدام از نوسان‌سازها بر نویز دامنه و فاز دیگری اثر گذاشته و لذا دیگر فرایند نویز آنها مستقل از هم نخواهند بود.

اگر اختلاف فرکانس مرکزی نوسان آزاد نوسان‌سازها از مقدار مشخصی که پهنای باند قفل نامیده می‌شود، کمتر باشد این دو نوسان‌ساز با هم هماهنگ شده و با فرکانسی مشترک نوسان می‌کنند.

فصل اول: مروری بر برخی روش‌های کاهش نویز فاز در VCO تکنولوژی CMOS

۱-۱- مقدمه

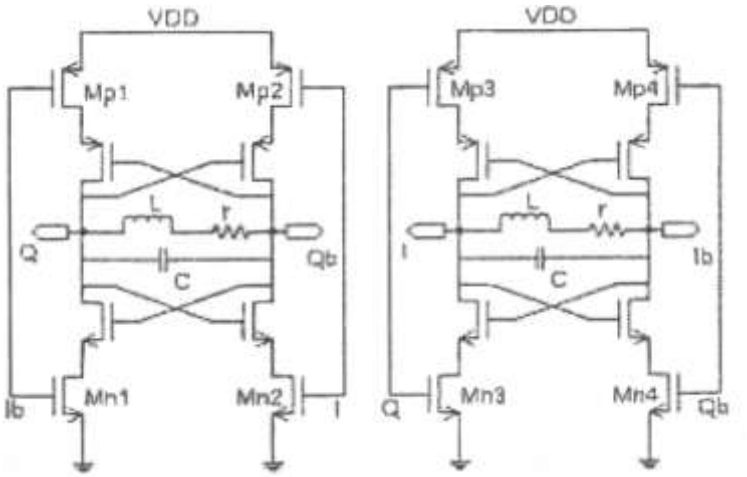
تکنیک‌های گوناگونی برای کاهش نویز فاز وجود دارد که از این میان می‌توان به روش استفاده توام از کوپلاژ هارمونیک‌های اول و دوم، روش تزویج نوسان‌سازها، تکنیک تزریق متقابل اسیلاتورهای تزویج شده، روش شکل‌دهی جریان[1] اشاره نمود.

در این بخش به تبیین، بررسی و مقایسه چند مقاله با هدف کاهش نویز فاز در VCOها پرداخته خواهد شد. در نهایت استفاده از ترانزیستور PMOS بجای ترانزیستور NMOS به منظور کاهش نویز فاز حاصل از نویز فلیکر، در محیط نرم‌افزار ADS شبیه‌سازی شده است.

۱-۲- کاهش نویز فاز به روش استفاده توام از کوپلاژ هارمونیک‌های اول و دوم

در این روش، تزریق سری از سورس[2] بر اساس استفاده توام از دو ساختار کوپلاژ Cascode و کوپلاژ تزریق موازی ارائه شده است[۲]. ساختار ارائه شده دارای ویژگی هر دو روش بوده و عملکرد نویز فاز و دقت تعامد فاز بسیار خوبی دارد. در [۳]، پس از معرفی دو نوسان‌ساز کوپل شده QVCO با نویز فاز بسیار کم و دقت تعامد بالا، به بررسی روش پیشنهادی پرداخته شده است.

در روش نوسان‌سازهای کوپل شده در طراحی QVCO ، بین دقت تعامد فازها و میزان نویز فاز نوسان‌ساز، یک موازنه وجود دارد. نوسان‌ساز کوپلاژ Cascode از طرح کوپلاژ بهینه برای بهبود عملکرد نوسان‌ساز استفاده می‌کند و نویز فاز را در حدود 6dB نسبت به QVCO کوپل شده متداول بهبود می‌بخشد. این ساختار در شکل ۱-۱ نشان داده شده است.



شکل ۱-۱- نوسان‌ساز با خروجی متعامد (QVCO) کوپلاژ کسکودی[۲]

[1] Current-Shaping
[2] Source-Injection Source Coupling

همانطورکه در شکل بالا دیده می‌شود ترانزیستورهای کسکودی M_{n1} تا M_{n4} و M_{p1} تا M_{p4} برای کوپلاژ دو نوسان‌ساز به کار رفته‌اند[۲]. این ترانزیستورها در ناحیه Triod (اهمی) بایاس شده‌اند و به عنوان مقاومت با خازن-های گیت – سورس، شیفت فاز ۹۰^{o} ایجاد می‌کنند. وجود این شیفت فاز ۹۰^{o} باعث می‌شود که هرکدام از VCOها دقیقا در فرکانس نوسان طبیعی مدار تانک نوسان کنند و لذا نویز فاز مطلوب بدون از دست دادن دقت تعامد فازهای خروجی، به دست آید. علیرغم مؤثر بودن این روش در بهبود نویز فاز با دقت خوب تعامد فازهای خروجی، همچنان موازنه[1] بین دقت تعامد و نویز فاز، محدود کننده می‌باشد.

افت عملکرد نویز فاز نوسان‌سازهای QVCO به دلیل جابجایی فرکانس نوسان از فرکانس نوسان طبیعی مدار تانک می‌باشد که این به دلیل لزوم ایجاد اختلاف فاز۹۰^{o} بین سیگنال ورودی و خروجی نوسان‌ساز می‌باشد. این جابجایی فرکانس نوسان باعث افت ضریب کیفیت (Q) مؤثر مدار تانک شده و لذا باعث افزایش نویز فاز نوسان‌ساز می‌شود. یک روش برای جبران این اثر، استفاده از کوپلاژ هارمونیک دوم در طراحی نوسان‌سازهای QVCO است. در این روش ایجاد اختلاف فاز۱۸۰ درجه بین هارمونیک‌های دوم نوسان در دو نوسان‌ساز باعث می‌شود که هارمونیک‌های اول آنها نیز در اختلاف فاز ۹۰ درجه از هم نوسان کنند و لذا تعامد فاز به وجود می‌آید. مشکل اصلی در این نوسان‌سازهای کوپلاژ هارمونیک دوم، عدم اطمینان از قفل شدن فرکانس نوسان در دو نوسان‌ساز می‌باشد. در واقع وجود عدم تطابق[2] بین مدارهای تانک دو نوسان‌ساز باعث به وجود آمدن فرکانس ضربان در خروجی‌های QVCO می‌شود. این نتیجه در شبیه‌سازی‌های مداری قابل رویت می‌باشد[۲].

یک مثال از روش کوپلاژ هارمونیک‌های دوم در طراحی نوسان‌سازهای QVCO، ساختار کوپلاژ موازی از سورس[3] (SIPC) می‌باشد[۳]. این ساختار نیز به Mismatch مدارهای تانک دو نوسان‌ساز حساس می‌باشد.

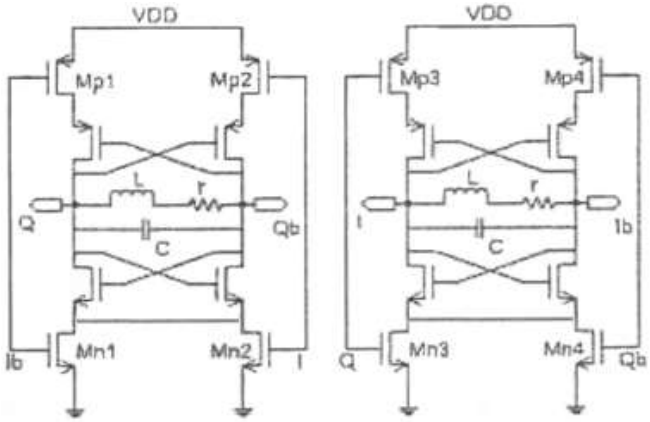
در ساختار SIPC، هارمونیک دوم در گره مشترک سورس ترانزیستورهای طبقه تفاضلی به وجود می‌آید و هارمونیک‌های دوم ایجاد شده در گره سورس مشترک ترانزیستورها، به هسته اصلی نوسان‌سازها تزریق می‌شود[۳]. وجود اندکی اختلاف فاز بین هارمونیک‌های دوم نوسان‌سازها باعث می‌شود که حلقه کوپلاژ به گونه-ای عمل کند که اختلاف فاز بین هارمونیک‌های دوم زیاد شود و در نهایت به ۱۸۰ درجه میل کند. اختلاف فاز ۱۸۰ درجه بین هارمونیک‌های دوم باعث به وجود آمدن اختلاف فاز ۹۰ درجه بین هارمونیک‌های اول و لذا به وجود آمدن خروجی‌های متعامد می‌شود. در برخی موارد از یک ترانسفورمر برای ایجاد اختلاف فاز ۱۸۰ درجه بین هارمونیک‌های دوم استفاده شده است که اشکال اصلی آن تحقق ترانسفورمر خوب، روی تراشه می‌باشد[۳].

نظیر آرایش درین مشترک در ساختار SIPC، می‌توان از آرایش سورس مشترک نیز برای تولید هارمونیک دوم، استفاده کرد[۳].

---

[1] Trade-off
[2] Mismatch
[3] Source-Injection Parallel Coupling

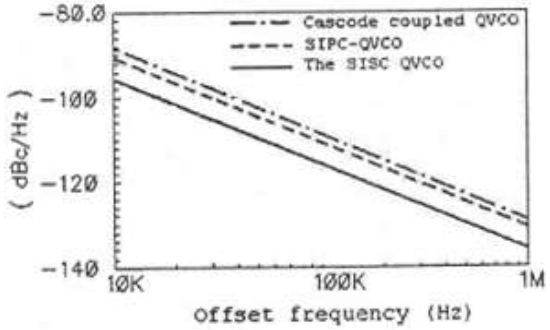
وجود پارامتر مدولاسیون طول کانال (λ) در ترانزیستورهای CMOS و وابستگی جریان ترانزیستورها به ولتاژ درین – سورس (Vds) ترانزیستورها، دلیل به وجود آمدن هارمونیک دوم در خروجی می‌باشد. حال از این روش می‌توان به ارائه ساختار جدید کوپلاژ سری تزریق سورس و یا SISC[1] پرداخت[۳].



شکل ۱-۲- نوسان‌ساز متعامد SISC پیشنهاد شده در [۳]

ساختار پیشنهادی بر اساس به کارگیری ساختار کوپلاژ کسکودی و همچنین روش SIPC است که هر دو ساختار از ساختارهای خوب برای طراحی نوسان‌سازهای QVCO از لحاظ نویز فاز و دقت تعامد فازهای خروجی می‌باشند. ساختار پیشنهادی SISC در شکل ۱-۲ نشان داده شده است[۱۱]. هسته اصلی این ساختار در واقع ساختار کوپلاژ کسکودی است که از کوپلاژ هارمونیک‌های اول برای تحقق QVCO استفاده شده است. ترانزیستورهای M_{p1} تا M_{p4}، کوپلاژ هارمونیک‌های اول را ایجاد می‌کنند و ترانزیستورهای M_{n1} تا M_{n4} کوپلاژ هارمونیک‌های دوم را برقرار می‌سازند. گره درین مشترک ترانزیستورهای M_{n1} و M_{n2} در فرکانس هارمونیک دوم ($2\omega_0$) نوسان می‌کند و هارمونیک دوم نوسان‌ساز دوم را به این نوسان‌ساز تزریق می‌کند[۳]. این ساختار از عملکرد نویز فاز بهتری برخوردار است.

نتایج شبیه‌سازی: براساس ساختار پیشنهادی در شکل ۱-۲، یک نوسان‌ساز QVCO با فرکانس مرکزی 1.8GHz با تکنولوژی 0.18μCMOS در ولتاژ تغذیه 1.8v طراحی شده است[۳].



شکل ۱-۳- نتایج شبیه‌سازی نویز فاز SpectreRF برای سه نوسان‌ساز کوپلاژ کسکودی، SIPC و نوسان‌ساز پیشنهادی SISC [۳]

[1] Source-Injection Serial Coupled

ابعاد ترانزیستورهای M_p و M_n به نسبت ۳ به ۱ انتخاب شده است تا g_m یکسانی برای آنها حاصل شود. ابعاد ترانزیستورهای کوپلاژ PMOS نیز حدود ۵ تا ٦ برابر ابعاد ترانزیستور M_p می‌باشد تا دقت تعامد فاز خوبی به دست آید.

علاوه بر طراحی یک QVCO بر اساس ساختار پیشنهادی، دو نوسان‌ساز QVCO دیگر نیز بر اساس ساختارهای SIPC و کوپلاژ کسکود طراحی گردیده است. عملکرد سه نوسان ساز طراحی شده، در فرکانس نوسان یکسان و با مدار تانک یکسان مقایسه می‌گردد.

نتایج شبیه‌سازی نویز فاز نوسان‌سازها با SpectreRF در شکل ۱-۳ نشان داده شده است[۳]. همانطورکه در این شکل دیده می‌شود، نویز فاز نوسان‌ساز با ساختار پیشنهاد شده حدود -136dBc/Hz در فرکانس افست 1MHz است که نشان می‌دهد عملکرد نویز فاز نوسان‌ساز پیشنهادی حدود 7.3dB و 5dB از نوسان‌سازهای SIPC و کوپلاژ کسکودی به ترتیب کمتر می‌باشد. در ضمن مصرف توان نوسان‌ساز پیشنهادی حدود 17mW است در حالیکه مصرف توان نوسان‌سازهای SIPC و کوپلاژ کسکودی به ترتیب حدود 28.8mW و 11.2mW می‌باشد.

برای مقایسه بهتر این سه نوسان‌ساز از معیار ضریب شایستگی[1] استفاده می‌کنیم که به صورت زیر بیان می‌شود[۳]:

$$\boldsymbol{FOM = 10log\left[\left(\frac{\omega_0}{\Delta\omega}\right)^2 . \frac{1}{L(\Delta\omega).P}\right]} \qquad (۱-۱)$$

که در آن P توان مصرفی برحسب میلی وات و ω_0 فرکانس نوسان بر حسب رادیان بر ثانیه می‌باشد. معیار ضریب شایستگی برای یک نوسان‌ساز هرچه بزرگتر باشد حاکی از عملکرد بهتر آن نوسان‌ساز از نظر نویز فاز و مصرف توان می‌باشد.

این معیار برای نوسان‌ساز پیشنهادی حدود 188.7 به دست می‌آید[۳] در حالیکه برای نوسان‌سازهای SIPC و کوپلاژ کسکودی به ترتیب 181.3 و 183.3 حاصل می‌شود[۲].

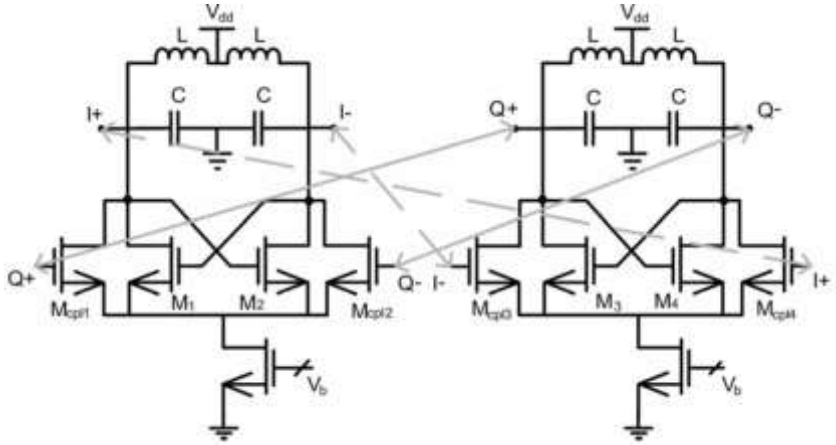
در [۳]، دو ساختار کوپلاژ کسکودی و SIPC که بهترین ساختارها برای طراحی نوسان‌سازهای QVCO از نظر معیار ضریب شایستگی می‌باشند، مورد بررسی قرار گرفته است و در نهایت ساختاری بر اساس تلفیق دو ساختار با هدف استفاده از کوپلاژ توام هامونیک‌های اول و دوم ارائه گردید. ساختار SISC پیشنهادی، از عملکرد نویز فاز بهتری نسبت به دو ساختار قبلی برخوردار است.

[1] Figure of Merit

۱-۳- کاهش نویز فاز با استفاده از روش تزویج نوسان‌سازها

روشی که امروزه به‌طور وسیعی برای تولید سیگنال‌های متعامد به کار می‌رود تزویج دو نوسان‌ساز دارای تشدید LC، به نحوی است که خروجی‌های متعامد تولید کنند. این دسته از نوسان‌سازهای متعامد به دلیل نویز فاز بسیار پایین نوسان‌سازهای LC، نیاز سیستم‌های مخابراتی نوین را برآورده می‌کنند. یک گروه از نوسان‌سازهای متعامد، نوسان‌ساز متعامد "موازی" نام دارند (چون ترانزیستورهای تزویج کننده M_{cp1} به موازات ترانزیستورهای اتصال ضربدری M_{1-4} قرار دارند)، توسط رفوگران [٤] ارائه شد که در آن دو نوسان‌ساز هسته بطور "همفاز – فاز متقابل" توسط چهار ترانزیستور M_{cpl} به یکدیگر تزویج شده‌اند.

در مدار ارائه شده در [٥]، دو نوسان‌ساز اتصال ضربدری LC یکسان از طریق زیرلایه[1] های ترانزیستورهای اتصال ضربدری و ترانزیستورهایی که نقش خازن متغیر دارند، به یکدیگر تزویج شده‌اند. در این مدار نیازی به هیچ قطعه اضافی برای تزویج دو نوسان‌ساز هسته نیست و در نتیجه هیچ منبع نویز و توان مصرفی به مدار اضافه نمی-شود که باعث بهبود نویز فاز و کاهش توان مصرفی در مقایسه با مدارهای مشابه می‌گردد. ولتاژ تغذیه این مدار $0.5V$ می‌باشد.



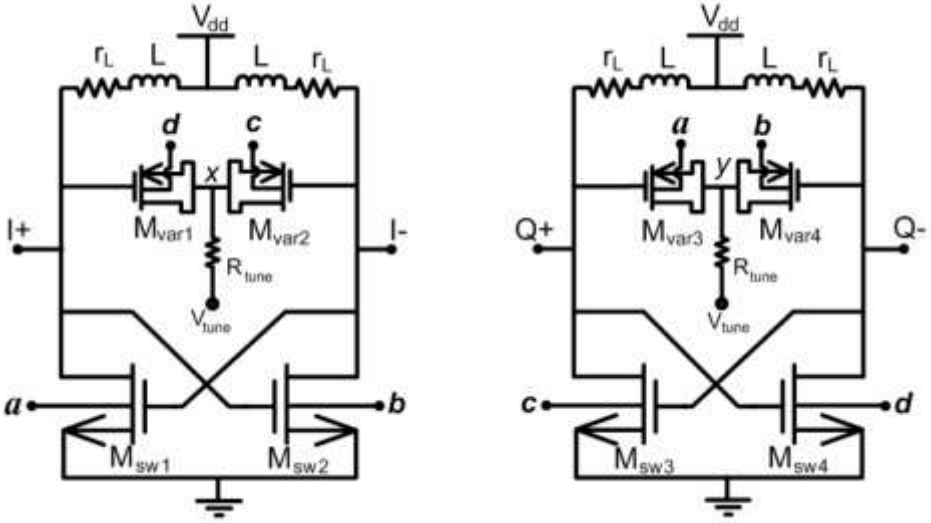
شکل ۱-٤- نوسان ساز متعامد رفوگران[٤] (خطوط ممتد اتصال "همفاز" و خطوط خط-چین اتصال "فاز متقابل" را نشان می دهند.)

روش اتصال "همفاز- فاز متقابل" رفوگران، در بسیاری از نوسان‌سازهای متعامد بصورت الگو مورد استفاده قرار گرفته است. حتی در برخی موارد ترانزیستورهای تزویج‌کننده بطور سری با ترانزیستورهای اتصال ضربدری قرار داده شده‌اند که منجر به بهبود نویز فاز و کاهش توان مصرفی نسبت به نوسان‌ساز رفوگران شده است[٥]. اما سری قرارگرفتن ترانزیستورها سبب کاهش گستره تنظیم و نامناسب بودن این نوسان‌ساز در مدارات ولتاژ پایین می‌شود. بهبود نویز فاز مدار، از جایگزینی ترانزیستورهای تزویج‌کننده با عناصر کم‌نویزی مانند خازن به دست آمده است. گاه دو نوسان‌ساز هسته از طریق زیرلایه‌های ترانزیستورهای اتصال ضربدری توسط خازن به یکدیگر تزویج شده‌اند. اگر چه خازن ذاتا یک عنصر بدون نویز است اما می‌تواند با انتقال نویز زیرلایه سبب افزایش نویز فاز شود[٥]. علاوه بر این، نویز گرمایی مقاومت‌هایی که در دو ساختار اخیر وجود دارند سبب افزایش نویز فاز می‌شوند. در برخی از

[1] Bulk

نوسان‌سازهای متعامد، برای تزویج دو نوسان‌ساز هسته از القاگرهای داخل تراشه استفاده شده است که مشکل اساسی این ساختارها، مساحت بسیار زیاد مورد نیاز برای پیاده‌سازی القاگرها و افزایش نویز فاز به علت پایین بودن ضریب کیفیت این القاگرها می باشد[٦].

در [٥] مداری برای نوسان‌ساز متعامد هماهنگ اول LC، با هدف کاهش نویز فاز، ارائه شده که نیازی به هیچ عنصر تزویج کننده اضافی ندارد.

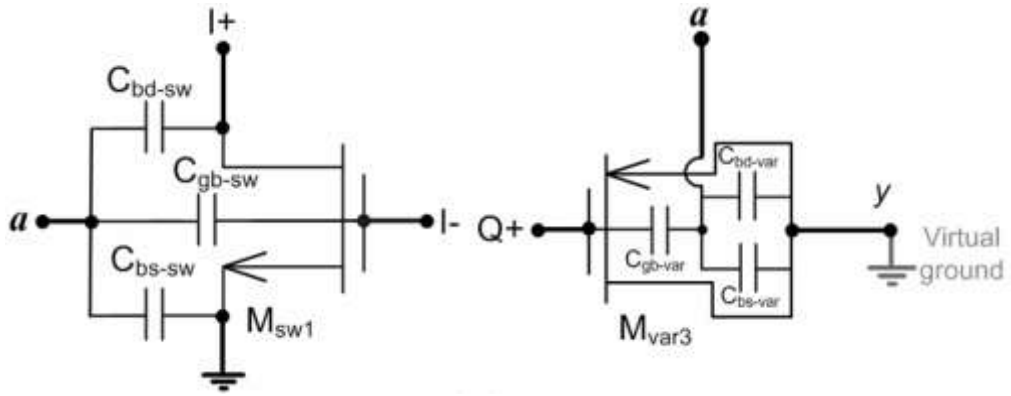


شکل ١-٥- مدار نوسان‌ساز متعامد[٥] (مقاومت‌های r_L تلفات اهمی سلف‌ها را مدل می‌کنند)

از آنجاییکه در این ساختار، زیرلایه ترانزیستورهای اتصال ضربدری در پتانسیل‌های متفاوتی قرار دارند، هرکدام از ترانزیستورهای اتصال ضربدری M_{SW1-4} باید در چاهک‌های[1] جداگانه قرار داشته باشند. همان‌گونه که در شکل ١-٥ ملاحظه می‌شود، هیچ عنصر تزویج کننده اضافی به کار برده نشده است.

ایده اصلی این مدار به کارگیری زیرلایه ترانزیستورهای M_{var1-4} است که نقش خازن متغیر را دارند، و همچنین استفاده از زیرلایه ترانزیستورهای اتصال ضربدری M_{SW1-4}، برای تزویج دو نوسان‌ساز هسته می‌باشد. همانطورکه در شکل ١-٥ مشاهده می‌شود زیرلایه ترانزیستورهای M_{var3} و M_{var4} به صورت "هم‌فاز" به زیرلایه ترانزیستورهای M_{sw1} و M_{sw2} ، و زیرلایه ترانزیستورهای M_{var1} و M_{var2} در "فاز متقابل" به زیرلایه ترانزیستورهای اتصال ضربدری M_{sw3} و M_{sw4} متصل شده‌اند. در این مدار خازن‌های گیت-زیرلایه[2] ترانزیستورهای M_{var1-4} و خازن گیت-بالک و خازن بالک-درین ترانزیستورهای اتصال ضربدری (شکل ١-٦)، نقش عناصر تزویج‌کننده بین دو نوسان‌ساز هسته را دارند، از این‌رو نیاز به هرگونه عنصر تزویج‌کننده اضافی برطرف شده است.

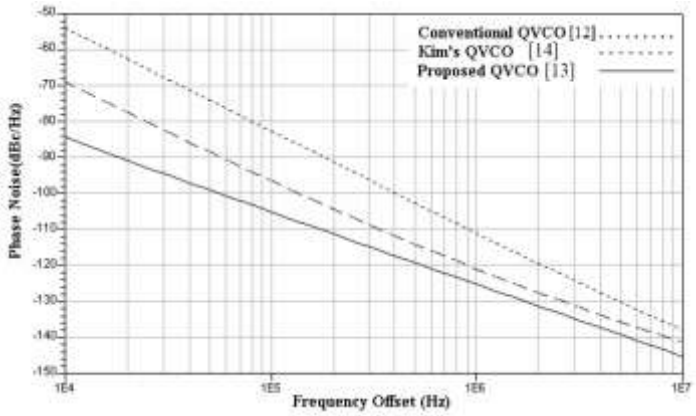
[1] Wells
[2] Gate-Bulk



شکل ۱-٦- خازن‌های ذاتی ترانزیستورهای اتصال ضربدری و ورکتورها که عمل تزویج را انجام می دهند[۵].

این نکته قابل ذکر است که اگرچه اندازه خازن گیت-بالک در ناحیه وارونگی قوی[1] کوچک است، اما اندازه این خازن در دیگر نواحی قابل ملاحظه می‌باشد. شبیه‌سازی‌ها نشان می‌دهد که ترانزیستورهای M_{var1-4} در بخش بزرگی از یک دوره تناوب خاموش هستند[۵]، در نتیجه خازن گیت-بالک آنها به اندازه‌ای بزرگ هستند که بتوانند تزویج کافی میان دو نوسان‌ساز هسته را تضمین کنند.

شکل ۱-۷ مقایسه‌ای از نویز فاز شبیه‌سازی شده نوسان‌ساز [۵] با دو نوسان‌ساز مشابه نشان داده شده است. مشاهده می‌شود که نویز فاز نوسان‌ساز [۵] نسبت به نوسان‌ساز [٤]و[٦] بهبود یافته است.



شکل ۱-۷- نویز فاز شبیه‌سازی شده برای نوسان‌سازهای [٤]، [٦] و نوسان‌ساز [۵] (شبیه‌سازی با نرم افزارADS انجام شده است)

همچنین نوسان‌ساز [۵] از ضریب شایستگی بسیار خوبی در مقایسه با مدارهای دیگر برخوردار است.

شایان ذکر است که در روش تزویج [۵]، نوسان‌سازهای هسته می‌توانند ساختارهای متفاوتی با ترانزیستورهای اتصال ضربدری، همگی از نوع NMOS یا همگی از نوع PMOS و یا ساختار مکمل داشته باشند[۵]. همچنین آنها می‌توانند دارای منبع جریان دنباله[2] و یا بدون آن باشند. همین‌طور ترانزیستورهای اتصال ضربدری و ترانزیستورهای خازن متغیر می‌توانند هم‌نوع یا از دو نوع مخالف باشند[۵]. نکته قابل توجه این است که در

[1] Up-Conversion
[2] Tail Current

صورتی‌که ترانزیستورهای اتصال ضربدری و خازن‌های متغیر از یک نوع باشند نیازی به فناوری CMOS با سه چاهک[1] نیست[۵]. بنابراین روش [۵] اگرچه در ظاهر نیاز به فناوری با سه چاهک دارد اما با انتخاب ترانزیستورهای همنوع، قابل پیاده‌سازی در فناوری‌های متداول تک چاهک[2] نیز می‌باشد.
همانطورکه گفته شد، یک روش متداول برای تولید سیگنال‌های متعامد چند فازه، استفاده از دو یا چند نوسان‌ساز LC کنترل شده با ولتاژ کاملا مشابه که از طریق گره‌های تفاضلی بصورت "همفاز – فاز متقابل" به هم تزویج شده‌اند، می‌باشد. بطور کلی می‌توان گفت نویز فاز نوسان‌ساز متعامد بعد از اعمال تزویج بهبود می‌یابد. در همه نوسان‌سازهای متعامد مرتبه اول پیشین، برای تزویج دو نوسان‌ساز هسته از عناصری اضافه بر هسته نوسان‌ساز، مانند ترانزیستور، خازن و سلف استفاده شده است که آن عناصر بطور طبیعی سبب افزایش منابع نویز، توان مصرفی، خطای فاز و سطح اشغالی روی تراشه می‌شوند. در [۵] روشی جدید برای تزویج نوسان‌سازهای هسته با هدف کاهش نویز فاز، پیشنهاد شد که در آن نوسان‌سازهای هسته بدون واسطه و مستقیما، بدون نیاز به هرگونه عنصر تزویج‌کننده اضافی و تنها از طریق زیرلایه ترانزیستورهای اتصال ضربدری و زیرلایه ترانزیستورهایی که نقش خازن متغیر را دارند، به یکدیگر تزویج می‌شوند و همان‌گونه که مشاهده شد، با حذف عناصر تزویج اضافی در این ساختار، نویز فاز کاهش چشمگیری یافت.

۱-٤- کاهش نویز فاز با استفاده از تکنیک تزریق متقابل اسیلاتورهای تزویج‌شده

نویز فاز اسیلاتورها در اثر عوامل خارجی نظیر لرزش افزایش می‌یابد[۷]، [۸] و [۹]. در این روش هدف آن است که با استفاده از تکنیک تزریق متقابل اسیلاتورهای تزویج شده، نویز فازی که در اثر لرزش ایجاد شده است را کاهش داد[۱۰]. به این منظور از دو اسیلاتور کاملا مشابه استفاده می‌شود، این دو اسیلاتور به گونه‌ای تحت لرزش قرار می‌گیرند که فرکانس نوسان یکی افزایش و دیگری کاهش یابد. سپس با تزویج این دو اسیلاتور به‌هم و تزریق متقابل آنها، سعی می‌شود فرکانس نوسان مشترک آنها به فرکانس نوسان پیش از لرزش نزدیک شود و بدین ترتیب اثر لرزش بر روی نویز فاز اسیلاتورها تا حد زیادی از بین برود.

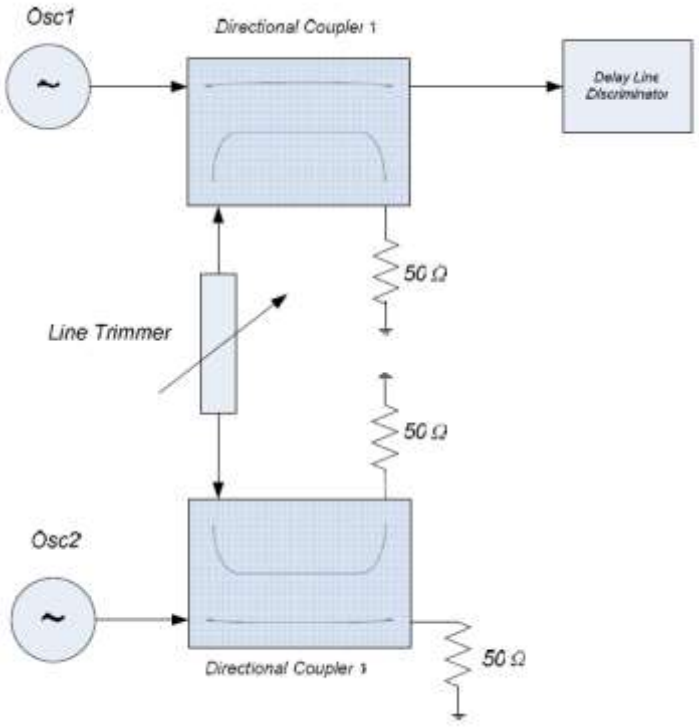
دلایل گوناگونی وجود دارد که به‌واسطه آنها شتاب[3] وابسته به زمان (لرزش)، سبب افزایش سطح نویز یک اسیلاتور می‌گردد. از جمله می‌توان به نحوه نصب تشدیدگر، ویژگی‌های الاستیکی تشدیدگر و...اشاره نمود[۱۱].
تا به امروز، چند روش برای کاهش اثرات نامطلوب لرزش بر طیف اسیلاتورها پیشنهاد شده است که از جمله آن می‌توان به انتخاب صحیح ماده تشدیدگر[۸]، استفاده از دمپرهای مکانیکی[۸]، استفاده از چهار تشدیدگر همزمان[4][۹] و... اشاره کرد.

---

[1] Triple-Well
[2] Single-Well
[3] Acceleration
[4] Quad-Resonator

در [۱۲]، از تکنیک تزریق متقابل برای کاهش اثرات لرزش بر اسیلاتورها استفاده شده است. ثابت می‌شود که با تزریق متقابل دو اسیلاتور تحت لرزش به یکدیگر، دو اسیلاتور به همدیگر قفل می‌شوند. فرکانس نوسان مشترک آنها، فرکانس حالت سکون اسیلاتورها است و شاخک[1] های ایجاد شده به دلیل لرزش، با تزریق متقابل آنها از بین خواهند رفت[۱۲].

بلوک دیاگرام این تکنیک، در شکل ۱-۸ نشان داده شده است.



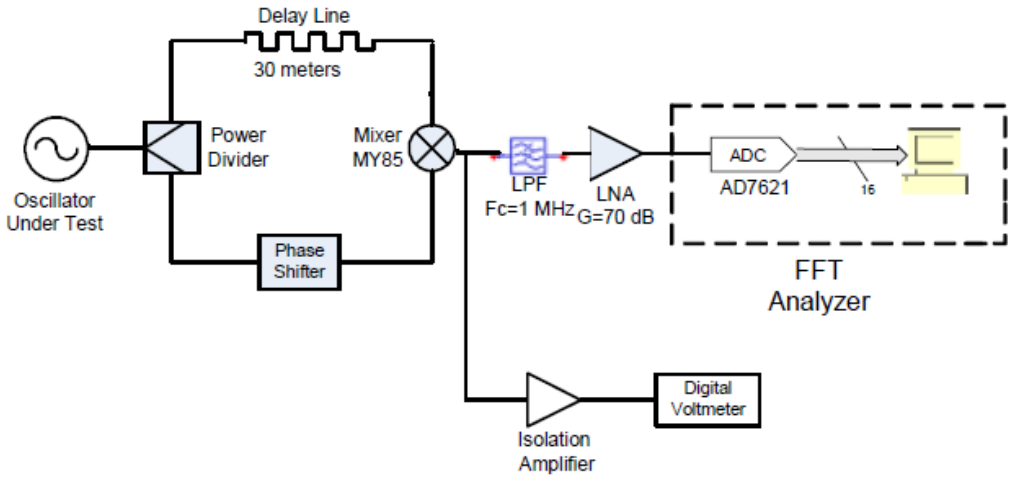
شکل ۱-۸- بلوک دیاگرام مورد استفاده برای تزریق متقابل اسیلاتورها[۱۲]

در این شکل اسیلاتورهای نشان داده شده همان اسیلاتورهای تحت لرزش است که لرزش وارد شده هم‌جهت با بردار حساسیت به لرزش یکی از اسیلاتورها و در خلاف جهت بردار حساسیت به لرزش اسیلاتور دوم می-باشد[۱۲]. (بررسی‌های عملی نشان می‌دهد که حساسیت به شتاب یا لرزش یک تشدیدگر، کمیتی برداری است.)

برای بالا بردن دقت تحلیل طیف خروجی اسیلاتورهای تزویج‌شده، خروجی مشترک به سیستم تفکیک‌کننده با خط تاخیر[2] داده می‌شود. بلوک دیاگرام این سیستم در شکل ۱-۹ نشان داده شده است[۱۲].

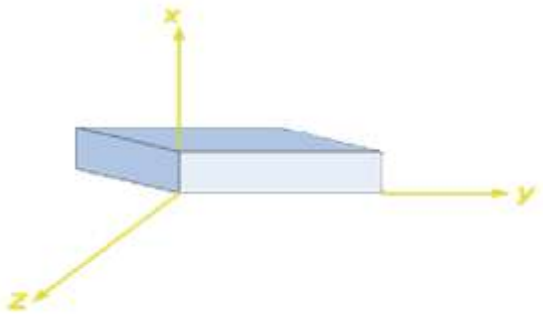
[1] Spur : نوعی از اختلالات فاز است که در حوزه طیف به‌صورت مولفه‌هایی در فاصله مشخص از حامل ظاهر می‌شوند.

[2] Delay Line Discriminator



شکل ۱-۹- بلوک دیاگرام تفکیک‌کننده با خط تاخیر[۱۲]

شکل ۱-۱۰ جهت‌های لرزش وارد شده را نسبت به محورهای مختصات متصل به اسیلاتورها نشان می‌دهد.



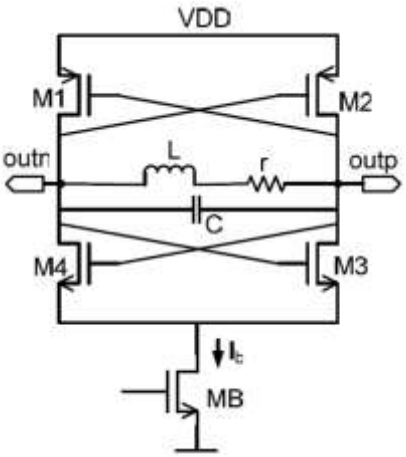
شکل ۱-۱۰- جهت‌های فرضی متصل به اسیلاتور[۱۲]

مشاهده می‌شود که در جهت‌های x و y با انجام تزریق متقابل سطح شاخک‌ها به میزان قابل توجهی کاهش می‌یابد که موثر بودن روش را نشان می‌دهد[۱۲]. در راستای z، با انجام تزریق متقابل تفاوت قابل توجهی در سطح شاخک ایجاد شده به‌وجود نمی‌آید که به نظر می‌رسد به دلیل کوچک بودن مولفه بردار حساسیت به شتاب اسیلاتور تحت لرزش در این راستا باشد[۱۲].

۱-۵- کاهش نویز فاز با استفاده از روش شکل‌دهی جریان[1]

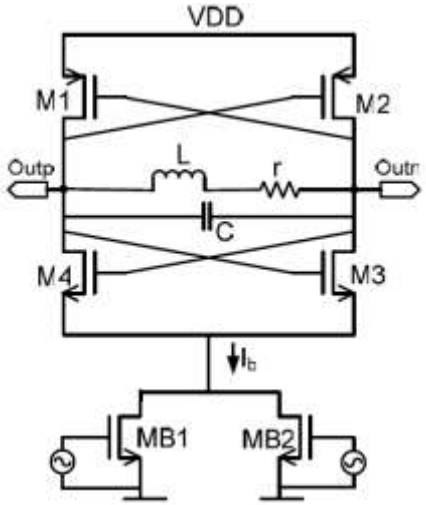
برای ارائه روش سوئیچینگ سینوسی، مدار نوسان‌ساز حاجی‌میری شکل ۱-۱۱ را به عنوان نوسان‌ساز مرجع درنظر می‌گیریم[۱۳].

[1] Current Shaping



شکل ۱-۱۱- نوسان‌ساز حاجی‌میری[۱۳]

در این شکل، ترانزیستور منبع جریان MB همواره جریان ثابتی را به ترانزیستورهای زوج ضربدری تزریق می‌کند. حال برای ارائه روش سوئیچینگ سینوسی، ترانزیستور MB را با دو ترانزیستور MB1 و MB2 مطابق شکل ۱-۱۲ عوض می‌کنیم.



شکل ۱-۱۲- طرح نوسان‌ساز سوئیچینگ سینوسی[۱٤]

این ترانزیستورها هرکدام برای نیم‌سیکل نوسان روشن هستند و زمانی‌که روشن می‌شوند جریان سینوسی به مدار نوسان‌ساز تزریق می‌کنند. در واقع دو منبع ولتاژ سینوسی وابسته به ولتاژ خروجی نوسان‌ساز و هم‌فاز با آن به ولتاژ گیت – سورس هر کدام از ترانزیستورهای MB1 و MB2 اعمال می‌شود که این منابع سینوسی با هم اختلاف فاز ۱۸۰ درجه دارند. مجموع جریان MB1 و MB2 وارد ترانزیستورهای زوج ضربدری و در نتیجه مدار تانک می‌شود.