بسم الله الرحمن الرحيم

دانشگاه ارومیه

دانشکده فنی و مهندسی

گروه برق

پایان نامه جهت اخذ درجه دکتری رشته الکترونیک

موضوع:

یک گیرنده فرستنده ی سریال با سرعت ۳.۲ Gb/s، با استفاده از ساختار های PAM و PWM

اساتید راهنما:

دکتر خیراله حدیدی دکتر عبداله خویی

اساتید داور:

دکتر ابراهیم عباسپور دکتر محمد نقی آذر منش

دکتر ستار میرزاکوچکی دکتر محمد عشقی

تنظیم و نگارش:

نوشین قادری

آذر ماه ۱۳۹۰

به یسنا،

که فردای من است.

تشکر و قدر دانی

من به سرچشمه خورشید نه خود بردم راه
ذره ای بودم و مهر تو مرا بالا برد

خدای بزرگی را سپاس می گذارم که در همه ی عرصه های زندگی ، هر جا که نگاه می کنم ، آثار لطف و رحمتش را عیان می بینم. خدایی که قطره ای از دریای بی کران علم و حکمتش ، بندگان را غرق در نعمت و سعادت می کند.

در تدوین این پایان نامه ازتعلیم وتجربه ی استاد محترم آقای دکتر خیر اله حدیدی برخوردار بوده ام. سوالات مطرح شده از طرف ایشان موجب شد که مطالب ضروری این رساله فراهم آید از این رو کمال سپاس و امتنان خود را به ایشان تقدیم می دارم. همچنین از جناب آقای دکتر خویی بخاطر راهنمایی های پرارزش و دلسوزانه ای که در مراحل انجام این رساله داشتند قدردانی میکنم. نیز ازاساتید محترم آقایان دکتر عباسپور، دکتر آذرمنش، دکتر میرزاکوچکی و دکترعشقی که با دقت نظروتوجه به داوری این رساله همت گماردند سپاسگزارم.

در مسیر پیشبرد این پایان‌نامه ، مرهون و قدردان همکاری بیدریغ دوستان خوبم در مرکز تحقیقات میکرو الکترونیک دانشگاه ارومیه و شرکت نیمه هادی اورمیا خانمها حدیثه بابازاده، ربابه امیر خانزاده، اکرم معصوم و آقایان آرش اسماعیلی، مرتضی موسی زاده، سارنگ کاظمی نیا و روزبه عبدالهی می باشم.

ازپدرعزیزم که باتوجه خاص خودش درمراحل مختلف انجام این پایان نامه با من ابرازهمدلی می کرد و مادر مهربانم که دعای خیرش همواره در تمام دوره های تحصیلی ام بدرقه راه من بود، خاکسارانه تشکر میکنم که هرچه دارم از این دو وجود عزیز و مهربان دارم.

و اما همسر عزیزم که صبورانه و بزرگوارانه در مشکلات و سختی های این راه یاور من بود و در این مسیر لحظه ای مرا تنها نگذاشت را میستایم و امیدوارم که ازاین پس بتوانم مهربانی هایش را جبران کنم.

چکیده

در این پایان نامه، یک فرستنده گیرنده ی سریال با سرعت ۳.۲ Gb/s ، در تکنولوژی CMOS ، 0.35µm ارائه می گردد. در ساخت این فرستنده گیرنده، از یک روش جدید مدولاسیون که ترکیب خاصی از مدولاسیون دامنه و مدولاسیون پهنای پالس می باشد، استفاده می شود. با استفاده از مدولاسیون ارائه شده، نرخ ارسال اطلاعات نسبت به نرخ ارسال هر سمبل به طور قابل ملاحظه ای زیاد می گردد. بنابراین ISI ایجاد شده توسط کانال، همچنین فرکانس کلاک مورد نیاز در داخل چیپ، کم خواهد شد. در یک نرخ مشخص ارسال اطلاعات، با ارسال چندین بیت از طریق یک سمبل، پهنای باند مورد نیاز کانال کم شده و استفاده ی موثر از کانال افزایش می یابد. همچنین با ترکیب سیگنال کلاک و سیگنال دیتا و ارسال آن از طریق یک کانال، علاوه بر صرفه جویی در هزینه ایجاد یک کانال اضافی، مشکل "Time Skew" بین سیگنالهای کلاک و دیتا نیز بر طرف می گردد. با توجه به ساختار مدولاسیون ارایه شده، "کمترین پهنای پالس" و همچنین "کمترین اختلاف پالس" در سیگنال مدوله شده، بیشتر از مقدار T_b است (T_b پهنای پالس سیگنال باینری اولیه است). بنابراین میزان ISI ناشی از کانال کاهش یافته و پاسخ "eye diagram" سیگنال مدوله شده بهبود خواهد یافت. به علت استفاده از مدولاسیون پهنای پالس، سیگنال کلاک در داخل سیگنال دیتا به طریق خاصی جاسازی می شود. بنابراین با استفاده از یک PLL بسیار ساده، می توان سیگنال کلاک را از سیگنال دریافت شده در قسمت گیرنده، جدا کرد. با توجه به ساختار متناوب مدولاسیون ارائه شده، ISI ناشی از عبور این سیگنال از یک فیلتر پایین گذر یا بالا گذردر مقایسه بایک سیگنال باینری تصادفی بسیار کم خواهد بود. همچنین در طراحی PLL موجود دراین فرستنده گیرنده از یک ساختار جدید برای مدار "Charge Pump" استفاده شده که موجب انطباق بیشتر مسیرهای "Up" و" Down" می گردد. میزان "peak to peak jitter" برای کلاک بازیافتی در گیرنده در فرکانس ۸۰۰ مگا هرتز برابر با ۲۱ پیکو ثانیه و برای دیتای بازیافتی برابر با ۵۶ پیکوثانیه است. توان مصرفی در فرستنده و گیرنده به ترتیب ۲۲۰ و ۳۵ میلی وات می باشد.

کلمات کلیدی مدولاسیون دامنه ی پالس، مدولاسیون پهنای پالس، اتصال سریال، بازیافت کلاک، بازیافت دیتا

فهرست مطالب

۱- مقدمه ۱
۱-۱- زمینه های کاربردی ۱
۱-۲- تکنیکهای مدولاسیون ۲
۱-۳- طراحی ترنسیور با استفاده از یک تکنیک جدید مدولاسیون ۴
۱-۴- رئوس مطالب پایان نامه ۵
۲- مفاهیم اساسی ۶
۲-۱- مشخصات دیتای باینری تصادفی ۶
۲-۲- دیتای باینری تصادفی در حوزه ی فرکانس ۷
۲-۳- فرمت دیتا ، NRZ و RZ ۸
۲-۴- اثر فیلتر پایین گذر ، بر روی دیتای تصادفی ۹
۲-۵- نمودار چشمی ۱۱
۲-۶- اثر فیلتر بالا گذر روی دیتای تصادفی ۱۲
۲-۷- اثرات نویز روی دیتای تصادفی ۱۲
۲-۸- نویز فاز ۱۴
۲-۹- جیتر ۱۶
۲-۱۰- رابطه بین نویز فاز وجیتر ۱۷
۲-۱۱- جیتر ناشی از نویز افزوده شده ۱۸
۲-۱۲- خطوط انتقال ۱۹
۲-۱۲-۱- خطوط انتقال ایده آل ۱۹
۲-۱۲-۲- خطوط انتقال دارای تلفات ۲۳
۳- انتقال دیجیتال ۲۴
۳-۱- فرمتهای مدولاسیون دیجیتال ۲۴
۳-۲- فرمت مدولاسیون PWAM ۲۹
۳-۲-۱- ساختار سیگنالینگ PWAM ۲۹
۳-۲-۲- توصیف سیگنال PWAM ۳۰
۳-۳- الگوی ارائه شده برای مدولاسیون PWAM ۳۲
۳-۴- مدولاسیون PWAM با ۴ بیت در هر سمبل ۳۷
۴- حلقه ی قفل شونده در فاز (PLL) ۴۰
۴-۱- PLL آنالوگ ۴۰

۴-۲- رفتار یک PLL ۴۲
۴-۳- آشکار کننده ی فاز ـ فرکانس ۴۵
۴-۴- اساس کار یک PLL شارژ پامپ (CP) ۴۶
۴-۵- رفتار یک PLL شارژ پامپ (CPPLL) ۴۷
۴-۶- ملاحظات پایداری ۴۹
۴-۷- طراحی PLL ۵۲
۴-۸- طراحی اسیلاتور کنترل شونده با ولتاژ (VCO) ۵۲
۴-۸-۱- طراحی بافر ۵۳
۴-۸-۲- طراحی مدار ۵۳
۴-۸-۳- بازه ی فرکانسی اسیلاتور ۵۵
۴-۸-۴- جیتر زمانی هر طبقه تاخیری ۵۷
۴-۸-۵- جبیتر زمانی یک اسیلاتور حلقوی ۶۱
۴-۸-۶- نویز فاز اسیلاتور حلقوی ۶۲
۴-۸-۷- جیتر PLL ناشی از جیتر VCO ۶۲
۴-۸-۸- نتایج شبیه سازی ۶۲
۴-۹- آشکار ساز فاز ـ فرکانس (PFD) ۶۵
۴-۹-۱- مدار PFD ۶۵
۴-۹-۲- نتایج شبیه سازی PFD ۶۷
۴-۱۰- مدار شارژ پامپ ۶۸
۴-۱۱- طراحی حلقه فیلتر ۷۳
۴-۱۲- نتایج شبیه سازی ۷۴
۵- طراحی فرستنده ۷۷
۵-۱- مدولاتور PWM ۷۷
۵-۲- اینترفیس ۷۹
۵-۲-۱- جا به جا کننده سطح ۸۰
۵-۳- بلوک PAM ۸۲
۵-۴- شمای پیش تاکید ۸۷
۶- طراحی گیرنده ۹۲
۶-۱- طبقه پیش تقویت کننده ۹۲
۶-۲- بلوک PLL ۹۳
۶-۳- دمدولاتور PWAM ۹۴

۶-۴- نتایج شبیه سازی ۹۷
۷- نتایج ۱۰۵
۷-۱- دستاوردها ۱۰۵
۷-۲- پیشنهادات تکمیلی ۱۰۶
فهرست منابع ۱۰۷
چکیده انگلیسی ۱۱۱

فهرست جداول

جدول ۳-۱ نرخ ارسال اطلاعات در مدولاسیون پیشنهادی و مدولاسیون ارائه شده در [۳] . ۳۴
جدول ۳-۲ کمترین پهنای پالس در مدولاسیون پیشنهاد شده و مدولاسیون موجود در [۳]. ۳۵
جدول ۶-۱ خلاصه ای از مشخصات ترنسیور. ۱۰۱
جدول ۶-۲ ، مشخصات چند ترنسیور ، با استفاده از تکنیکهای مدولاسیون مختلف. ۱۰۲

فهرست اشکال

شکل ۲-۱ طیف فرکانسی اطلاعات باینری تصادفی با مقیاس محور عمودی (الف) خطی (ب) لگاریتمی. ۷

شکل ۲-۲ (الف) فرمت دیتای RZ و NRZ (ب) تجزیه ی دیتای RZ به دو رشته (ج) طیف فرکانسی x_1 و x_2 (د) طیف فرکانسی دیتای RZ . ۹

شکل ۲-۳ اثر فیلتر پایین گذر روی دیتای (الف) تصادفی (ب) پریودیک. ۱۰

شکل ۲-۴ استفاده از قانون جمع آثار برای مطالعه ISI . ۱۰

شکل ۲-۵ خرابی دیتا در حضور یک پهنای باند محدود (الف) نمودار چشمی (ب) دیتا. ۱۱

شکل ۲-۶ PDF یک سیگنال نویزی. ۱۲

شکل ۲-۷ اثر جیتر روی یک شکل موج سینوسی. ۱۴

شکل ۲-۸ تعیین نویز فاز. ۱۵

شکل ۲-۹ (الف) جیتر خالص (ب) جیتر سیکل به سیکل. ۱۶

شکل ۲-۱۰ اثر نویز اضافه شده بر جیتر. ۱۸

شکل ۲-۱۱ اثر فیلتر پایین گذر بر جیتر. ۱۸

شکل ۲-۱۲ مدل LC یک خط T. ۱۹

شکل ۲-۱۳ استپ جریانی در ورودی یک خط T با طول بینهایت. ۲۰

شکل ۲-۱۴ خط T با بار تطبیق یافته. ۲۰

شکل ۲-۱۵ حالتی که $R_L=\infty$ است. ۲۱

شکل ۲-۱۶ خط Tبا بار اتصال کوتاه. ۲۱

شکل ۲-۱۷ جذب شکل موج ثانویه منعکس شده توسط امپدانس منبع. ۲۱

شکل ۲-۱۸ انتشارشکل موج در طول یک خط T. ۲۲

شکل ۲-۱۹ مدل یک خط T دارای تلفات. ۲۳

شکل ۳-۱ سیگنالهای دیجیتال مختلف، با استفاده از فرمتهای مدولاسیون متفاوت. ۲۸

شکل ۳-۲ مدولاسیون PWAM ۴ بیتی (الف) شکل موج (ب) کد گذاری PWAM در حالتهای مختلف موجود در یک سمبل زمانی. ۳۰

شکل ۳-۳ مدولاسیون پیشنهادی برای حالت M=4 و N=4. ۳۳

شکل ۳-۴ تغییرات تصادفی پهنای پالس دیتا در اثر جیتر. ۳۵

شکل ۳-۵ فرستنده PWAM پیشنهادی. ۳۷

شکل ۳-۶ گیرنده ی PWAM پیشنهادی. ۳۸
شکل ۳-۷ شکل موج PWAM ۴ بیتی. ۳۹
شکل ۴-۱ یک PLL ساده. ۴۱
شکل ۴-۲ شکل موج PLL در حالت قفل بودن حلقه. ۴۱
شکل ۴-۳ محاسبه ی خطای فاز. ۴۲
شکل ۴-۴ دیاگرام بد PLL نوع ۱. ۴۴
شکل ۴-۵ (الف) یک آشکار ساز فاز ، فرکانس (ب) طرز کار یک PFD ، وقتیکه A جلوتر از B است ۴۵
(ج) طرز کار یک PFD زمانی که A عقبر تر از B است.
شکل ۴-۶ یک PLL ساده شارژ پامپ (CP). ۴۶
شکل ۴-۷ (الف) تست خطی بودن PFD/CP/LPF (ب) تقریب پاسخ مدار به یک سراشیب. ۴۷
شکل ۴-۸ پاسخ پله ترکیب PFD/CP/LPF. ۴۸
شکل ۴-۹ مدل خطی از یک PLL شارژ پامپ ساده. ۴۹
شکل ۴-۱۰ (الف) افزودن یک صفر (ب) مشخصه گین حلقه یک PLL ساده CP. ۵۰
شکل ۴-۱۱ کم شدن پایداری یک CPPLL با کاهش I_pK_{VCO}. ۵۱
شکل ۴-۱۲ افزودن C_2 به منظور کاهش ریپل خط کنترلی. ۵۱
شکل ۴-۱۳ شماتیک PLL. ۵۲
شکل ۴-۱۴ اسیلاتور حلقوی VCO. ۵۳
شکل ۴-۱۵ پیاده سازی مداری طبقات اسیلاتور حلقوی. ۵۵
شکل ۴-۱۶ یک سیستم با فیدبک خطی . ۵۶
شکل ۴-۱۷ (الف) تحلیل نصف مدار برای یافتن فرکانس نوسان اسیلاتور (ب) مدار معادل هر ۵۶
طبقه.
شکل ۴-۱۸ منابع نویز حرارتی در لحظه گذر از صفر. ۵۸
شکل ۴-۱۹ مدار معادل جهت محاسبات مربوط به نویز. ۵۸
شکل ۴-۲۰ شش فاز کلاک در خروجی VCO. ۶۳
شکل ۴-۲۱ مشخصه ی فرکانس اسیلاتور حلقوی بر حسب ولتاژ کنترلی. ۶۴
شکل ۴-۲۲ منبع تغذیه ی نویزی. ۶۴
شکل ۴-۲۳ (الف) آشکار ساز فاز – فرکانس (ب) شکل موج PFD . ۶۶
شکل ۴-۲۴ نتایج شبیه سازی PFD . ۶۷
شکل ۴-۲۵ مدار شارژ پامپ دیفرانسیلی. ۶۸

شکل ۴-۲۶ زمان های تأخیر در مسیرهای "Up" و "Down". ۶۹
شکل ۴-۲۷ مدار شارژ پامپ ارائه شده. ۷۰
شکل ۴-۲۸ مقایسه ای بین جریان های نود خروجی در مدار شارژ پامپ ارائه شده و مدارات شارژ پامپ متداول. ۷۱
شکل ۴-۲۹ مقایسه ای بین ولتاژهای کنترلی در مدارات PLL متداول و مدار PLL ارائه شده. ۷۲
شکل ۴-۳۰ اختلاف بین سیگنال های"Up" و "Down" در حالت قفل بودن حلقه در یک PLL معمولی. ۷۲
شکل ۴-۳۱ اختلاف بین سیگنال های"Up" و "Down" در حالت قفل بودن حلقه در PLL پیشنهادی. ۷۳
شکل ۴-۳۲ دیاگرام چشمی خروجی Ck_1 از PLL. ۷۴
شکل ۴-۳۳ دیاگرام هیستوگرام سیگنال Ck_1. ۷۵
شکل ۴-۳۴ دیاگرام بد PLL. ۷۵
شکل ۵-۱ فرستنده PWAM. ۷۷
شکل ۵-۲ سیگنال Tx_{PWM} در مقایسه با ۶ فاز کلاک . ۷۸
شکل ۵-۳ مدولاتور PWM. ۷۹
شکل ۵-۴ نتایج شبیه سازی خروجی Tx_{PWM} در مقایسه با سیگنالهای tx_bit_3 و Txck. ۷۹
شکل ۵-۵ مدار اینترفیس. ۸۰
شکل ۵-۶ مدار جابجا کننده سطح. ۸۰
شکل ۵-۷ نتایج شبیه سازی مدار جابجا کننده سطح. ۸۱
شکل ۵-۸ مقایسه ای بین خروجی مدار جابجا کننده سطح با استفاده از خازن C_1 و بدون آن. ۸۲
شکل ۵-۹ سه اسلات زمانی در حضور شش فاز کلاک ۸۳
شکل ۵-۱۰ پیاده سازی مداری سیگنالهای (الف) پالس ۱ (ب) پالس ۲ (ج) پالس ۳. ۸۴
شکل ۵-۱۱ نتایج شبیه سازی سیگنالهای پالس. ۸۵
شکل ۵-۱۲ بلوک PAM. ۸۵
شکل ۵-۱۳ شکل موج خروجی در حضور مقادیر مختلف شکل موج های PWM و پالس. ۸۶
شکل ۵-۱۴ شکل موج خروجی فرستنده. ۸۷
شکل ۵-۱۵ نمودار چشمی شکل موج خروجی فرستنده. ۸۷
شکل ۵-۱۶ سیگنال PWAM (الف) حالت عادی (ب) با استفاده از طبقه ی پیش تأکید. ۸۸
شکل ۵-۱۷ نمودار چشمی سیگنال دریافتی (الف) با استفاده از طبقه ی پیش تأکید (ب) در حالت عادی. ۸۹

شکل ۵-۱۸ سیگنال PWAM و سیگنال پیش تاکید متناسب با آن. ۹۰
شکل ۵-۱۹ پیاده سازی مداری آشکار ساز لبه. ۹۰
شکل ۵-۲۰ مدار پیش تأکید. ۹۱
شکل ۶-۱ گیرنده PWAM پیشنهادی. ۹۲
شکل ۶-۲ طبقه پیش تقویت کننده. ۹۳
شکل ۶-۳ تابع تبدیل طبقه پیش تقویت کننده. ۹۳
شکل ۶-۴ بلوک دیاگرام دمولاتور PWAM پیشنهادی. ۹۴
شکل ۶-۵ پیاده سازی مداری گیت OR. ۹۵
شکل ۶-۶ مقایسه کننده مورد استفاده در دمدولاتور PWAM. ۹۶
شکل ۶-۷ بافر خروجی LVDS. ۹۶
شکل ۶-۸ نتایج شبیه سازی post layout سیگنالهای خروجی فرستنده و گیرنده. ۹۷
شکل ۶-۹ نتایج شبیه سازی post layut سیگنالهای خروجی فرستنده و گیرنده. ۹۸
شکل ۶-۱۰ دیاگرام چشمی کلاک بازیافتی. ۹۹
شکل ۶-۱۱ هیستوگرام سیگنال کلاک برای زمانهای صعود و نزول. ۹۹
شکل ۶-۱۲ دیاگرام چشمی دیتای بازیافتی. ۱۰۰
شکل ۶-۱۳ هیستوگرام سیگنال دیتای بازیافتی برای زمانهای صعود و نزول. ۱۰۰
شکل ۶-۱۴ لی اوت چیپ فرستنده. ۱۰۳
شکل ۶-۱۵ لی اوت چیپ گیرنده. ۱۰۴

۱– مقدمه

۱–۱ زمینه های کاربردی

با توجه به کاربرد روز افزون سیستمهای مخابراتی ، توجه ویژه ای بر روی تئوری ارسال اطلاعات متمرکز شده است. به طور کلی هر سیستمی که جهت ارسال اطلاعات آنالوگ یا دیجیتال به کار می رود ، یک سیستم مخابراتی نامیده می شود. البته در این پایان نامه، منظور از سیستم مخابراتی ، سیستمی است که جهت ارسال اطلاعات دیجیتال استفاده می شود. مقدار بالاتر نشان دهنده لاجیک " ۱ " دیجیتال و مقدار پایین تر نشان دهنده لاجیک " ۰ " دیجیتال می باشد. چنین الگویی که ساده ترین نوع مدولاسیون است را مدولاسیون Non Return to zero (NRZ) می نامند. با وجود سادگی مدولاسیون فوق ، باید در نظر داشت که ارسال اطلاعات از طریق یک لینک ، نیازمند چیزی بیش از فرستادن بیتها در یک طرف و دریافت آنها در سمت دیگر لینک می باشد ، برای اینکه بتوانیم بیتهای دریافت شده در سمت گیرنده را به حوزه ی دیجیتال تبدیل کنیم ، باید بتوانیم این بیتها را توسط یک کلاک ، نمونه برداری کنیم. واضح است که فرکانس کلاک مورد نیاز برای نمونه برداری ، باید با فرکانس بیتهای ارسالی ، یکسان باشد. این کلاک می تواند توسط یک لینک جداگانه به سمت فرستنده ارسال شود. اما این کار موجب تحمیل هزینه ی اضافی به سیستم می گردد. به علاوه تنظیم اختلاف زمانی[1] بین دیتا و کلاک در این حالت بسیار مشکل است. به همین علت ، در سیستمهای جدید ، روشهایی جستجو می شودکه از طریق آن بتوانیم ، کلاک را از داخل خود دیتا استخراج کنیم تا نیازمند ارسال جداگانه ی کلاک ، به سمت گیرنده ، نباشیم. این کار با استفاده از یک حلقه ی قفل شونده در فاز[2] (PLL) امکان پذیر می باشد. مدار PLL ، لبه های گذر از صفر به یک یا گذر از یک به صفر را در یک زنجیره ی سریال اطلاعات ، آشکار کرده و از طریق آن کلاک را بازسازی می کند. اما گاهی در ارسال اطلاعات ، مواردی پیش می آید که تعداد زیادی یک یا صفر ، پشت سر هم ارسال

[1] time skew
[2] Phase Locked Loop

می گردد. در این حالت دیتای NRZ ، فاقد لبه های گذر از صفر به یک یا گذر از یک به صفر می باشد. بنابراین ، برای بازسازی چنین اطلاعاتی نیازمند مدارهایی بسیار پیچیده می باشیم. همانطور که در قسمت بعد توضیح داده خواهد شد ، یکی از راه حلهایی که می توان برای رفع مشکل فوق در نظر گرفت ، استفاده از روشهای مدولاسیون است.

۱–۲– تکنیکهای مدولاسیون

همانطور که اشاره شد ، در طراحی مدارات بازیافت کلاک و دیتا[۳] (CDR) ، فقدان لبه های گذر از صفر به یک و برعکس ، در یک دیتای تصادفی ، موجب می شودکه نوسانساز ، از فرکانس مرکزی فاصله گرفته و جیتر[۴] تولید شود. بنابراین ، یک سری کدینگ های پیچیده ای مورد نیاز است تا تعداد این صفر ها یا یک های پشت سر هم را محدود کند.

برای حل مشکل فوق ، می توان از دیتای Return to Zero (RZ) به جای NRZ استفاده کرد. در دیتای RZ ، هر بیت شامل دو قسمت است. قسمت اول ، نشان دهنده ی ارزش بیت و قسمت دوم ، همواره صفر است. بر خلاف دیتای NRZ ، دیتای RZ شامل یک مولفه فرکانسی در فرکانس کلاک است. بنابراین در این نوع دیتا استخراج کلاک ، از دیتا ، بسیار ساده است. با استفاده از روشهای مدولاسیون ، می توان دیتای NRZ را به نوع خاصی از دیتای RZ تبدیل کرده و از مزایای آن بهره برد.

یکی دیگر از مشخصات مهم لینک های سریال ، پهنای باند است. با افزایش پهنای باند ، تعداد پین ها و همچنین سطح چیپ ، افزایش خواهد یافت. از روشهای مدولاسیون همچنین می توان ، برای کاهش پهنای باند استفاده کرد. بدین صورت که با ارسال چندین بیت از طریق یک سمبل ، در یک نرخ دیتای مشخص ، پهنای باند کاهش خواهد یافت.

یکی از روشهای مدولاسیون، روش دامنه پالس است. در این روش فرکانس دیتای ارسالی می تواند به چندین گیگابیت در ثانیه برسد[۲۱] - [۱۶] و [۲۴]. به عنوان مثال ، هر دو بیت دو سطحی پشت سرهم در یک زنجیره سریال می تواند به صورت یک بیت چهار سطحی ارسال شود. واضح است که در این حالت طول زمانی مورد نیاز برای ارسال هربیت ، دو برابر حالت قبل خواهد شد . بنابراین پهنای باند مورد نیاز برای ارسال چنین زنجیره ای می تواند نصف گردد. از دیگر روشهای مدولاسیون ، مدولاسیون های پالس می باشد. این مدولاسیون ها شامل مدولاسیون پهنای پالس (PWM)، مدولاسیون فاز پالس (PPM)

[3] Clock, data recovery
[4] Jitter

ومدولاسیون دانسیته ی پالس (PDM) می باشد .در مقاله ی معرفی شده در [۲۷] ، با استفاده از مدولاسیون PPM فرکانسی معادل ۱۶۰Mb/sبدست آمده است. در [۱۴]، با استفاده از مدولاسیون PWM ، یک مدار CMOS Intorface با سرعت ۴۰۰ Mb/s معرفی شده است .در [۲۸] و [۲۹]، مدولاسیون PWM آسنکرون که بر گرفته از مدولاسیون PWM می باشد معرفی می گردد. در تمام موارد فوق ، به منظور کاهش تعداد پینها ،کلاک ودیتا هر دو از طریق یک کانال ارسال می گردند . دیتای باینری با استفاده از عرض پالس ، رمز گذاری می شود بنابراین ، در هر پریود ، حتماً یک لبه ی بالا رونده وجود خواهد داشت . واضح است که در اینحالت ، استخراج کلاک از دیتا در سمت گیرنده خیلی راحتتر از مدولاسیون PAM انجام می گیرد . در این نوع مدولاسیون ، به جای استفاده از مدارات پیچیده ،تنها با استفاده از یک PLL ساده می توان کلاک را بازیابی کرد . در [۳] با استفاده از ترکیب مدولاسیون های PWM و PAM کانالهای کلاک و دیتا در یکدیگر ادغام شده الگوی ساده ای ارائه شده است که توانسته دیتا را با نرخ نسبتاً بالا ارسال کند. اگر تعداد سطوح ولتاژ مورد استفاده m و تعدادپهنای پالس ها n با شد نرخ ارسال اطلاعات به اندازه ی $\log_2^M+\log_2^N$ برابر سریعتر از نرخ ارسال سمبل ها است . در این حالت کمترین پهنای پالس مورد استفاده برابر است با

$$\text{minimum PW}=\frac{T_b\left(\log_2^M+\log_2^N\right)}{N+1} \quad . \qquad (۱-۱)$$

که T_b کمترین پهنای پالس مورد استفاده برای یک دیتای NRZ است.

به عنوان مثال چنانچه$M=۴$ و$N=۴$ باشد کمترین پهنای پالس برابر است با $T_b/۵$ ۴. بنابراین کمترین پهنای پالس ، کمتر از مقدار T_b می باشد . ISI ناشی از عبور چنین دیتایی از یک کانال با پهنای باند محدود ، بسیار قابل ملاحظه خواهد بود . این امر موجب محدود شدن سرعت ارسال اطلاعات ، در این مدولاسیون می گردد.

یکی دیگر از مسائل مهم ، مخصوصاً از نظر مشخصه ی نمودار چشمی[۵] ، افزایش کمترین اختلاف پهنای پالس[۶] است . همانطور که در [۳] شرح داده شده است، جهت افزایش پهنای پالس دیتایی با نرخ چهار بیت در هر سمبل ، از یک اسیلاتور حلقوی با هفت طبقه استفاده شده است. این امر علاوه براینکه موجب کاهش نرخ کلاک روی چیپ می گردد، باعث می شود که کمترین اختلاف پالس سیگنال، همچنان

[5] Eye diagram
[6] Minimum pulse difference

که درخود مقاله نیز شرح داده شده، به شدت کاهش یابد . کاهش این پارامتر ، موجب افت شدید پاسخ نمودار چشمی خواهد شد.

۱-۳ طراحی ترنسیور با استفاده از یک تکنیک جدید مدولاسیون

در این پایان نامه ، به منظور پیاده سازی یک ترنسیور سریال ، با سرعت بالا از یک روش جدید مدولاسیون پهنای پالس و دامنه[۷] (PWAM) استفاده می شود . در قسمت فرستنده، با استفاده از این روش جدید مدولاسیون ، سیگنال مدوله شده ، که ترکیبی از سیگنال کلاک وچهار بیت سیگنال دیتا می باشد، از طریق یک کانال فرستاده می شود. فرستنده شامل یک مدولاتور PWM یک بیتی و یک مدولاتور PAM سه بیتی می باشد. سیگنال مدوله شده ی ارسالی توسط فرستنده ، در قسمت گیرنده دریافت شده و سیگنالهای چهار بیتی دیتا و همچنین سیگنال کلاک از آن استخراج می شود . جهت مدوله کردن سیگنال درفرستنده و همچنین دمدوله کردن آن درگیرنده، از شش فاز کلاک ، که توسط دو PLL جداگانه ، در فرستنده و گیرنده تولید می شوند استفاده می شود . بنابراین اسیلاتور حلقوی مورد استفاده در PLL ، می تواند تنها با سه طبقه ی دیفرانسلی ساخته شود. این امر موجب افزایش فرکانس کار PLL و همچنین کاهش توان مصرفی آن می گردد . به علاوه در مدولاسیون پیشنهادی ، بلوکهای مدولاتور و دمدولاتور موجود در ترنسیور می توانند بسیار ساده تر ، سریعتر و با توان مصرفی کمتری در مقایسه با [۳] طراحی شوند .

با استفاده از مدولاسیون پیشنهادی M×N, PWAM ، نرخ ارسال اطلاعات ، در مقایسه با نرخ ارسال سمبل افزایش می یابد . افزایش نرخ ارسال اطلاعات ، با افزایش M وN به طور قابل ملاحظه ای بیشتر خواهد شد .

کاهش نرخ ارسال سمبل ، علاوه بر اینکه ISI ناشی از کانال را کاهش خواهد داد، موجب کاهش فرکانس کلاک مورد استفاده بر روی چیپ نیز می شود.

کانالی که جهت ارسال اطلاعات به کار می رود دارای پهنای باند محدود است . این امر موجب کاهش دامنه و پهنای پالس سیگنال عبوری از آن می گردد . واضح است که این اثر ISI می تواند با افزایش پهنای پالس سیگنال بهبود یابد. در PWAM پیشنهادی، علاوه بر افزایش نرخ ارسال اطلاعات،کمترین

[7] Pulse width amplitude modulation

پهنای پالس نیز افزایش می یابد. از دیگر مزایای افزایش پهنای پالس سیگنال ، کاهش اثرات مخرب جیتر کلاک روی دیتا می باشد .

به علاوه در مدولاسیون پیشنهادی ، کمترین اختلاف پالس ، بسیار بیشتر از مقدار Tb است که موجب ارتقاء پاسخ نمودار چشمی خواهد شد .

۱-۴رئوس مطالب پایان نامه

این پایان نامه شامل مطالب زیر است : مشخصات دیتای باینری تصادفی و اثرات یک کانال با پهنای باند محدود ، همچنین اثرات نویز روی این نوع دیتا در فصل ۲، مورد مطالعه قرار خواهد گرفت. در فصل ۳، مروری بر انواع مدولاسیون های دیجیتال، که معمولاً در سیستمهای مخابراتی مورد استفاده قرار می گیرند، خواهیم داشت . مدولاسیون دیجیتال ارائه شده، در قسمت آخر این فصل ، معرفی می گردد . با توجه به اینکه در مدولاسیون پیشنهادی، دیتا با فرمت RZ ارسال می شود و استخراج کلاک از آن بسیار ساده است، با استفاده از یک PLL متداول، به راحتی می توان کلاک را از سیگنال مدوله شده استخراج کرد. در فصل ۴، مروری بر عملکرد PLL شارژ پامپ[8] نوع ۳ خواهیم داشت . همچنین در این فصل ، یک مدار شارژ پامپ دیفرانسلی جدید که با عملکرد خود موجب کاهش اختلاف جریان مسیرهای مثبت ومنفی می گردد، معرفی می شود. در فصل ۵، بلوک فرستنده تشریح می شود. در این بلوک سیگنال PWAM ارائه شده با استفاده از مقادیر ۴ بیت دیتای ورودی و همچنین کلاک ، تولید شده و از طریق یک کانال ارسال می گردد. در قسمت گیرنده که در فصل ۶ توضیح داده می شود ، سیگنالهای دیتا و کلاک ، از سیگنال PWAM دریافت شده، بازیافت می گردند. نتایج برگرفته از این پایان نامه در فصل ۷ توضیح داده می شود.

[8] Charge Pump

۲– مفاهیم اساسی

در این فصل به بررسی مشخصات دیتای باینری تصادفی و اثرات یک کانال با پهنای باند محدود و همچنین نویز ، روی این نوع دیتا خواهیم پرداخت [۱] .در ادامه مروری بر مفاهیم نویز فاز و جیتر خواهیم داشت .

۲–۱ مشخصات دیتای باینری تصادفی

یک رشته ی باینری تصادفی ، شامل لاجیک های یک وصفر است ، که در برگیرنده ی اطلاعات می باشند و با احتمال یکسان رخ می دهند . اگر پریود هربیت برابر با T_b ثانیه باشد ، نرخ ارسال اطلاعات ، R_b، برابر با $1/T_b$ بیت در ثانیه خواهد بود .

بخاطر طبیعت تصادفی اطلاعات ، ممکن است یک رشته ی باینری ، شامل تعداد زیادی یک یا صفر پشت سر هم باشد که "Run" نامیده می شود در چنین حالتی تعداد لبه های گذر از صفر به یک یا برعکس بسیار کم خواهد بود . فقدان این لبه ها ، در دیتای ارسالی ، موجب می شود که طراحی مدارهای ترنسیور بسیار پیچیده گردد.

عملکرد مدارهای بازیافت کلاک ، بستگی زیادی به تعداد این لبه ها دارد . بنابراین چنانچه در دیتای ارسالی ، "Run" طولانی وجود داشته باشد مدار CDR نمیتواند عملکرد صحیحی از خود نشان دهد . برای محدود کردن طول "Run" ها کدینگ های پیچیده ای [۳۲] [۳۱] [۳۰]، پیشنهاد شده است که بتوانند عملکرد مدارهای CDR را بهبود بخشد . هر چند که پیاده سازی این کدینگ ها ، خود موجب پیچیده شدن مدارات CDR خواهد شد .

۲-۲ دیتای باینری تصادفی در حوزه ی فرکانس

یک رشته ی باینری تصادفی می تواند به صورت زیر بیان شود .

$$x(t)=\sum_{k} b_k p(t-kT_b)\,, \qquad (۱-۲)$$

که $b_k = \pm 1$ و $p(t)$ بیانگر شکل پالس است . $p(t)$ معمولاًیک پالس مستطیلی با عرض T_b است که هر T_b ثانیه تکرار می شود .

اگر احتمال رخ دادن پالسهای مثبت ومنفی در رابطه ی ۲-۱ یکسان باشد ، در اینصورت دانسیته ی توان طیفی[۱] PSD $x(t)$ برابر است با :

$$S_x(f)=\frac{1}{T_b}|P(f)|^2\,, \qquad (۲-۲)$$

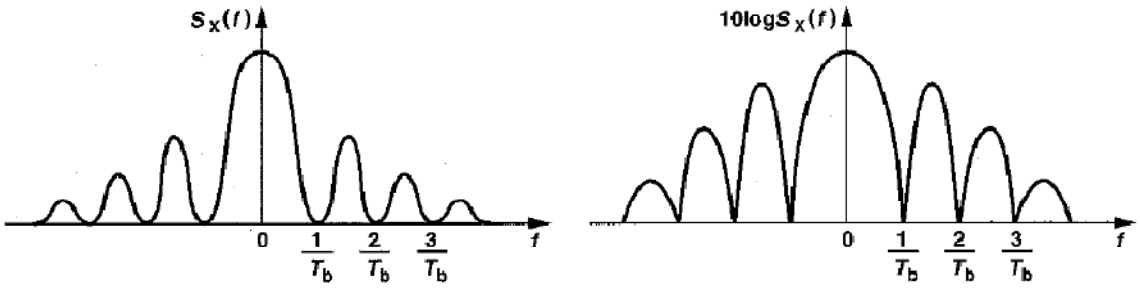
که$P(f)$ تبدیل فوریه ی $P(t)$ است .

طیف فرکانسی[۲] $x(t)$ برابر است با :

$$S_x(f)=T_b\left[\frac{\sin(\pi fT_b)}{\pi fT_b}\right]^2\,. \qquad (۳-۲)$$

برای مقادیر صحیح n، $\mathrm{Sin}\,(\pi fT_b)$ ، در فرکانسهای$f= n/T_b$ دارای مقدار صفر است .

طیف فرکانسی $x(t)$ در شکل ۲-۱ نشان داده شده است . جهت مشاهده ی واضح تراین طیف، محور عمودی شکل ۲-۱(ب) با مقیاس لگاریتمی نشان داده شده است .



شکل ۲-۱ طیف فرکانسی اطلاعات باینری تصادفی با مقیاس محور عمودی (الف) خطی (ب) لگاریتمی[۱]

[1] Power Spectral Density
[2] spectrum