دانشگاه آزاد اسلامی
واحد تهران مرکزی

دانشکده فنی و مهندسی، گروه مهندسی برق

پایان نامه برای دریافت درجه کارشناسی ارشد (M.Se)
گرایش : الکترونیک

عنوان:

طراحی یک کنترل کننده منطق فازی (FLC) مد جریان با فن آوری CMOS

استاد راهنما
دکتر فرهاد رزاقیان

استاد مشاور
دکتر فرداد فرخی

پژوهشگر
مهناز رنجبر

تابستان ۱۳۹۱

بسم الله الرحمن الرحيم

تقدیم به مهربان فرشتگانی که :

لحظات ناب باورِ بودن، لذت و غرورِ دانستن، جسارتِ خواستن، عظمتِ رسیدن و تمام تجربه‌های یکتا و زیبای زندگیم، مدیون حضور سبز آنهاست . . .

پدر عزیزم

و

مادر مهربانم

تقدیر و تشکر

سپاس بیکران پروردگار یکتا را که هستی مان بخشید و به طریق علم و دانش رهنمونمان شد و به همنشینی رهروان علم و دانش مفتخرمان نمود و خوشه چینی از علم و معرفت را روزیمان ساخت.

در ابتدا بر خود لازم می‌دانم که از زحمات استاد گرانقدر جناب آقای **دکتر فرهاد رزاقیان** که در این مدت از بنده حمایت کامل را ابراز داشتند کمال تشکر و قدردانی داشته باشم و برای ایشان موفقیت روزافزون و کسب درجات علمی بالاتر را از خداوند منان خواهانم.

از استاد ارجمند جناب آقای **دکتر فرداد فرخی** که حامی و گره‌گشای بسیاری از مشکلات بنده در این مدت بودند کمال تشکر و قدردانی می‌نمایم و برای ایشان موفقیت در تمامی مراحل زندگی و کسب درجات علمی بالاتر را از ایزد منان خواهانم.

همچنین از جناب آقای **دکتر امیر امیرآبادی** که داوری پایان نامه اینجانب را تقبل نمودند صمیمانه تشکر و سپاسگزاری می‌نمایم.

از استاد گرانقدر جناب آقای **دکترغلامرضا کریمی** که با صبر و شکیبایی، بنده را در تمام مدت تحصیل در به نتیجه رساندن هرچه بهتر این پایان نامه یاری نمودند کمال تشکر و قدردانی دارم.

در انتها تشکر و قدردانی صمیمانه و خالصانه خود را به **مهندس علی رنجبر** ، **مهندس منیژه رنجبر** و **خواهر عزیزم مریم** که در تمام این مدت مشوق و حامی بزرگی برای بنده بودند تقدیم می‌نمایم و از خداوند حکیم برای ایشان موفقیت روزافزون در تمامی مراحل زندگی را خواستارم.

فهرست مطالب

عنوان صفحه

چکیده **۱**

فصل اول **۳**

۱-۱ مقدمه ۴

۱-۲ اهداف ۴

۱-۳ سازماندهی ۵

فصل دوم **۷**

۲-۱ منطق فازی و مجموعه های فازی ۸

۲-۱-۱ عملکرد مجموعه های فازی ۹

۲-۱-۲ مشخصات مجموعه های فازی ۹

۲-۲ سیستم‌های کنترل فازی ۱۱

۲-۲-۱ رویکردهای کنترل کننده فازی ۱۲

۲-۲-۲ تکنیک های طراحی سخت افزاری ۱۳

۲-۳ پیاده سازی سیستمهای کنترل فازی در تکنولوژی cmos ۱۴

۲-۳-۱ مدارهای آینه جریان ۱۵

۲-۳-۲ مدار زوج تفاضلی ۱۹

۲-۳-۳ ترکیب مدارهای MOS ۲۱

۲-۴ ساختار اصلی سیستم ۲۴

۲-۴-۱ فازی ساز ۲۴

۲-۴-۱-۱ تولید توابع عضویت در مد جریان ۲۴

۲-۴-۱-۱-۱ مدار (۱): مدار پایه ای تولید تابع عضویت همراه با بررسی تغییرات هدایت انتقالی ۲۴

۲-۴-۱-۱-۲ مدار (۲): مدار تولید شش تابع عضویت گوسی توسط پنج زوج تفاضلی ۲۷

۲-۴-۱-۱-۳ مدار (۳) : تولید تابع عضویت گوسی با سیگنالهای ترکیبی ۲۹

۲-۴-۱-۱-۴ مدار (۴): مدار تولید تابع عضویت با مدار مینیمم و تفریق گر ۳۱

۲-۴-۱-۱-۵ مدار (۵): تابع عضویت متقارن با چهار زوج تفاضلی به همراه مدار تفریق گر ۳۴
۲-۴-۱-۱-۶ مدار (۶): تابع عضویت متقارن مثلثی با آینه جریان کنترل پذیر ۳۷
۲-۴-۱-۱-۷ مدار (۷): تولید تابع عضویت گوسی توسط مدار تولید معادله ۴۱
۲-۴-۱-۱-۸ مدار (۸): تابع عضویت غیرمتقارن با آینه جریان PMOS ۴۳
۲-۴-۱-۲ مدارهای مد ولتاژ ۴۶
۲-۴-۱-۲-۱ مدار (۱): تولید انواع توابع عضویت توسط یک مدار واحد ۴۶
۲-۴-۱-۲-۲ مدار (۲) : تولید تابع عضویت مثلثی و ذوزنقه ای توسط تابع تولید شیب ۴۹
۲-۴-۱-۲-۳ مدار (۳) : تولید تابع عضویت با مدار تولید شیب بصورت پله ای به همراه دیکدر ۵۴
۲-۴-۲ پایگاه قواعد ۵۸
۲-۴-۲-۱ مدار (۱) : مدار ماکزیمم و مینیمم ۵۸
۲-۴-۲-۲ مدار (۲): مدار Min به همراه ترانزیستور تزویج و محدود کننده ۶۱
۲-۴-۳ نافازی ساز ۶۳
۲-۴-۳-۱ مدار (۱) : مدار نافازی ساز با ضرب/تقسیم کننده ۶۳
۲-۴-۳-۲ مدار (۲) : مدار نافازی ساز پایدار بدون مدار تقسیم کننده با اتصالات موازی ۶۴
۲-۴-۳-۳ مدار (۳) : مدار نافازی ساز با ضرب/تقسیم کننده به همراه جمع کننده واحد ۶۶
۲-۴-۳-۴ مدار (۴) : مدار نافازی ساز به همراه مدار تقسیم کننده ساده ۶۸
۲-۴-۳-۵ مدار (۵) : تقسیم کننده تکمیلی مدار (۴) ۶۹
۲-۴-۳-۶ مدار (۶) : مدار نافازی ساز به همراه مدار انعکاس جریان ۷۰
۲-۴-۳-۷ مدار (۷) : مدار نافازی ساز توسط مدار مجذور/ریشه و مجذور/تقسیم کننده ۷۳
فصل سوم ۷۹
۳-۱ مدار فازی ساز ۸۰
۳-۱-۱ مدار فازی ساز مثلثی ۸۱
۳-۱-۱-۱ نتایج شبیه سازی در تکنولوژی 0.35um ۸۴
۳-۱-۱-۲ نتایج شبیه سازی در تکنولوژی 90nm ۸۶
۳-۱-۲ مدار فازی ساز گوسی ۸۹
۳-۱-۲-۱ نتایج شبیه سازی مدار در تکنولوژی 0.35um ۹۰
۳-۱-۲-۲ نتایج شبیه سازی مدار در تکنولوژی 90nm ۹۲

۳-۱-۲-۳ جانمایی مدار فازی ساز گوسی ۹۴
۳-۲ مدار Min-Max ۹۶
۳-۲-۱ نتایج شبیه سازی مدار Min-Max با تکنولوژی 0.35um ۹۷
۳-۲-۲ نتایج شبیه سازی مدار Min-Max با تکنولوژی 90nm ۹۸
۳-۳ مدار نافازی ساز ۱۰۰
۳-۳-۱-۱ نتایج شبیه سازی با تکنولوژی CMOS 0.35um ۱۰۵
۳-۳-۱-۲ نتایج شبیه سازی مدار انتگرالگیر با تکنولوژی CMOS 90nm ۱۰۶
فصل چهارم ۱۱۲
۴-۱ نتایج شبیه سازی مدار کنترل کننده منطق فازی ۱۱۳
۴-۱-۱ کنترل کننده اول ۱۱۳
۴-۱-۲ کنترل کننده دوم ۱۱۸
فصل پنجم ۱۲۲
نتیجه گیری و پیشنهادات ۱۲۳
فهرست مراجع ۱۲۸
چکیده انگلیسی ۱۳۱

فهرست جدول ها

عنوان صفحه

جدول ۲-۱ تغییرات I_{out2} برای مقادیر مختلف ولتاژ ورودی [۸] ۳۶
جدول ۲-۲ شیب نمودار جریان خروجی و اندازه ترانزیستورهای مدار پیشنهادی [۹] ۳۹
جدول ۳-۱ کنترل دیجیتال شیب توابع عضویت ۸۲
جدول ۳-۲ نسبت W/L ترانزیستورهای زوج تفاضلی ۸۴
جدول ۳-۳ کنترل دیجیتال شیب توابع عضویت ۸۵
جدول ۳-۴ تاثیر ولتاژ کنترلی بر روی مدار Min-Max پیشنهادی ۹۷
جدول ۳-۵ نسبت ترانزیستورها برای تعیین شیب توابع عضویت خروجی ۱۱۰
جدول ۴-۱ مشخصات مداری توابع عضویت ورودی ۱۱۴
جدول ۴-۲ مشخصات مداری توابع عضویت خروجی ۱۱۴
جدول ۴-۳ قوانین فازی- nonsingletons ۱۱۵
جدول ۴-۴ مشخصات مداری توابع عضویت ورودی ۱۱۸
جدول ۴-۵ مشخصات مداری توابع عضویت خروجی ۱۱۸
جدول ۵-۱ مقایسه نتیجه مدارهای فازی* ساز ۱۲۴
جدول ۵-۲ نتیجه مدارهای کنترل کننده منطق فازی ۱۲۵
جدول ۵-۳ مقایسه نتایج مدارهای کنترل کننده منطق فازی ۱۲۶

فهرست شکل‌ها

عنوان صفحه

شکل ۲– ۱ توابع عضویت: (الف)گوسی (ب)ذوزنقه ای (ج) مثلثی [۱] ۱۰
شکل ۲- ۲ عملکرد عملگرها: (الف) اجتماع (ب) اشتراک (ج) متمم [۱] ۱۰
شکل ۲- ۳ روش های پاسخ فازی ممدانی و Takagi-Sugeno [۴] ۱۲
شکل ۲- ۴ مقایسه جریان خروجی مدارهای آینه جریان[۶] ۱۵
شکل ۲- ۵ مشخصات ورودی-خروجی جریان آینه ای توسط بکارگیری[۶] ۱۶
شکل ۲- ۶ مدارهای آینه جریان [۲۶] ۱۶
شکل ۲- ۷ ساختار اول برای تولید توابع عضویت [۲۶] ۱۷
شکل ۲- ۸ ساختار دوم برای تولید توابع عضویت [۲۶] ۱۸
شکل ۲- ۹ ساختار سوم تولید توابع عضویت [۲۶] ۱۸
شکل ۲- ۱۰ مدار تقویت کننده تفاضلی ساده به همراه معادلات آن [۱] ۲۰
شکل ۲- ۱۱ تغییرات هدایت انتقالی در حالت های مختلف [۲۳] ۲۲
شکل ۲- ۱۲ تحقق تابع عضویت هدایت انتقالی توسط مد جریان [۲۳] ۲۴
شکل ۲- ۱۳ مدار تابع عضویت خطی- تکه ای مد جریان CMOS و شکل های انتقال جریان کمکی [۲۳] ۲۵
شکل ۲- ۱۴ مدار تولید تابع عضویت [۲۳] ۲۶
شکل ۲- ۱۵ تاثیر تنظیم شیب توابع عضویت در ترکیب ترانزیستورها [۲۳] ۲۷
شکل ۲- ۱۶ مدار فازی ساز با پنج زوج تفاضلی جهت ایجاد شش تابع عضویت: (چهار نابع گوسی برای مرکز و دو تابع هلالی در طرفین) [۱۱] ۲۸
شکل ۲- ۱۷ نمونه ای از شش جریان خروجی از مدار فازی ساز [۱۱] ۲۹
شکل ۲- ۱۸ مدار فازیساز با ولتاژ صریح V_{in}، ولتاژهای مرجع، کلیدهای کنترلی و جریان فازی خروجی I_1 تا I_6 [۲۷] ۲۹
شکل ۲-۱۹ مدار زوج تفاضلی پایه جهت تولید تابع عضویت گوسی [۲۷] ۳۰
شکل ۲- ۲۰ نتایج شبیه سازی [۲۷] ۳۱
شکل ۲- ۲۱ مدار فازی ساز پیشنهادی مدار (۴) [۲۵] ۳۲
شکل ۲- ۲۲ نتیجه شبیه سازی اولین تابع عضویت فازی ساز [۲۵] ۳۳
شکل ۲- ۲۳ نتایج شبیه سازی [۲۵] ۳۳
شکل ۲- ۲۴ (الف) ایده اصلی مدار مینیمم (ب) ساختار مدار مینیمم پیشنهادی [۲۵] ۳۴
شکل ۲- ۲۵ نمای کلی مدار فازی ساز پیشنهادی [۱۰] ۳۵
شکل ۲- ۲۶ شماتیک مدار فازی ساز با مدار تفریق گر [۸] ۳۵
شکل ۲- ۲۷ نتایج تابع عضویت گوسی با W/L مختلف [۸] ۳۶
شکل ۲- ۲۸ تابع عضویت ذوزنقه ای با اعمال ولتاژهای مرجع بالا [۸] ۳۷
شکل۲- ۲۹ مدار پیشنهادی فازی ساز [۹] ۳۷
شکل ۲- ۳۰ مدار یکسوکننده جریان [۹] ۳۸
شکل ۲- ۳۱ آینه جریان کنترل پذیر[۹] ۳۸

شکل ۲- ۳۲ شکل تابع عضویت خروجی [۹] ۳۹
شکل ۲- ۳۳ اثر تغییر Ix بر شکل تابع عضویت [۹] ۴۰
شکل ۲- ۳۴ تاثیر I_s بر شکل تابع عضویت [۹] ۴۰
شکل ۲- ۳۵ تنظیم شیب توسط S1, S2 , S3 [۹] ۴۰
شکل ۲- ۳۶ تاثیر Iref بر شکل تابع عضویت [۹] ۴۱
شکل ۲- ۳۷ نمودار بلوکی مدار پیشنهادی [۲۱] ۴۲
شکل ۲- ۳۸ مدار یکسوساز، مجذور/ تقسیم کننده [۲۱] ۴۲
شکل ۲- ۳۹ نمودار بلوکی تابع عضویت [۱۳] ۴۳
شکل ۲- ۴۰ شماتیک مدار تابع عضویت [۱۳] ۴۴
شکل ۲- ۴۱ تنظیم عرض تابع گوسی توسط تنظیم w/L [۱۳] ۴۴
شکل ۲- ۴۲ تنظیم شیب سمت چپ تابع گوسی توسط تغییر w/L ترانزیستورهای M3,M4 و سمت راست توسط تغییر ترانزیستورهای M1,M2 [۱۳] ۴۵
شکل ۲- ۴۳ تنظیم سمت راست تابع دوزنقه ای [۱۳] ۴۵
شکل ۲- ۴۴ تنظیم سمت چپ تابع دوزنقه ای [۱۳] ۴۵
شکل ۲- ۴۵ تولید تابع عضویت z-shape [۱۳] ۴۶
شکل ۲- ۴۶ تولید تابع عضویت S-shape [۱۳] ۴۶
شکل ۲- ۴۷ شماتیک مدار تولیدتابع عضویت فازی آنالوگ CMOS [۳] ۴۷
شکل ۲- ۴۸ ولتاژ درین ترانزیستورهای M_9,M_6,M_5 (به ترتیب از بالا) [۳] ۴۷
شکل ۲-۴۹ تولید توابع مثلثی و ذوزنقهای با تغییر V_{ref1}(تصویر راست) و V_{ref2} (تصویر چپ) [۳] ۴۸
شکل 2- ۵۰ تولید توابع s-shape و z-shape با تغییر ولتاژ مرجع [۳] ۴۸
شکل ۲- ۵۱ تولید تابع مثلثی با V_{grade} مختلف [۳] ۴۸
شکل ۲- ۵۲ نتایج حاصل از تغییر در W/L ترانزیستورها [۳] ۴۹
شکل ۲- ۵۳ نتایج تاثیر تغییرات دمایی [۳] ۴۹
شکل ۲- ۵۴ نمودار بلوکی مدار فازی ساز [۵] ۵۰
شکل ۲- ۵۵ مشخصات تابع عضویت ذوزنقه ای [۵] ۵۰
شکل ۲- ۵۶ مدار فازی ساز پیشنهادی [۵] ۵۰
شکل ۲- ۵۷ نمودار بلوکی مدار تولید تابع عضویت [۵] ۵۱
شکل ۲- ۵۸ جریان خروجی مدار تابع عضویت [۵] ۵۱
شکل ۲- ۵۹ مدار مینیمم دو ورودی [۵] ۵۲
شکل ۲- ۶۰ نتیجه شبیه سازی مدار مینیمم [۵] ۵۲
شکل ۲- ۶۱ مدار مکمل فازی [۵] ۵۳
شکل ۲- ۶۲ نتایج شبیه سازی مدار فازی ساز [۵] ۵۳
شکل ۲- ۶۳ بلوک دیاگرام مدار پیشنهادی [۲۴] ۵۴
شکل ۲- ۶۴ نمونه ای از نتیجه تابع عضویت [۲۴] ۵۴
شکل ۲- ۶۵ نمودار بلوکی مدار تولید تابع شیب دیجیتال[۲۴] ۵۵

شکل ۲- ۶۶ جزییات مدار تابع عضویت [۲۴] ۵۵
شکل ۲- ۶۷ مدار دیکدر [۲۴] ۵۶
شکل ۲- ۶۸ تابع عضویت با هفت گام [۲۴] ۵۷
شکل ۲- ۶۹ تابع عضویت با شیب های مختلف (۴و۷و۱۰و۱۵) [۲۴] ۵۷
شکل ۲- ۷۰ تولید تابع عضویت مثلثی و ذوزنقه ای [۲۴] ۵۷
شکل ۲- ۷۱ مدار مینیمم پیشنهادی [۲۷] ۵۸
شکل ۲- ۷۲ مدار ماکزیمم پیشنهادی [۲۷] ۵۹
شکل ۲- ۷۳ نتیجه شبیه سازی مدار MIN (شکل- ۷۲- الف) [۲۷] ۶۰
شکل ۲- ۷۴ نتیجه شبیه سازی مدار MAX (شکل- ۷۲- الف) [۲۷] ۶۰
شکل ۲- ۷۵ نتیجه شبیه سازی مدار MAX (شکل- ۷۲- ب) [۲۷] ۶۱
شکل ۲- ۷۶ مدار MIN پیشنهادی [۱۷] ۶۱
شکل ۲- ۷۷ نتیجه شبیه سازی مدار MIN [۱۵] ۶۲
شکل ۲- ۷۸ مدار آینه جریان [۲۵] ۶۳
شکل ۲- ۷۹ مدار تقسیم کننده جریان-ولتاژ [۲۵] ۶۳
شکل ۲- ۸۰ مدار نقسیم کننده با اتصالات موازی [۵] ۶۵
شکل ۲- ۸۱ مدار شیفت دهنده مثبت [۵] ۶۵
شکل ۲-۸۲ مدار ازبین برنده تغییرات ولتاژ آستانه در مدار شیفت دهنده [۵] ۶۶
شکل ۲- ۸۳ نمودار شماتیکی کامل مدار نافازی ساز [۵] ۶۶
شکل ۲- ۸۴ مدار ضرب/تقسیم کننده بهبود داده شده با جریان ورودی I_{min1} ، I_{s1} و I_{sum} جریان خروجی I_{out} [۲۷] ۶۷
شکل ۲- ۸۵ نتایج شبیه سازی [۲۷] ۶۷
شکل ۲- ۸۶ مدار تقسیم کننده جریان [۸] ۶۸
شکل ۲- ۸۷ نتیجه شبیه سازی مدار تقسیم کننده [۸] ۶۹
شکل ۲- ۸۸ مدار پیشنهادی تقسیم کننده در مد جریان [۱۰] ۶۹
شکل ۲- ۸۹ نتایج شبیه سازی [۱۰] ۷۰
شکل ۲- ۹۰ نموار بلوکی مدار نافازی ساز [۱۳] ۷۱
شکل ۲- ۹۱ مدار انعکاس جریان [۱۳] ۷۱
شکل ۲- ۹۲ مدار ضرب/تقسیم کننده [۱۳] ۷۲
شکل ۲- ۹۳ پاسخ مدار انعکاس جریان ۲ , ۱ , ۰.۵=α [۱۳] ۷۲
شکل ۲- ۹۴ عملکرد مدار ضرب/تقسیم کننده به عنوان ضرب کننده [۱۳] ۷۳
شکل ۲- ۹۵ عملکرد مدار ضرب/تقسیم کننده به عنوان تقسیم کننده [۱۳] ۷۳
شکل ۲- ۹۶ مجموعه های فازی و پاسخ توابع عضویت آنها [۱۴] ۷۴
شکل ۲- ۹۷ ناحیه جریان نافازی ساز [۱۴] ۷۴
شکل ۲- ۹۸ مدار نافازی ساز با ۹ مجموعه فازی [۱۴] ۷۵
شکل ۲- ۹۹ مدار مجذور/ ریشه مد جریان [۱۴] ۷۵
شکل ۲- ۱۰۰ نتایج تجربی مدار مجدور/ ریشه [۱۴] ۷۶

شکل ۲- ۱۰۱ مدار مجذور/تقسیم کننده [۱۴] ۷۷
شکل ۲- ۱۰۲ نتایج تجربی مدار مجذور/تقسیم کننده [۱۴] ۷۸
شکل ۲- ۱۰۳ نتیجه تجربی نافازی ساز با Iyi=10uA و Iyi+1=20uA [۱۴] ۷۸
شکل ۳-۱ مدار فازی ساز مثلثی طراحی شده ۸۱
شکل ۳-۲ زوج تفاضلی ورودی به همراه سوییچها و ترانزیستورهای کنترلی مدار طراحی شده ۸۲
شکل ۳-۳ قسمت خروجی مدار فازی ساز مثلثی ۸۳
شکل ۳-۴ نتیجه شبیه سازی مدار فازی ساز با تغییر ولتاژ مرجع و S=001 و S_r=111 ..... ۸۴
شکل ۳-۵ نتیجه شبیه سازی مدار فازی ساز با تغییر جریان I_{ref} (تنظیم ارتفاع تابع عضویت توسط کنترل دیجیتال S_r با مشخصات V_1=2v و S=001) ۸۵
شکل ۳-۶ نتیجه شبیه سازی مدار فازی ساز با تغییر ولتاژ کنترلی در کنترل شیب V_1=1.5v و S_r=111 ..... ۸۵
شکل ۳-۷ نمونه مدار شبیه سازی شده با مشخصه v_{1n}=1.5v و S=001 و S_r=111 ..... ۸۶
شکل ۳-۸ نتیجه توان مصرفی مدار فازی ساز با مشخصه v_{in}=1.5v و S=001 و S_r=111 ..... ۸۶
شکل ۳-۹ نتیجه شبیه سازی مدار با مشخصات v_1=[0.2v-0.8v] وW/L=8 و I_{ss}=10u و I_{ref}=10u ۸۷
شکل ۳-۱۰ نتیجه شبیه سازی مدار با مشخصات V_1=0.4m و L=0.1um و W/L=[1-8] و I_{ss}=10u و I_{ref}=10u ۸۷
شکل ۳-۱۱ نتایج شبیه سازی مدار با تغییر جریان I_{ref} با مشخصات V_1=40mv و W/L=8 و I_{ref}=[4u-10u] ۸۷
شکل ۳-۱۲ توان مصرفی مدار با مشخصات v_1=400mv و W/L=8 و I_{ss}=10u و I_{ref}=10u ۸۸
شکل ۳-۱۳ دیاگرام کلی مدار فازی ساز گوسی پیشنهادی ۸۹
شکل ۳-۱۴ نتیجه شبیه سازی مدار فازی ساز گوسی با تنظیم ولتاژهای مرجع و شیب توابع عضویت با مشخصات L=0.4um و W/L=[1-10] ۹۰
شکل ۳-۱۵ نتیجه شبیه سازی مدار فازی ساز گوسی با تغییر جریان مرجع I_o ۹۱
شکل ۳-۱۶ توان مصرفی مدار فازی ساز طراحی شده با مشخصاتI_{ss}=10uA , W/L=5 ..... ۹۱
شکل ۳-۱۷ نتایج شبیه سازی مدار با مشخصات W/L=[1-7] و L=0.1um و I_{ss}=10uA ۹۲
شکل ۳-۱۸ نتایج شبیه سازی مدار با تغییر I_{ss} و W/L=[1-7] و L=0.1um ۹۲
شکل ۳-۱۹ توان مصرفی مدار شبیه سازی شده با مشخصات W/L=[1-7] و L=0.1um و I_{ss}=10uA ۹۳
شکل۳-۲۰ نتیجه شبیه سازی جانمایی طراحی شده مدار فازی ساز گوسی W/L=3/0.4 و I_{ss}=30uA ۹۴
شکل ۳- ۲۱ جانمایی مدار فازی ساز گوسی ۹۵
شکل ۳-۲۲ مدار Min-Max پیشنهادی با کنترل دیجیتال ۹۶
شکل ۳-۲۳ نتایج شبیه سازی مدار Min-Max در حالت Min ۹۷
شکل ۳-۲۴ نتایج شبیه سازی مدار Min-Max در حالت Max ۹۸
شکل ۳-۲۵ نتایج شبیه سازی مدار Min-Max در حالت Min ۹۸
شکل۳-۲۶ نتایج شبیه سازی مدار Min-Max در حالت Max ۹۹
شکل ۳-۲۷ مقایسه روش نافازی سازی مرکز ثقل ممدانی و takagi-sugeno [۴] ۱۰۱
شکل ۳-۲۸ دیاگرام کلی الگوریتم پیشنهادی نافازیساز ۱۰۲
شکل ۳-۲۹ جزئیات الگوریتم پیشنهای نافازی ساز ۱۰۲
شکل ۳- ۳۰ تابع عضویت مثلثی ۱۰۲

شکل ۳-۳۱ مدار ضرب کننده/تقسیم کننده [۲۸] ۱۰۳
شکل ۳-۳۲ نتایج شبیه سازی مدار ضرب کننده ۱۰۴
شکل ۳-۳۳ ورودی اول مورد نیاز برای مدار انتگرال گیر (ورودیهای سمت چپ) ۱۰۵
شکل ۳-۳۴ ورودی دوم مورد نیاز برای مدار انتگرال گیر (ورودیهای سمت راست) ۱۰۵
شکل ۳-۳۵ نتایج شبیه سازی مدار انتگرال گیر با مشخصات I_{ss}=10uA و I_x=[0-10u] در تکنولوژی 0.35um ۱۰۶
شکل ۳-۳۶ خطای مدار انتگرال گیر با مشخصات I_{ss}=10uA و I_x=[0-10u] در تکنولوژی 0.35um ۱۰۶
شکل ۳-۳۷ نتایج شبیه سازی مدار انتگرال گیر با مشخصات I_{ss}=10uA و I_x=[0-10u] در تکنولوژی 90nm ۱۰۷
شکل ۳-۳۸ خطای مدار انتگرال گیر با مشخصات I_{ss}=10uA و I_x=[0-10u] در تکنولوژی 90nm ۱۰۷
شکل ۳-۳۹ محل برخورد دو تابع عضویت ۱۰۹
شکل۳-۴۰ شیب های تولد شده توسط تنظیم نسبت $(W/L)_7$ ۱۱۰
شکل ۳-۴۱ مدار طراحی شده برای محاسبه تقاطع دو تابع عضویت مجاور ۱۱۱
شکل ۳-۴۲ نتایج شبیه سازی مدار محاسبه جریان فصل مشترک دو تابع عضویت مجاور ۱۱۱
شکل۴-۱ بلوک دیگرام کنترل کننده اول ۱۱۴
شکل ۴-۲ توابع عضویت ورودی "۱" ۱۱۵
شکل ۴-۳ توابع عضویت ورودی "۲" ۱۱۵
شکل ۴-۴ توابع عضویت خروجی ۱۱۵
شکل۴-۵ توان مصرفی مدار کنترل کنند منطق فازی طراحی شده ۱۱۶
شکل ۴-۶ نتیجه خروجی فازی ساز Matlab ۱۱۷
شکل ۴-۷ نتیجه خروجی مدار کنترل کنندهی فازی طراحی شده ۱۱۷
شکل ۴-۸ بلوک دیاگرام کنترل کننده دوم ۱۱۸
شکل ۴-۹ توابع عضویت ورودی "۱" ۱۱۹
شکل ۴-۱۰ توابع عضویت ورودی "۲" ۱۱۹
شکل ۴-۱۱ توابع عضویت خروجی ۱۱۹
شکل ۴-۱۲ نتیجه خروجی فازی ساز Matlab ۱۲۰
شکل ۴-۱۳ نتیجه خروجی مدار کنترل کنندهی فازی طراحی شده ۱۲۰
شکل ۴-۱۴ توان مصرفی مدار کنترل کننده منطق فازی طراحی شده ۱۲۱

چکیده

کنترل کننده‌های منطق فازی یکی از پرکاربردترین کنترل کننده‌ها در سیستم‌ها و کاربردهای مختلف بوده که در هر دو صورت سخت‌افزاری و نرم‌افزاری قابل پیاده‌سازی و اجرا می‌باشند. اما سیستم‌های نرم افزاری بنابر مشکلاتی مانند سرعت پایین در سیستم‌های پیچیده، در بسیاری از موارد دارای محدودیت می‌باشند. بنابراین جهت غلبه بر اینگونه مشکلات تمایل برای پیاده سازی سخت افزاری روبه گسترش است. در این پایان نامه مدارهای مختلفی برای پیاده سازی کنترل کننده‌های منطق فازی در هرسه قسمت: (۱) فازی ساز (۲) پایگاه قواعد (۳) نافازی ساز در مد جریان با فنآوری CMOS طراحی و توسط نرم فزار Hspice شبیه سازی شده است. در قسمت اول، در مدارهای فازی ساز، دو مدار پیشنهاد شده است که نسبت به موارد مشابه دارای برتری‌های اساسی مانند افزایش کنترل پذیری، افزایش دقت و کاهش توان مصرفی می‌باشد که در دو تکنولوژی 0.35um و 90nm طراحی و شبیه سازی شده اند. مدار فازی ساز اول، مدار تولید تابع عضویت مثلثی با دقت بسیار بالا و توان مصرفی پایین با کنترل دیجیتال بوده که توسط ولتاژهای ترکیبی، کنترل پذیری بسیار بالایی را در شیب، ارتفاع و موقعیت تابع عضویت دارا می‌باشد. در مدار دوم، فازی ساز گوسی با کنترل پذیری بالایی در شیب، ارتفاع و موقعیت توابع عضویت پیشنهاد شده است که قابلیت تولید توابع مثلثی و ذوزنقه‌ای را نیز توسط ولتاژهای کنترلی آنالوگ در اختیار کاربر قرار می‌دهد. جانمایی این مدار با قابلیت تولید 5 تابع عضویت در تکنولوژی 0.35um توسط نرم افزار Microwind صورت گرفته و شبیه سازی آن توسط نرم افزار Tanner EDA ارایه شده است. ابعاد این مدار 92.2um×16.6um بوده که در مقایسه با موارد مشابه بسیار مناسب می‌باشد. در قسمت دوم، مدار Min-Max با قابلیت کنترل دیجیتال جهت انتخاب عملگر Min یا Max ارایه شده است که استفاده از آن باعث افزایش کنترل پذیری مدار کنترل کننده فازی خواهد شد. در قسمت سوم نیز یک الگوریتم جدید در پیاده سازی مداری نافازی سازها، توسط روش نافازی‌سازی مرکز ثقل ممدانی، ارایه شده و با استفاده از مدارهای ضرب کننده/تقسیم کننده با دقت بالا، طراحی و پیاده سازی شده است. این الگوریتم با توجه به کاهش پیچیدگی‌های مدار و استفاده از مدارهای ساده، توان مصرفی مدار کنترل کننده فازی را کاهش داده و کنترل پذیری بسیاری بالایی را در طراحی توابع عضویت خروجی در اختیار کاربر قرار می‌دهد و به دلیل استفاده از روش نافازی ساز ممدانی،

باعث افزایش دقت خروجی نهایی خواهد شد. در انتها دو مدار کنترل کننـده فـازی، توسـط مـدارهای ارایـه شده، با تعداد توابع عضویت مختلف در ورودی و تعداد قوانین مختلف طراحی و پیـاده سـازی شـده اسـت. مدار کنترل کننده اول دارای دو ورودی با ۳ تابع عضویت ، یک خروجی با ۵ تابع عضویت مثلثی و ۹ قـانون بوده که توان مصرفی این مدار8.75mW محاسبه شده است که دارای سرعت استنتاج 11.9MFLIPS مـی-باشد. مدار کنترل کننده دوم نیز دارای دو ورودی با ۴ تابع عضویت، یک خروجی با ۷ تابع عضویت مثلثی و ۱۶ قانون بوده که دارای توان مصرفی 16.3mW و سرعت استنتاجی معادل 10.5MFLIPS می‌باشد.

با مقایسه نتایج بدست آمده در نرم افزار Hspice و انتقال آن به نرم افـزار Matlab جهـت رسـم رویـه حاصل از خروجی و مقایسه آن با نتایج شبیه سازی حاصل از کنترل کننده فازی نرم افزاری، دقت بالای ایـن کنترل کننده‌ها به وضوح مشاهده می‌شود. با توجه به ویژگی‌های مهمی مانند کنترل پذیری و دقت بسیار بـالا به دلیل استفاده از نافازی ساز ممدانی، نتایج بدست آمده حاکی از سرعت و دقت بالای هـر دو کنتـرل کننـده در مقایسه با کنترل کننده‌های مشابه می‌باشد.

فصل اول

۱-۱ مقدمه

ایجاد منطقِ فازی را می‌توان وقوع یکی از انقلاب‌های عظیم در قرن اخیر دانست که کاربرد آن در علـوم و فنون مختلف از جمله صنعت الکترونیک، دالِ بر ادعای پیشرفت آن است. تئوری این منطق که توسط آقای پروفسور لطفی زاده در سال ۱۹۶۵ ارایه گردید، بر اساس مدلی استوار است که پارامترهای محـیط غیرخطـی را به دنیای منطق فازی، که بصورت عبارت‌های زبانی ایجاد می‌شوند، تبدیل می‌کند. از آنجـا کـه آنـالیز داده-های صریح[۱] در محیط کلاسیک با استفاده از مدلسازی توابع ریاضی منجر به پیچیده شدن انها می‌شود. تجزیه و تحلیل داده‌های فازی شده، امکان بررسی بصورت نرم‌تر و اعمال قـانون‌هـای دلخـواه کنترلـی را ایجـاب و آسانتر می‌نماید. و از طرفی نیز با توجه به برتری سیستم‌های سخت افزاری نسبت به عملکرد آن در سیسـتم-های نرم افزاری، مانند سرعت بالاتر، تمایل به طراحی کنترل‌کننده‌های فازی در حالـت سـخت افـزاری روبـه گسترش می‌باشد.

۱-۲ اهداف

استفاده از خاصیت انعطاف‌پذیری منطق فازی، منجر به ایجاد کنترل‌کننـده‌هـای فـازی بـا قابلیـت داشـتن هوش مصنوعی می‌شود که رفتار محسوس بشری را با دقت‌های بالا، مدل و کنترل می‌کنـد. منطـق فـازی بـه دلیل کاهش پیچیدگی‌های معادلات، یکی از جذاب ترین منطق‌ها به شمار می‌آید. پیاده سازی ایـن منطـق بـه

[۱] crisp

صورت نرم افزاری توسط بسیاری از نرم افزارها قابل اجرا می‌باشد اما بنابر دلایلی مانند: پایین بودن سرعت محاسبات، بکارگیری آن بسیار مطلوب نمی‌باشد. بنابراین جهت افزایش سرعت محاسبات (به عنوان یکی از مهمترین دلایل) تمایل مهندسان برای پیاده سازی سخت‌افزاری این منطق، افزایش یافته است. در پیاده سازی سخت افزاری علاوه بر افزایش سرعت معیارهایی مانند کاهش سطح اشغالی، کاهش توان مصرفی، کاهش پیچیدگی های مداری حایز اهمیت می‌باشد.

در این پایان نامه، تعدادی از این مدارها که تا کنون برای این امر طراحی شده اند مورد بررسی و تحلیل قرار گرفته و ویژگی های آنها بیان شده است. سپس با توجه به نکته‌های موجود برای تمامی قسمت‌های کنترل کننده‌ی منطق فازی، مدارها و الگوریتم‌های جدیدی با ویژگی‌های بهتر مانند توان مصرفی پایین‌تر ،کنترل پذیری بالاتر و مساحت اشغالی کمتر طراحی و ارایه شده است. در ابتدا ۲ مدار فازی ساز مثلثی و گوسی طراحی و تحلیل شده که از نظر توان مصرفی نسبت به مدارهای مشابه عملکرد بسیار مناسبی را نشان می‌دهند. جانمایی مدار فازی ساز گوسی نیز طراحی و شبیه سازی شده است که دارای مساحت اشغالی بسیار کمی در مقابل کارهای گذشته می‌باشد. سپس مدار Min-Max جهت استفاده در پایگاه قواعد طراحی و تحلیل شده است که نسبت به مدارهای مشابه دارای کنترل پذیری دیجیتالی در انتخاب نوع عملگر می-باشد. در انتها نیز با بهره‌گیری از مدارهای ضرب کننده/تقسیم کننده در کارهای گذشته به همراه طراحی‌های مناسب، الگوریتمی جدید در نافازی سازی ممدانی در پیاده سازی سخت‌افزاری کنترل کننده‌های فازی ارایه شده است که دارای کنترل پذیری بسیار بالایی در بسیاری از پارامترهای مهم و اساسی یک کنترل‌کننده می-باشد که مزیتی نسبت به کارهای گذشته به شمار می‌رود. سپس با ترکیب این مدارها دو نوع کنترل کننده منطق فازی طراحی و نتایج آن بررسی شده است.

۱-۳ سازماندهی

پایان نامه مشتمل بر پنج فصل می‌باشد که در ادامه، مطالب به صورت زیر ارایه شده است:

فصل دوم : مروری بر منطق فازی ، معرفی و تحلیل کارهای گذشته

در ابتدای این فصل ابتدا منطق فازی و تعدادی از ویژگی های آن مورد بررسی قرار گرفته است. سپس مقالات با توجه به تقسیم بندی‌های منطق فازی، دسته بندی و ارایه شده است و همراه با نتیجه مقاله مورد بررسی قرار گرفته‌اند.

فصل سوم: معرفی و تحلیل مدارهای طراحی شده

در این فصل مدارهای طراحی شده در هر سه قسمت کنترل کننده فازی شامل: (۱) مدارهای فازی ساز مثلثی وگوسی (۲) مدار Min-Max (۳) مدارهای نافازی ساز، ارایه و تحلیل شده و همراه با نتایج شبیه سازی توسط نرم افزار Hspice در دو تکنولوژی 0.35um و 90nm نشان داده شده است. جانمایی طراحی شده‌ی مدار فازی ساز گوسی در نرم فزار Microwind به همراه نتیجه شبیه سازی توسط نرم افزار Tanner EDA نیز در این بخش ارایه شده است.

فصل چهارم: نتایج شبیه سازی کنترل کننده‌های طراحی شده

پس از بررسی تمامی قسمت‌های کنترل کننده در فصل قبل، با ترکیب این مدارها دو کنترل کننده فازی با تعداد توابع عضویت متفاوت در ورودی و خروجی طراحی شده و نتایج آن پس از شبیه سازی توسط نرم افزار Hspice در تکنولوژی 0.35um ، در نرم افزار Matlab وارد شده و رویه حاصل از شبیه سازی مداری با رویه حاصل از همان کنترل کننده بصورت نرم افزاری مقایسه شده است.

فصل ۵ : نتیجه‌گیری و پیشنهادات

در این قسمت، تمامی نتایج بدست آمده در فصل ۳ و فصل ۴، ارایه شده و با نتایج کارهای گذشته مقایسه گردیده است. در انتهای این فصل نیز با توجه به ویژگی‌ها و قابلیت‌های مدارهای طراحی شده، پیشنهادهایی برای بهبود عملکرد سخت افزاری این مدارها ارایه گردیده است.

فصل دوم