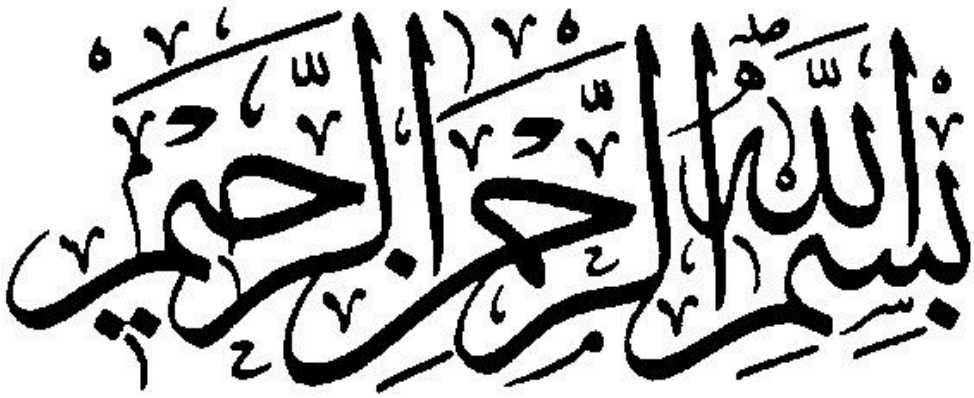

بسم الله الرحمن الرحيم

دانشکده فنی

گروه مهندسی برق

(الکترونیک)

طراحی حافظه استاتیکی با ولتاژ خیلی کم و مقاوم در برابر خطای نرم

از

مصطفی ساجدی

استاد راهنما

دکتر راهبه نیارکی اصلی

(دی ماه ۹۲)

تقدیم به:

پدرم که سخاوتش رشک باران است و

مادرم که خورشید حتی به گرمی مهرش نیست.

تقدیر و تشکر:

در آغاز خداوند منان را شاکرم که فرصت شروع و توفیق پایان دادن به این دوره را به بنده عطا کرد. در ادامه با تمام وجود از پشتیبانی‌های بی‌دریغ و همیشگی مهربان‌ترین پدر و مادر دنیا که با حمایت‌ها و رهنمودهایشان موجبات انتخاب راه صحیح و پیشرفت را برایم فراهم نمودند تشکر می‌نمایم. از زحمات و کمک‌های استاد راهنمای محترم سرکار خانم دکتر نیارکی کمال تشکر و قدردانی را دارم؛ همچنین در انتها از کلیه اساتید محترم که موجبات آموزش و تعالی دانش‌پژوهان را فراهم نمودند تشکر می‌نمایم.

فهرست مطالب

فهرست شکل‌ها ..... د

فهرست جدول‌ها ..... ز

فهرست علائم اختصاری ..... س

چکیده فارسی ..... ش

چکیده انگلیسی ..... ص

فصل اول: مقدمه ۱

۱-۱ معرفی موضوع ۲

۱-۲ معرفی انواع حافظه ۳

۱-۲-۱ حافظه دینامیکی ۴

۱-۲-۲ حافظه استاتیکی ۵

۱-۳ معرفی سلول SRAM ۷

۱-۴ خطای نرم ۹

۱-۴-۱ منابع و منشاهای خطای نرم ۱۰

۱-۴-۲ مکانیزم خطای نرم ۱۱

۱-۵ خطای نرم در مدارات مجتمع ۱۲

۱-۵-۱ مدارات ترکیبی ۱۲

۱-۵-۲ مدارات ترتیبی ۱۲

۱-۵-۳ خطای نرم در حافظه‌ها ۱۳

۱-۶ فصل‌بندی پایان‌نامه ۱۳

فصل دوم: محاسبه معیارها و پارامترهای مهم در طراحی SRAM ۱۴

۲-۱ سلول SRAM ۱۵

۲-۱-۱ مسائل مهم در طراحی سلول SRAM ۱۷

۲-۱-۱-۱ طراحی زیرآستانه ۱۸

۲-۲ سلول SRAM ۶ ترانزیستوری استاندارد ۱۸
۲-۲-۱ عملیات خواندن ۱۹
۲-۲-۲ عملیات نوشتن ۲۰
۲-۳ محاسبه تاخیرهای خواندن و نوشتن سلول SRAM ۶ترانزیستوری استاندارد ۲۰
۲-۴ خطای نرم و شیوه مدل‌سازی آن در سلول‌های SRAM ۲۳
۲-۵ مصرف توان در سلول SRAM ۲۴
۲-۵-۱ بررسی مشخصه‌های دینامیکی سلول SRAM ۲۵
۲-۵-۲ بررسی توان نشتی در هدایت زیرآستانه ۲۷
۲-۶ پایداری در سلول SRAM ۲۹
۲-۶-۱ روش‌های موثر بر پایداری سلول SRAM ۳۱
۲-۶-۱-۱ وابستگی به V_{DD} ۳۱
۲-۶-۱-۲ وابستگی به نسبت سلول (CR) ۳۳
۲-۶-۱-۳ وابستگی ه نسبت بالا کشی(PR) ۳۳
۲-۶-۱-۴ وابستگی به دما ۳۴
۲-۶-۱-۵ وابستگی به ولتاژ آستانه ۳۵
فصل سوم: روش‌های کاهش خطای نرم و توان مصرفی ۳۷
۳-۱ روش‌های کاهش خطای نرم در SRAM ۳۸
۳-۱-۱ روش‌های فرآیندی ۳۸
۳-۱-۲ روش‌های معماری ۳۸
۳-۱-۳ روش‌های مداری ۴۰
۳-۱-۳-۱ قراردادن مقاومت در مسیر فیدبک ۴۰
۳-۱-۳-۲ افزودن خازن در مسیر فیدبک ۴۱
۳-۱-۳-۳ افزودن خازن سه‌بعدی ۴۱
۳-۱-۳-۴ روش ترکیبی ۴۱

۳-۲ روش‌های کاهش توان مصرفی سلول SRAM ۴۲
۳-۲-۱ Gated Ground SRAM ۴۳
۳-۲-۲ SRAM با ترانزیستور خواب ۴۴
۳-۲-۳ Drowsy Cache ۴۲
۳-۲-۴ Leakage-Optimized Dual-VTH SRAM ۴۵
۳-۲-۵ Stack-Forced SRAM ۴۶
۳-۳ سلول‌های کم‌توان و مقاوم در برابر خطای نرم طراحی شده ۴۷
۳-۳-۱ SRAM زیرآستانه ۸ ترانزیستوری Verma ۴۷
۳-۳-۲ SRAM زیرآستانه ۱۰ ترانزیستوری Kim ۴۸
۳-۳-۳ SRAM زیرآستانه ۱۱ ترانزیستوری Chen ۴۹
۳-۳-۴ SRAM زیرآستانه ۶ ترانزیستوری Zhai ۵۰
۳-۳-۵ SRAM ۱۲ ترانزیستوری مبتنی بر PMOS ۵۱
۳-۳-۶ SRAM ۱۴ ترانزیستوری Sheng ۵۳
۳-۳-۷ SRAM ۱۱ ترانزیستوری Shiyanovskii ۵۴
۳-۳-۸ SRAM ۱۳ ترانزیستوری Rajendran ۵۵
۳-۳-۹ دو SRAM ۱۲ ترانزیستوری ۵۶
۳-۳-۱۰ طرح‌های دیگر ۵۷
فصل چهارم: طراحی سلول SRAMکم‌ولتاژ مقاوم در برابر خطای نرم ۶۰
۴-۱ مقدمه ۶۱
۴-۲ روش bit-interleaving ۶۱
۴-۳ سلول ۱۰ ترانزیستوری مبنا ۶۴
۴-۴ روش‌های بکار رفته در طراحی سلول ۶۵
۴-۵ معرفی سلول ۱۳ ترانزیستوری پیشنهادی ۶۵
۴-۵-۱ عملیات و شیوه کارکرد سلول پیشنهادی ۶۶

۴-۶ انجام شبیه‌سازی‌ها و مقایسه سلول پیشنهادی با کارهای پیشین ۶۸
۴-۶-۱ پایداری سلول ۱۳ ترانزیستوری پیشنهادی ۶۹
۴-۶-۱-۱ تغییر پایداری سلول پیشنهادی با V_{DD} ۷۱
۴-۶-۱-۲ تغییر پایداری سلول پیشنهادی با نسبت سلول (CR) ۷۲
۴-۶-۱-۳ تغییر پایداری سلول پیشنهادی با دما ۷۳
۴-۶-۲ خطای نرم در سلول پیشنهادی ۷۵
۴-۶-۳ توان مصرفی سلول پیشنهادی ۷۹
۴-۶-۴ تاخیر در سلول پیشنهادی ۸۲
۴-۶-۴-۱ محاسبه پارامتر PDP ۸۲
۴-۷ تغییر فرآیند در سلول پیشنهادی ۸۳
۴-۸ چیدمان سلول ۱۳ ترانزیستوری پیشنهادی ۸۴
فصل پنجم: نتیجه‌گیری و پیشنهاد برای ادامه کار ۸۵
۵-۱ خلاصه و نتیجه‌گیری ۸۶
۵-۲ پیشنهاد برای کارهای آینده ۸۸
مراجع ۸۹

فهرست شکل‌ها

شکل ۱-۱ پدیده SET در ICها ۳

شکل ۱-۲ ساختار ساده حافظه‌های دینامیکی و استاتیکی ۶

شکل ۱-۳ ساختار اصلی از یک حافظه استاتیکی ساده ۶ ترانزیستوری ۶

شکل ۱-۴ SER در SRAMها و DRAMها ۷

شکل ۱-۵ ساختار آرایه SRAM ۹

شکل ۱-۶ رسوب بار و مجموعه اتفاقات در پیوند p-n با بایاس معکوس پس از برخورد ذرات، جریان بوجود آمده در گره ۱۱

شکل ۲-۱ شماتیک و چیدمان سلول SRAM ۶ ترانزیستوری متداول ۱۵

شکل ۲-۲ ظرفیت خازنی و مقیاس ولتاژ در SRAM، سطح بیت و سطح نرخ خطای نرم در SRAM ۱۶

شکل ۲-۳ پروسسور Xeon اینتل با حافظه پنهان، روند معمولی از حافظه و سطح منطقی روی یک تراشه SoC ۱۷

شکل ۲-۴ سلول SRAM ۶ ترانزیستوری استاندارد ۱۹

شکل ۲-۵ مدار ساده شده سلول ۶ ترانزیستوری استاندارد طی عملیات‌های الف) خواندن، و ب) ونوشتن ۱۹

شکل ۲-۶ کاهش :"۰" منطقی برحسب نسبت سلول و حاشیه نویز استاتیکی برحسب نسبت سلول ۲۱

شکل ۲-۷ تاخیر زمان خواندن ۲۲

شکل ۲-۸ تاخیر زمان نوشتن ۲۲

شکل ۲-۹ سلول SRAM ۶ ترانزیستوری با منبع جریان برای مدلسازی برخورد ذره در گره A ۲۳

شکل ۲-۱۰ نمایش خازن‌های درونی یک وارونگر ۲۶

شکل ۲-۱۱ شکل موج‌های ورودی و خروجی و جریان خازن در طی سوئیچینگ وارونگر ۲۶

شکل ۲-۱۲ مشخصه زیرآستانه CMOS ۲۹

شکل ۲-۱۳ مولفه‌های جریان نشتی در سلول ۶ ترانزیستوری استاندارد ۲۹

شکل ۲-۱۴ قراردادن منبع ولتاژ در ورودی‌های وارونگر برای محاسبه SNM، منحنی پروانه‌ای برای محاسبه SNM ۳۰

شکل ۲-۱۵ پارامترهای حاشیه نویز ۳۱

شکل ۲-۱۶ تغییر SNM با ولتاژ تغذیه در نسبت سلول‌های گوناگون، تغییر انواع حاشیه نویز با تغییر ولتاژ تغذیه ۳۲

شکل ۲-۱۷ مقایسه بین تغییر SNM سلول‌های ۶ ترانزیستوری و ۱۱ ترانزیستوری با تغییر CR ۳۳

شکل ۲-۱۸ مقایسه تغییر SNM نوشتن دو سلول ۶ ترانزیستوری و ۱۱ ترانزیستوری ۳۴
شکل ۲-۱۹ تغییر SNM در اثر تغییر دما برای سلول ۶ ترانزیستوری ۳۵
شکل ۲-۲۰ مقایسه تغییر SNM نوشتن دو سلول ۶ ترانزیستوری و ۱۱ ترانزیستوری ۳۶
شکل ۳-۱ رخدادن خطا در الف)یک کلمه از حافظه محافظت نشده،ب) کلمه حافظه محافظت شده با بیت توازن ۴۰
شکل ۳-۲ تشخیص خطا با استفاده از بیت توازن ۴۰
شکل ۳-۳ روش‌های سخت‌کردن سلول در برابر خطای نرم ۴۱
شکل ۳-۴ یک سلول SRAM سخت شده با خازن‌های کوپلاژ و مقاومت فیدبک ۴۲
شکل ۳-۵ مسیرهای نشتی در سلول SRAM ۴۳
شکل ۳-۶ یک سلول SRAM با روش Gated Ground در تکنولوژی ۶۵nm ۴۴
شکل ۳-۷ معماری SRAM با ترانزیستور خواب ۴۴
شکل ۳-۸ یک سلول drowsy cache در تکنولوژی ۶۵nm ۴۶
شکل ۳-۹ یک سلول SRAM نامتقارن با نشتی بهینه شده برای "۱" منطقی در تکنولوژی ۶۵nm ۴۶
شکل ۳-۱۰ یک سلول SRAM با روش Stack-forced در تکنولوژی ۶۵nm ۴۶
شکل ۳-۱۱ سلول ۸ ترانزیستوری پیشنهاد شده توسط Verma ۴۸
شکل ۳-۱۲ سلول ۱۰ ترانزیستوری پیشنهاد شده توسط Kim ۴۹
شکل ۳-۱۳ سلول فایل رجیستر پیشنهاد شده توسط Chen ۵۰
شکل ۳-۱۴ سلول ۶ ترانزیستوری طراحی شده در [۴۶] ۵۱
شکل ۳-۱۵ سلول ۱۲ ترانزیستوری پیشنهاد شده در [۴۷] ۵۲
شکل ۳-۱۶ سلول ۱۴ ترانزیستوری پیشنهاد شده در [۴۸] ۵۴
شکل ۳-۱۷ سلول SRAM پیشنهادی با دو هسته درونی (قرمز رنگ) و هسته بیرونی (آبی رنگ) ۵۵
شکل ۳-۱۸ سلول ۱۳ ترانزیستوری پیشنهاد شده در [۵۱] ۵۶
شکل ۳-۱۹ الف) سلول NC-SRAM سخت‌شده نوع ۱، ب) سلول NC-SRAM سخت‌شده نوع۲ ۵۷
شکل ۳-۲۰ سلول ۱۸ ترانزیستوری پیشنهاد شده در [۶۲] ۵۸
شکل ۳-۲۱ ذخیره بیت‌های هم‌شماره در بلوک‌های جداگانه ۵۸

شکل ۴-۱ مفهوم روش bit-interleaving در یک آرایه SRAM ۶۲
شکل ۴-۲ استفاده از یک دیکدر سطر و مالتی‌پلکسر ستون برای فعالسازی خط‌کلمه و خط‌بیت مربوطه با توجه به آدرس ۶۲
شکل ۴-۳ یک سطر در یک سلول SRAM برای ۲ کلمه ۶۴
شکل ۴-۴ امکان بروز خطای ناشی از یک ذره در یک آرایه SRAM ۶۴
شکل ۴-۵ سلول ۱۰ ترانزیستوری مبنا ۶۵
شکل ۴-۶ سلول ۱۳ ترانزیستوری پیشنهادی ۶۶
شکل ۴-۷ SNM نگهداری در شرایط $CR = \frac{300}{100} = 3$ و در ولتاژ تغذیه ۰/۸ v ۷۰
شکل ۴-۸ SNM خواندن در شرایط $CR = \frac{300}{100} = 3$ و در ولتاژ تغذیه ۰/۸ v ۷۰
شکل ۴-۹ SNM نگهداری سلول ۷۱
شکل ۴-۱۰ تغییرات پایداری (SNM) نگهداری، خواندن، و نوشتن با تغیر ولتاژ تغذیه ۷۲
شکل ۴-۱۱ تغییرات پایداری (SNM) در حالت نگهداری با تغییر ولتاژ تغذیه (ولت) و در چند نسبت سلول ۷۳
شکل ۴-۱۲ تغییر پایداری نگهداری با تغییر دما ۷۴
شکل ۴-۱۳ HSNM مطابق با جدول ۴-۴ ۷۵
شکل ۴-۱۴ افزایش مقاومت سلول ۱۰ ترانزیستوری در برابر خطای نرم با افزودن الف) مقاومت، ب) خازن ۷۶
شکل ۴-۱۵ افزایش مقاومت سلول ۱۳ ترانزیستوری پیشنهادی در برابر خطای نرم با افزودن الف) مقاومت، ب) خازن ۷۷
شکل ۴-۱۶ بار بحرانی سلول ۱۰ ترانزیستوری و ۱۳ ترانزیستوری بدون اعمال خازن ۷۷
شکل ۴-۱۷ تغییر بار بحرانی سلول ۱۳ ترانزیستوری پیشنهادی با اعمال خازن ۱fF بین گره‌های حساس ۷۷
شکل ۴-۱۸ توان مصرفی کل مطابق با جدول ۴-۸ ۸۰
شکل ۴-۱۹ خروجی گره Q سلول پیشنهادی ۸۱
شکل ۴-۲۰: PDP سلول پیشنهادی در مقایسه با سلول‌های دیگر در ۵ ولتاژ تغذیه ۰/۳۷، ۰/۵، ۰/۶، ۰/۷، و ۰/۸ ولت ۸۳
شکل ۴-۲۱: چیدمان سلول ۱۳ ترانزیستوری پیشنهادی ۸۴

فهرست جدول‌ها

جدول ۲-۱ الف) اتلاف توان با تغییر ولتاژ تغذیه [۲۹]، ب) تغییر SNM با تغییر ولتاژ تغذیه ۳۲

جدول ۲-۲ تغییر SNM با تغییر CR برای سلول ۷T [۳۱]، ب) مقایسه تغییر SNM سه سلول SRAM با تغییر CR [۳۳] ۳۲

جدول ۲-۳ تغییر SNM با تغییر PR برای سلول ۷T [۳۱]، ب) مقایسه تغییر SNM دو سلول ۶T و ۸T با تغییر PR [۲۹] ۳۴

جدول ۲-۴ رابطه افزایش اتلاف توان با افزایش دما [۳۲،۲۸] ۳۵

جدول ۲-۵ تغییر SNM با تغییر ولتاژ آستانه [۲۹] ۳۶

جدول ۲-۶ مقایسه پایداری سه سلول ۶، ۸ و ۹ ترانزیستوری ۳۶

جدول ۳-۱ میزان اتلاف توان سلول ۶T با تغییر ولتاژ تغذیه، فرکانس، دما، وخازن‌های سلول ۴۳

جدول ۳-۲ نشتی و خطای نرم SRAMهای کم نشتی ۴۸

جدول ۳-۳ مقایسه SNM سلول ۱۰ ترانزیستوری Kim با سلول ۶ ترانزیستوری متداول ۴۹

جدول ۴-۱ تغییرات پایداری (SNM) نگهداری، خواندن، و نوشتن سلول پیشنهادی با تغییر ولتاژ تغذیه ۷۲

جدول ۴-۲ تغییرات پایداری (SNM) سلول پیشنهادی با تغییر ولتاژ تغذیه (ولت) و نسبت سلول ۷۳

جدول ۴-۳ تغییرات SNM سلول پیشنهادی با تغییر دما ۷۴

جدول ۴-۴ SNM نگهداری سلول‌های گفته شده با سلول پیشنهادی ۷۴

جدول ۴-۵ تغییر بار بحرانی سلول ۱۰ترانزیستوری مبنا با تغییر ولتاژ تغذیه و افزودن خازن بین گره‌های حساس ۷۶

جدول ۴-۶ تغییر بار بحرانی سلول پیشنهادی با تغییر ولتاژ تغذیه و افزودن خازن بین گره‌های حساس ۷۸

جدول ۴-۷ بار بحرانی سلول ۱۳ ترانزیستوری پیشنهادی و مقایسه با سلول‌های فصل سوم بر حسب fC ۷۸

جدول ۴-۸ مقایسه توان مصرفی سلول پیشنهادی با سلول‌های مهم فصل سوم در CR=۱/۳ ۸۰

جدول ۴-۹ مقایسه PDP سلول ۱۳ ترانزیستوری پیشنهادی با چند سلول ۸۲

جدول ۴-۱۰ بررسی سلول پیشنهادی در حضور تغییر فرآیند ۸۴

فهرست علائم اختصاری

SEE : اثر تک رخدادی

SER : نرخ خطای نرم

SEU : آشفتگی تک رخدادی

SET : گذار تک رخدادی

Q_{crit} : بار بحرانی

V_{DD} : ولتاژ تغذیه

V_{TH} : ولتاژ آستانه ترانزیستور

$P_{Dynamic}$: توان دینامیکی

P_{Static} : توان استاتیکی

P_{avr} : توان کل

Q_{coll} : مقدار بار جمع شده

N_{flux} : شدت شار نوترونی

W : عرض ترانزیستور

L : طول ترانزیستور

PDP : حاصل‌ضرب توان در تاخیر

چکیده

طراحی حافظه استاتیکی با ولتاژ خیلی کم و مقاوم در برابر خطای نرم

مصطفی ساجدی

با پیشرفت تکنولوژی و به وجود آمدن سلول‌های حافظه ایستای جاسازی‌شده (SRAM)، این سلول‌ها به دلیل سرعت بسیار بالا و هزینه‌ی ساختِ کم، تبدیل به رایج‌ترین حافظه‌های مورد استفاده در بازار گردیدند. از طرف دیگر با افزایش تعداد ترانزیستورها در آرایه‌های SRAM و نیز افزایش جریان نشتی ترانزیستورها در تکنولوژی‌های با ابعاد کوچک ، توان مصرفی نیز افزایش می‌یابد. به علاوه فرایندِ کاهشِ ولتاژ منبع تغذیه برای جبرانِ کاهشِ مصرف توان، پایداری داده‌ی سلولِ SRAM را به خطر می‌اندازد؛ کاهش ابعاد قطعات نیز اثر تغییرات فرآیند بر روی سلول را افزایش می‌یابد. موضوع دیگری که باید به آن اشاره کرد اثرِ خطاهای مخربی چون خطای نرم می باشد که با کوچکتر شدن ابعاد قطعات، افزایش چشمگیری می‌یابد و در نتیجه طراحی مدارات مقاوم و کم‌توان یکی از مسائل مهم در عرصه الکترونیک دیجیتال به شمار می‌رود.

در این پایان‌نامه ابتدا به بیان مفاهیم کلی خطای نرم پرداخته می شود، سپس اثرات آن و نیز روش‌های پایه کاهش توان مصرفی در سلول‌های SRAM مورد بررسی قرار گرفته و در نهایت با در نظر گرفتن این موارد یک سلول SRAM با ۱۳ ترانزیستور پیشنهاد می‌گردد. این سلول شامل هسته‌ی ۱۰ ترانزیستوری با مسیر خواندن و نوشتن جداگانه به منظور افزایش پایداری سلول و نیز کاهش توان دینامیکی می‌باشد. به علاوه برای افزایش قدرت جمع‌آوری بار و افزایش مقاومت سلول در برابر خطای نرم، ۲ ترانزیستور به هسته اصلی الحاق شده است. همچنین به منظور کاهش توان نشتی در مقایسه با سلول SRAM ۶ ترانزیستوری، از یک ترانزیستور با یک سیگنال کنترلی استفاده شده است. در حقیقت توان مصرفی سلول پیشنهادی در دمای ۲۷ درجه سانتیگراد، نسبت سلول ۱/۳ و ولتاژ تغذیه ۰/۸ ولت، برابر با ۳/۷۱ میکروووات است؛ درحالیکه در شرایط آزمایشگاهی یکسان توان مصرفی سلول SRAM ۶ ترانزیستوری استاندارد برابر با ۵/۲۸ میکروووات، توان مصرفی سلول SRAM ۱۸ ترانزیستوری برابر با ۹/۴۱ میکروووات و توان مصرفی سلول Kim SRAM برابر با ۵/۱۹ میکروووات است که نسبت به سلول‌های گفته شده به ترتیب ۳۱/۲۵٪، ۶۱/۴۲٪، و ۳۰/۰۱٪ کاهش نشان می‌دهد. علاوه بر بهبود در توانِ مصرفی، مقاومت سلول پیشنهادی نیز در مقابل خطای نرم در مقایسه با سلول‌های ۶T SRAM و Kim و Verma به ترتیب ۴۷/۱٪، ۳۰/۶٪، و ۲۵/۲٪ بهبود می‌یابد. همچنین می‌توان بار بحرانی سلول پیشنهادی را با افزودن خازن به آن به منظور افزایش ظرفیت خازنی، افزایش داد. در نتیجه با توجه به مقادیر بدست آمده واضح است که سلول ۱۳ ترانزیستوری پیشنهاد شده در مقایسه با دیگر سلول‌ها برتری محسوسی دارد.

کلمات کلیدی: خطای نرم، بار بحرانی، کم‌توان، توان نشتی

Abstract

Low Voltage Soft Error Resilient SRAM Design

Mostafa Sajedi

By progressing in technology and bringing SRAM's into being, these cells became the most common memories in the market because of their excessive quickness and slight fabrication cost. On the other hand, by increasing the number of transistors in SRAM's arrays and also increasing the leakage current of transistors in tiny scales technologies, the consumption power will be increased simultaneously. Furthermore, the process of decreasing the voltage of power supply for compensating the reduction of consumption power, will endanger the stability of SRAM's cell data; also diminishing the size of device will enlarge the impression of process variations. Another issue, that could be mentioned, is the impression of destructive errors such as soft error. These kinds of errors will be increased dramatically by dwindling the size of devices, that's why designing the resistant and the low-power circuits would be one of the important matters in digital electronic domain.

In this dissertation, first of all general concepts of soft error will be mentioned, then its impression and basic methods for decreasing the consumption power in SRAM's cells will be described. Finally by considering the facts which mentioned before, an SRAM cell including 13 transistors will be proposed. This cell consists of a 10 core transistor with separated reading and writing paths for increasing the stability of cell and reducing the dynamic power. Furthermore for increasing the charge collection power and cell's resistance against soft error, 2 transistors will be attached to the core. Also a transistor with control signal has been used for reducing the leakage power in comparison to 6 transistors SRAM's cell. In fact, proposed cell consumption power in $27^{\circ}C$ of temperature, 1.3 of cell ratio and 0.8 v of voltage source is equall to 3.71 uw; While in the same condition, for 6 transistors standard SRAM cell, 18T SRAM cell and Kim SRAM cell, the consumption power respectively is equals to 5.28, 9.41 and 5.19 uw. It's observed that proposed cell respectively has 31.25%, 61.42% and 30.01% improvement in power consumption in comparison with 6T, 18T and Kim cells. In addition to the improvements in power consumption, there is also respectively 47.1%, 30.6% and 25.2% improvement against soft error in comparison with 6T, Kim and Verma cells. Likewise, the critical charge of proposed cell could be increased by adding a capacitor to increase the capacitance. According to the values which obtained for the new cell, obviously the proposed 13 transistor cell has a noticeable advantage in comparison to the other cells.

Key words: Soft error, Critical charge, Leakage power

فصل اول

مقدمه

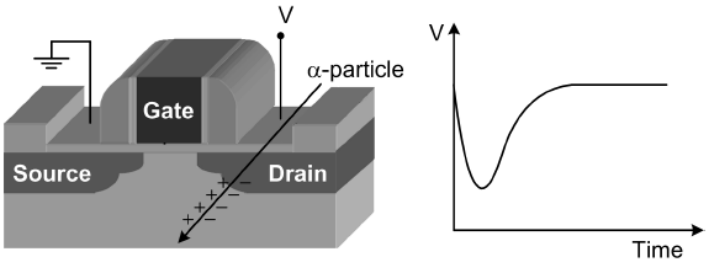
۱-۱- معرفی موضوع

در این فصل، ابتدا به بیان مقدمه‌ای کوتاه از اثرات پیشرفت تکنولوژی بر روی قطعات الکترونیکی پرداخته، سپس به معرفی حافظه‌های پرکاربرد می‌پردازیم؛ پس از آن با مقایسه بین پرکاربردترین حافظه‌ها، یعنی حافظه‌های پویا[1] و حافظه‌های ایستا[2] از نظر قابلیت پذیرش خطای نرم، دلیل انتخاب حافظه SRAM را در این پایان‌نامه بیان می‌نماییم؛ در نهایت در انتهای فصل به معرفی خطای نرم پرداخته و مکانیزم کاری آن را مورد بررسی قرار می‌دهیم.

مطابق قانون مور، تکنولوژی نیمه هادی‌ها در چهار دهه گذشته پیشرفت چشمگیری داشته است. هر نسل از تکنولوژی، که مدتی در حدود دو تا سه سال زمان می‌برد، تعداد ترانزیستورهای موجود در هر تراشه را دو برابر می‌کند، که این امر موجب افزایش ۴۳ درصدی فرکانس و کاهش ۶۵ درصدی انرژی مصرفی می‌شود. امروزه ICهایی ساخته می‌شوند که ترانزیستورهای موجود در آنها دارای طول گیتی در حدود ۳۲ نانومتر یعنی کوچکتر از ویروس آنفلوآنزا که در حدود ۱۰۰ نانومتر است، هستند و در عین حال ارزانتر و دارای قدرت بیشتری نیز هستند. در مقیاس‌های زیر ۱۰۰ نانومتر کیفیت و قابلیت اطمینان بسیار مهم است، بویژه اینکه در قطعات با ابعاد کوچکتر و عمل‌کننده در ولتاژهای پایین‌تر، ICها دارای حساسیت بیشتری نسبت به اختلالات هستند. از جمله این اختلالات می‌توان به نویز، جفت‌شدگی سیگنال، نویز منبع تغذیه و نویز زیرلایه، و ناپایداری‌های ناشی از پرتوهای یونیزه کننده اشاره کرد. در یک IC با طراحی خوب، پارامترهای قطعه از جمله ولتاژ آستانه، طول و عرض کانال و... کاهش می‌یابند [۱].

در وهله نخست، ناپایداری‌های پرتویافته در اثر نوترون‌های پرانرژی و ذرات آلفا بوجود می‌آیند، که به ترتیب ناشی از پرتوهای کیهانی و مواد بسته بندی تراشه‌ها هستند. این ذرات موجب بوجود آمدن یک مسیر چگال از زوج‌های الکترون-حفره شده که زوج‌ها از میان قطعه نیمه‌هادی عبور می‌کنند، و موجب بوجود آمدن یک ولتاژ گذرا در یک گره و در نتیجه تجمع بار در آن گره شود (به شکل ۱-۱ نگاه کنید). این پدیده به صورت یک گذار تک رخدادی[3] (SET) معرفی می‌شود. به دلیل اثر این بارهای جمع شده، بایاس معکوس در پیوندهای p-n در IC رخ می‌دهد. اگر مقدار کافی بار بوسیله پیوند جمع شود، SET منجر به خطا در گره، خود را بصورت جهش سطح منطقی (از ۱ به ۰ یا برعکس) نشان می‌دهد. هنگامیکه یک چنین خطایی در سلول حافظه و یا فلیپ‌فلاپ وجود داشته باشد گفته می‌شود آشفتگی تک‌رخدادی[4] (SEU) رخ داده است. از آنجایی که تخریب ناشی از SEU به طور دائمی و همیشگی در قطعه وجود ندارد، به این خطا، خطای نرم (Soft Error) گفته می‌شود.

[1] DRAM
[2] SRAM
[3] Single Event Transient
[4] Single Event Upset



شکل ۱-۱: پدیده SET در ICها

اگرچه خطای نرم برای قطعه آسیب آنچنانی ندارد، اما قابلیت اطمینان مدار را در معرض خطر قرار می‌دهد. اگر این ایراد تصحیح نشود، نرخ آسیب ناشی از خطاهای نرم بیشتر از نرخ کل آسیب‌های مکانیزم‌های سخت (خرابی و از کار افتادگی اکسید گیت، جریان الکتریکی ماده، latch-up و...) خواهد بود. نرخ عیوب و نواقص سخت از ۵۰ تا ۲۰۰ FIT[1] که بصورت ۱ نقص بر ۱۰۹ ساعت عمکرد قطعه تعریف می‌شود، است. در نقطه مقابل، نرخ خطای نرم[2](SER) که بصورت میزان خطای نرم بوقوع پیوسته در طی یک مدت زمان خاص تعریف می‌شود، براحتی می‌تواند به بیش از ۵۰۰۰۰ FIT در هر تراشه برسد. SER در اثر تغییرات فرآیند و روش‌های مداری بکار رفته جهت کاهش نشتی، افزایش می‌یابد. در نتیجه تخفیف و کاهش دادن خطای نرم در ICهای در رنج نانومتر کاری بسیار مشکل است. مسئله بعدی مصرف توان است؛ برای کاهش مصرف توان در زمان روش‌های مختلفی از جمله سلول تقویت کننده حسی[3] [۲] و تقویت کننده حسی با خط بیت سلسله مراتبی[4] [۳] پیشنهاد شده است. با این حال، خصوصیات مثبت این روش‌ها نتوانسته مصرف توان بالای سلول‌ها را تا حد مطلوب کاهش دهد. معمولاً، کاهش ولتاژ منبع تغذیه و از بین بردن اثر بدنه، روش‌هایی هستند که برای کاهش جریان‌های نشتی و در نتیجه توان نشتی پیشنهاد می‌شوند. با این حال نکتهٔ منفی کاهش ولتاژ تغذیه، کاهش همزمان پایداری حاشیه نویز استاتیکی[5] (SNM) است [۴]. در ادامه پس از معرفی انواع حافظه‌ها و دلایل انتخاب حافظه SRAM، به بررسی کوتاهی از خطای نرم، منابع ایجاد کننده و مکانیزم کاری این خطا در حافظه‌ها می‌پردازیم.

۱-۲- معرفی انواع حافظه

حافظه‌ها نقش بسیار مهمی در راندمان کلی سیستم دارند. همه این کارها برای افزایش سرعت عملکرد انتقال اطلاعات از حافظه سیستم، به حافظه پردازنده جهت انجام عملیات پردازش است. همواره پردازنده منتظر رسیدن اطلاعات از حافظه است. در حقیقت سرعت سیستم محدود به سرعت حافظه است و از یک فرکانس به بالاتر، سرعت سیستم با افزایش سرعت سایر

[1] Failure In Time
[2] Soft Error Rate
[3] Sense Amplifier Cell
[4] Hierarchical BitLine Sense Amplifier
[5] Static Noise Margin

قطعات (مثلا پردازنده) افزایش نمی‌یابد. امروزه فعالیت‌هایی در استفاده از قطعات کوانتومی، مانند RTD، برای ساخت حافظه-ها، به جای استفاده از قطعات قبلی سازنده حافظه‌ها، مانند MOSFETها، انجام می‌شود. قطعات کوانتومی دارای حجم بسیار پایین‌تر و ولتاژ و جریان کاری کمتر و در نتیجه حرارت پایین‌تر و سرعت بیشتری می‌باشند. این پروژه‌ها به دلیل هزینه بالای ساخت و مشکلات موجود در مسیر تولید، فعلا در حد آزمایشگاهی می‌باشند و هنوز به صورت وسیع و تجاری مورد استفاده قرار نگرفته‌اند.

در سیستم‌های رایانه‌ای از حافظه‌های مختلف و با فناوری‌های متفاوتی استفاده می‌گردد. حافظه‌های استاتیکی و دینامیکی دو نمونه متداول در این زمینه می‌باشند. هر رایانه ممکن است هم دارای حافظه استاتیکی و هم حافظه دینامیکی باشد. از حافظه-های فوق با توجه به تفاوت مشهود قیمت تولید آنان، با اهداف متفاوتی استفاده می‌گردد. با بررسی نحوه عملکرد هر یک از حافظه استاتیکی و دینامیکی، می‌توان به تفاوت‌های موجود و علت اختلاف قیمت آنان، بیشتر پی برد. همچنین سلول‌های حافظه بخش عمده‌ای از تراشه (حدود ۹۰٪ در سال ۲۰۱۲ طبق پیش‌بینی ITRS [۵]) در ریزپردازنده‌ها و سیستم روی تراشه (SoC) را اشغال خواهند کرده‌اند، که این امر لزوم بررسی و بهینه‌سازی حافظه‌ها را نشان می‌دهد. در ادامه به معرفی حافظه‌های مهم پرداخته می‌شود.

۱-۲-۱- حافظه دینامیکی

متداول‌ترین نوع حافظه در حال حاضر محسوب می‌گردد. درون یک تراشه حافظه دینامیکی، هر سلول حافظه صرفا یک بیت اطلاعات را در خود ذخیره می‌کند و از دو بخش اساسی تشکیل می‌گردد: یک ترانزیستور و یک خازن. به منظور ذخیره میلیون‌ها سلول حافظه بر روی یک تراشه از تعداد انبوهی ترانزیستور کوچک و خازن استفاده می‌گردد. خازن مسئولیت نگهداری صفر و یا یک را برعهده داشته و ترانزیستور به منزله یک سوئیچ است که مدار کنترلی بر روی تراشه را به منظور خواندن خازن و یا تفسیر وضعیت آن، مدیریت می‌نماید. خازن را می‌توان به منزله یک سطل کوچک در نظر گرفت که قادر به ذخیره الکترون‌ها می‌باشد. به منظور ذخیره‌سازی مقدار یک در حافظه، می‌بایست سطل فرضی از الکترون‌ها پر گردد و برای ذخیره مقدار صفر، این سطل می‌بایست خالی گردد. مهمترین مشکل سطل فرضی، وجود نشتی و یا سوراخی در آن است که باعث می‌گردد پس از گذشت مدت زمانی مشخص، خالی گردد. در مدت زمانی کمتر از چند میلی ثانیه، یک سطل پر از الکترون، خالی می‌گردد. به منظور نگهداری وضعیت خازن و ذخیره‌سازی مقدار یک قبل از تخلیه خازن، می‌بایست پردازنده و یا کنترل‌کننده حافظه، خازن را شارژ نمایند. بدین منظور کنترل‌کننده حافظه، حافظه را خوانده و آن را مجددا بازنویسی می-نماید. فرآیند فوق که به تازه‌سازی[1] موسوم است به صورت اتوماتیک در هر ثانیه، هزاران مرتبه تکرار می‌گردد. علت نامگذاری

[1] Refreshing

این نوع از حافظه ها به دینامیکی به مفهوم فرآیند تازه‌سازی بر می‌گردد. حافظه‌های دینامیکی، می‌بایست به صورت پویا بازخوانی و بازنویسی گردند و گرنه تمامی اطلاعات موجود در آنان از بین خواهد رفت. علاوه بر موارد فوق، عملیات تازه-سازی زمان خاص خود را داشته و باعث می‌گردد سرعت آنان، کاهش یابد. ساختار ساده‌ای از یک حافظه دینامیکی در شکل ۲.۱ (الف) مشاهده می‌شود.

ZRAM، نوع پیشرفته‌ای از حافظه‌های DRAM می‌باشد که در آن به جای یک ترانزیستور و یک خازن، تنها از یک ترانزیستور استفاده می‌شود و به همین دلیل Zero Capacitance RAM یا ZRAM نامیده می‌شوند. [۷،۶].

در ZRAMها از خاصیت بدنه شناور یا اثر شارژ بدنه که باعث ذخیره شارژ در بدنه ترانزیستورهای FET می‌شود و یک خاصیت پارازیتی محسوب می‌شود، استفاده نموده و با استفاده از یک آمپلی‌فایر حساس به جریان، این ذخیره و یا عدم ذخیره شارژ در ترانزیستور را اندازه گرفته و به عنوان یک و یا صفر منطقی در نظر گرفته می‌شود.

۱-۲-۲- حافظه استاتیکی

حافظه‌های استاتیکی از یک تکنولوژی کاملا متفاوت با حافظه‌های دینامیکی استفاده می‌کنند. در حافظه‌های استاتیکی از یک نوع فلیپ فلاپ خاص که هر یک از بیت‌های حافظه را در خود نگهداری می‌نماید، استفاده می‌گردد. یک فلیپ فلاپ برای هر سلول حافظه از چهار تا شش ترانزیستور استفاده می‌نماید. در این نوع حافظه، ضرورتی به عملیات تازه‌سازی نبوده و به همین دلیل بدیهی است که سرعت آنان در مقایسه با حافظه های دینامیکی به مراتب بیشتر می‌باشد. با توجه به این که این نوع از حافظه‌ها دارای بخش‌ها و عناصر بیشتری می‌باشند، یک سلول حافظه استاتیکی فضای به مراتب بیشتری را نسبت به یک سلول حافظه دینامیکی بر روی تراشه، اشغال خواهد کرد. بنابراین فضای حافظه کمتری را در هر تراشه خواهیم داشت و بدیهی است که به این دلیل قیمت آنان نیز افزایش خواهد یافت. در شکل ۱-۲ (ب)، نمونه‌ای از ساختار حافظه استاتیکی نمایش داده شده است. هریک از گیتهای NOT شامل دو عدد ترانزیستور می‌باشند.

با توجه به موارد اشاره شده، حافظه‌های استاتیکی سریع و گران‌قیمت و حافظه‌های دینامیکی ارزان ولی کند می‌باشند. از حافظه‌های استاتیکی به منظور ایجاد حافظه‌های پنهان[1] ریزپردازنده (حساس به سرعت) و از حافظه‌های دینامیکی به منظور فضای ذخیره‌سازی اصلی در سیستم ها، استفاده می‌گردد. در شکل ۱-۳ شمای دیگری از ساختار حافظه استاتیکی دیده می شود. این ساختار در واقع ساختار اساسی یک سلول SRAM است. هر سلول SRAM استاندارد از دو وارونگر پشت سر هم

[1] Cache Memory