بسم الله الرحمن الرحيم

دانشگاه شاهد

دانشکده فنی و مهندسی

پایان‌نامه دوره کارشناسی ارشد مهندسی برق–الکترونیک

طراحی مقایسه‌گرهای آنالوگ با استفاده از روش g_m/I_d با تأکید بر کاهش مصرف توان

سید حامد هاشمی

استاد راهنما:

دکتر محمد باقر غزنوی قوشچی

بهار ۱۳۹۱

تأییدیّه هیات داوران

(برای پایان نامه)

اعضای هیئت داوران، نسخه نهائی پایان نامه آقای: **سید حامد هاشمی**

را با عنوان: **طراحی مقایسه‌گرهای آنالوگ با استفاده از روش g_m/I_d با تأکید بر کاهش مصرف توان**

از نظر فرم و محتوی بررسی نموده و پذیرش آن را برای تکمیل درجه کارشناسی تأیید می‌کند.

اعضای هیئت داوران	نام و نام خانوادگی	رتبه علمی	امضاء
۱- استاد راهنما	**دکتر محمد باقر غزنوی قوشچی**	استادیار	
۲- استاد مشاور	-	-	-
۳- استاد مشاور	-	-	-
۴- استاد ممتحن	**دکتر امید هاشمی‌پور**	دانشیار	
۵- استاد ممتحن	**دکتر محسن جلالی**	استادیار	
۶- نماینده گروه	**دکتر علیرضا بهراد**	استادیار	

تقدیم

تقدیم به خدای خوبم

که هر چه دارم تقدیمی او به من است.

تقدیم به پدر و مادر مهربانم

که همواره مشوق و حامی من در امر تحصیل بوده‌اند.

تقدیم به همسرصبورم

که به پایان رساندن پایان‌نامه بدون همراهی و همیاری او ممکن نبود.

تشکر و قدردانی

خداوند منان را شاکرم که سلامت جسم و قدرت فکر به من عطا فرمود تا در مسیر علم‌آموزی قدمی هر چند کوچک به پیش بردارم.

همچنین از استاد راهنما آقای دکتر غزنوی قوشچی سپاسگزارم که بنده را در تهیه و تدوین این پایان‌نامه راهنمایی و همراهی نمودند.

چکیده

در این پایان‌نامه ساختار جدیدی از مقایسه‌گرهای آنالوگِ Class-AB معرفی و سپس با استفاده از روش مبتنی بر نمودار g_m/I_d طراحی و در تکنولوژی‌های TSMC 0.18um و UMC 90nm توسط نرم‌افزار hspice شبیه‌سازی گردید. برای کاهش مصرف توان، طراحی مدار در ناحیه معکوس ضعیف(W.I.) انجام شد. نتایج حاصل از شبیه‌سازی بیانگر کاهش ۵۰ تا ۹۰ درصدی مصرف توان مدار نسبت به طرح‌های مشابه و با فرکانس کاری یکسان است. مدار طراحی شده همچنین مستقل از تکنولوژی بوده و با تغییر تکنولوژی از 180nm به 90nm تغییری در رفتار مدار مشاهده نگردید؛ زیرا ابعاد ترانزیستورهای طبقات پیش-تقویت‌کننده و لچ به گونه‌ای انتخاب شده‌اند که تقریباً مستقل از تکنولوژی باشند. مقایسه‌گرِ طراحی شده سپس در یک مبدل ۶-بیتی SAR ADC مورد استفاده قرار گرفت و کاهش ۵۵ درصدی در مصرف توان را گزارش داد.

کلید واژه: مقایسه‌گر آنالوگ، روش g_m/I_d، مبدل SAR ADC، مستقل از تکنولوژی.

فهرست مطالب

عنوان **صفحه**

فهرست جدول‌ها ..... ج
فهرست شکل‌ها ..... د
فهرست علایم و نشانه‌ها ..... ح

فصل ۱- مقدمه ۱

فصل ۲- مبانی روش g_m/I_d ۵

۲-۱- مقدمه ۵
۲-۲- مدل های تحلیلی و تجربی ۵
۲-۳- روش طراحی مبتنی بر g_m/I_d ، چرا و چگونه ۷
۲-۳-۱- g_m/I_d ، پارامتر جدید طراحی ۷
۲-۳-۲- ارتباط روش g_m/I_d با مدل EKV و BSIM ۱۱
۲-۳-۳- ضریب معکوس شدگی(I.C.) و روش g_m/I_d ۱۲
۲-۴- استخراج نمودارهای g_m/I_d و بررسی تأثیر پارامترهای مختلف بر این نمودارها ۱۴
۲-۴-۱- استخراج نمودار g_m/I_d vs. V_{ov} ۱۴
۲-۵- تأثیر تغییرات W بر نمودار g_m/I_d vs. V_{ov} ۱۵
۲-۶- تأثیر تغییرات V_{ds} بر نمودار g_m/I_d vs. V_{ov} ۱۶
۲-۷- استخراج نمودار $I_d/(W/L)$ vs. g_m/I_d ۱۷
۲-۸- تأثیر تغییرات V_{ds} بر نمودار $I_d/(W/L)$ vs. $g_m\backslash I_d$ ۱۹
۲-۹- تأثیر تغییرات دما بر نمودار g_m/I_d vs. V_{ov} ۲۰
۲-۱۰- تأثیر تغییرات دما بر نمودار $I_d/(W/L)$ vs. g_m/I_d ۲۴
۲-۱۱- تأثیر تغییرات L بر نمودار g_m/I_d vs. V_{ov} در تکنولوژی ثابت ۲۵
۲-۱۲- تأثیر تغییرات L بر نمودار $I_d/(W/L)$ vs. g_m/I_d در تکنولوژی ثابت ۲۷

فصل ۳- مقایسه گرهای آنالوگ ۲۹

۳-۱- مقدمه ۲۹
۳-۲- کابردهای مقایسه گرهای آنالوگ ۲۹
۳-۳- مقایسه گرهای آنالوگ حلقه-باز ۳۱
۳-۴- مقایسه گرهای آنالوگ حلقه-بسته ۳۲
۳-۴-۱- مقایسه گرهای *استاتیکی* قفل شونده: ۳۲
۳-۴-۲- مقایسه گرهای *کلاس- AB* قفل شونده: ۳۸
۳-۴-۳- مقایسه گرهای *دینامیکی* قفل شونده: ۴۷

۳-۵- نیازمندی های طراحی مقایسه گرها ۵۲

فصل ۴- مبانی طراحی مقایسه گر آنالوگ مستقل از تکنولوژی ۵۵

۴-۱- مقدمه ۵۵

۴-۲- روش های مستقل سازی مدارات از تکنولوژی ۵۷

۴-۲-۱- تقویت کننده مستقل از تکنولوژی، مبتنی بر مقاومت منفی ۵۸

۴-۲-۱-۱- مدار مولد مقاومت منفی ۵۹

۴-۲-۱-۲- طبقه بهره ۶۲

۴-۲-۱-۳- مدار بایاس ۶۴

۴-۲-۲- تشریح عملکرد مدار NRG بر پایه جریان و تأثیر آن بر یک تقویتکننده ساده ۶۶

۴-۲-۲-۱- مفهوم مداری g_m و g_{ds} ۶۷

۴-۲-۲-۲- تأثیر بدنه بر مقاومت خروجی ۷۰

۴-۲-۲-۳- تأثیر سطح ولتاژ مشترک ورودی (ICM) بر مقاومت کل گره خروجی ۷۱

۴-۳- انتخاب طبقه پیش-تقویت کننده(P.A.) ۷۲

۴-۴- انتخاب طبقه لچ ۷۶

فصل ۵- طراحی و شبیه سازی مقایسه گر با استفاده از روش g_m/I_d ۸۱

۵-۱- مقدمه ۸۱

۵-۲- طراحی مقایسه گر Half-Rail ۸۱

۵-۲-۱ طراحی W, L ترانزیستورهای طبقه پیش-تقویت کننده ۸۱

۵-۲-۲- طراحی W, L ترانزیستورهای طبقه لچ ۸۶

۵-۳- نتایج شبیه سازی مقایسه گر Half-Rail ۸۷

۵-۴- طراحی مقایسه گر Rail-to-Rail ۸۹

۵-۵- نتایج شبیه سازی مقایسه گر Rail-to-Rail ۹۳

۵-۵-۱- شبیه سازی مقایسه گر در تکنولوژی 0.18um ۹۳

۵-۵-۲- شبیه سازی مقایسه گر در تکنولوژی 90nm ۹۸

۵-۶- مبدل های تقریب های متوالی(SAR ADC) ۱۰۰

۵-۶-۱- ساختار مبدل های SAR ADC ۱۰۰

۵-۶-۱-۱- بررسی روش توزیع مجدد بار ۱۰۳

۵-۶-۲- نتایج شبیه سازی SAR ADC با مقایسه گر طراحی شده ۱۰۵

فصل ۶- جمع بندی، نتیجه گیری و پیشنهادات ۱۱۰

۶-۱- روند اجرا و نوآوری های طرح ۱۱۰

۶-۲- پیشنهادات ۱۱۱

مراجع ۱۱۲

Abstract **۱۱۳**

فهرست جدول‌ها

عنوان **صفحه**

جدول ۵-۱: توان مصرفی مقایسه گر Half-Rail در فرکانس f_{clk} = 1MHz، بایاس I_{bn} = 35nA و تغذیه Vdd=1.8V ۸۷

جدول ۵-۲: توان مصرفی مقایسه گر Rail-to-Rail در فرکانس f_{clk} = 1MHz، بایاس I_{bn} = 50nA و تغذیهٔ Vdd=1.8V ۹۳

جدول ۵-۳: توان مصرفی مقایسه گر Rail-to-Rail در فرکانس f_{clk} = 1MHz، بایاس I_{bn} = 50nA و تغذیه Vdd=1V ۹۴

جدول ۵-۴: توان مصرفی مقایسه گر Rail-to-Rail در فرکانس f_{clk} = 10KHz، بایاس I_{bn} = 400pA و تغذیه Vdd=1.8v ۹۵

جدول ۵-۵: توان مصرفی مقایسه گر Rail-to-Rail در فرکانس f_{clk} = 100MHz، بایاس I_{bn} = 2.5µA و تغذیه Vdd=1.8v ۹۵

جدول ۵-۶: مقایسه توان مصرفی مقایسه گر طراحی شده با سایر مراجع ۹۶

جدول ۵-۷: توان مصرفی مقایسه گر در تکنولوژی 90nm، فرکانس f_{clk} = 1MHz، بایاس I_{bn} = 10nA و تغذیه Vdd=1v ۹۹

جدول ۵-۸: توان مصرفی مقایسه گر در تکنولوژی 90nm، فرکانس f_{clk} = 1MHz، بایاس I_{bn} = 10nA و تغذیه Vdd=0.5v ۹۹

جدول ۵-۹: توان مصرفی کل مبدل و مقایسه گر در فرکانس f_{clk}=1MHz و ولتاژ تغذیه Vdd=1V ۱۰۸

جدول ۵-۱۰: توان مصرفی کل مبدل و مقایسه گر در فرکانس f_{clk}=1MHz و ولتاژ تغذیه Vdd=0.5V ۱۰۸

فهرست شکل‌ها

عنوان **صفحه**

شکل ۲-۱: نمودار g_m/I_d vs. $I_d/(W/L)$ برای تکنولوژی 3µm CMOS [۳] ۹
شکل ۲-۲: نمودار g_m/I_d vs. $I_d/(W/L)$ برای تکنولوژی 0.18µm Bulk CMOS ۱۰
شکل ۲-۳: تغییرات V_A بر حسب g_m/I_d برای Lهای مختلف در تکنولوژی IBM 0.18um [۵] ۱۰
شکل ۲-۴: منحنی تغییرات g_m/I_d بر حسب I.C. برای چند تابع برازشگر [۶] ۱۲
شکل ۲-۵: ارتباط نواحی کاری ترانزیستور با I.C. [۶] ۱۳
شکل ۲-۶: مدار استخراج نمودار g_m/I_d در تکنولوژی 0.35um ۱۴
شکل ۲-۷ : نمودار g_m/I_d حسب V_{ov} در سه تکنولوژی مختلف و با فرض W=1µm ۱۵
شکل ۲-۸ : اثر تغییرات W بر نمودار g_m/I_d بر حسب V_{ov} در تکنولوژی 0.18µm ۱۶
شکل ۲-۹ : اثر تغییرات W بر نمودار g_m/I_d بر حسب V_{ov} در تکنولوژی 0.25µm ۱۶
شکل ۲-۱۰ : اثر تغییرات V_{ds} بر نمودار g_m/I_d بر حسب V_{ov} در تکنولوژی 0.35µm ۱۷
شکل ۲-۱۱ : نمودار I_d/W بر حسب g_m/I_d در تکنولوژی های مختلف ۱۸
شکل ۲-۱۲ : نمودار $I_d/(W/L)$ بر حسب g_m/I_d در تکنولوژی های مختلف ۱۸
شکل ۲-۱۳ : اثر تغییرات V_{ds} بر نمودار $I_d/(W/L)$ بر حسب g_m/I_d در تکنولوژی 0.35µm ۱۹
شکل ۲-۱۴ : وابستگی دمایی نمودار g_m/I_d vs. V_{ov} در تکنولوژی 0.18um ۲۰
شکل ۲-۱۵ : ZTC در نمودار g_m/I_d vs. V_{ov} با تکنولوژی 0.18um و L=0.18um ۲۱
شکل ۲-۱۶ : ZTC در نمودار g_m/I_d vs. V_{ov} با تکنولوژی 0.18um و L=0.36um ۲۲
شکل ۲-۱۷ : ZTC در نمودار g_m/I_d vs. V_{ov} با تکنولوژی 0.18um و L=0.54um ۲۲
شکل ۲-۱۸ : ZTC در نمودار g_m/I_d vs. V_{ov} با تکنولوژی 0.18um و L=0.72um ۲۳
شکل ۲-۱۹ : وابستگی دمایی نمودار g_m/I_d vs. V_{ov} در تکنولوژی 0.25um ۲۳
شکل ۲-۲۰ : ZTC در نمودار g_m/I_d vs. V_{ov} با تکنولوژی 0.25um و L=0.25um ۲۴
شکل ۲-۲۱ : وابستگی دمایی نمودار g_m/I_d vs. $I_d/(W/L)$ در تکنولوژی 0.18um ۲۵
شکل ۲-۲۲ : وابستگی دمایی نمودار g_m/I_d vs. $I_d/(W/L)$ در تکنولوژی 0.25um ۲۵
شکل ۲-۲۳ : وابستگی نمودار g_m/I_d vs. V_{ov} به L در تکنولوژی 0.18um ۲۶
شکل ۲-۲۴ : وابستگی نمودار g_m/I_d vs. V_{ov} به L در تکنولوژی 0.25um ۲۷
شکل ۲-۲۵ : وابستگی نمودار g_m/I_d vs. $I_d/(W/L)$ به L در تکنولوژی 0.18um ۲۷
شکل ۲-۲۶ : وابستگی نمودار g_m/I_d vs. $I_d/(W/L)$ به L در تکنولوژی 0.25um ۲۸
شکل ۳-۱: استفاده از تقویت کننده عملیاتی حلقه-باز به عنوان مقایسه گر: a) دو-طبقه b) خروجی از نوع پوش-پول [۱۰] ۳۲
شکل ۳-۲: نمونه ای از مقایسه گر استاتیکی قفل شونده [۱۱] ۳۳

شکل ۳-۳: مقایسه گر استاتیکی کَسکُد پیشرو-پیرو[۱۲] ۳۴
شکل ۳-۴: مقایسه گر استاتیکی کَسکُد با قابلیت محدودسازی نوسان خروجی[۱۳] ۳۵
شکل ۳-۵: مقایسه گر استاتیکی کَسکُد تابیده[۱۴] ۳۵
شکل ۳-۶: مقایسه گر استاتیکی آئینه ای با فلیپ-فلاپ کنترل شونده با ولتاژ[۱۵] ۳۶
شکل ۳-۷: مقایسه گر استاتیکی آئینه ای با مجزاسازی تقویت کننده از لچ در فاز ریست[۱۶] ۳۷
شکل ۳-۸: مقایسه گر استاتیکی آئینه ای با دو مُد کاری[۱۷] ۳۸
شکل ۳-۹: یک نمونه مقایسه گر کلاس- AB قفل شونده[۱۱] ۳۹
شکل ۳-۱۰: مقایسه گر کلاس-AB با بافر ورودی[۱۸] ۴۰
شکل ۳-۱۱: مقایسه گر کلاس-AB با کنترل دامنه نوسان تقویت کننده و ترانزیستورهای انتقال[۱۹] ۴۱
شکل ۳-۱۲: مقایسه گر کلاس-AB، بهینه شده برای عملکرد سرعت بالا[۲۰] ۴۲
شکل ۳-۱۳: مقایسه گر کلاس-AB با دو سیگنال کلاک[۲۱] ۴۳
شکل ۳-۱۴: مقایسه گر کلاس-AB با لچِ منحصراً NMOS[۲۲] ۴۴
شکل ۳-۱۵: مقایسه گر کلاس-AB با ترانزیستور گیت انتقالی کاهنده نویز kickback[۲۳] ۴۴
شکل ۳-۱۶: تکنیک خنثی سازی برای کاهش نویز kickback [۱۱] ۴۵
شکل ۳-۱۷: مقایسه گر کلاس-AB با اعمال تکنیک حذف نویز "خنثی سازی" [۱۱] ۴۶
شکل ۳-۱۸: مقایسه گر کلاس-AB با اعمال چند تکنیک جهت کاهش نویز kickback[۲۴] ۴۷
شکل ۳-۱۹: یک مثال از مقایسه گر دینامیکی قفل شونده با "یک" سیگنال کنترلی[۱۱] ۴۸
شکل ۳-۲۰: مقایسه گر دینامیکی با ورودی های تفاضلی[۲۵] ۴۹
شکل ۳-۲۱: کاهش توان مقایسه گر با سری کردن زوج ترانزیستور ورودی با طبقه لچ[۲۶] ۵۰
شکل ۳-۲۲: اعمال سیگنال کلاک به طور سری با لچ برای حذف جریانهای استاتیک[۲۷] ۵۰
شکل ۳-۲۳: مقایسه گر دینامیکی دو-دنباله ای[۲۸] ۵۱
شکل ۳-۲۴: مقایسه گر دینامیکی دو-دنباله ای بهبود یافته[۲۹] ۵۲
شکل ۴-۱: نمودار توان مصرفی بخشهای دیجیتال، آنالوگ و کل یک ADC بر حسب فرکانس در مقیاس لگاریتمی[۳۱] ۵۵
شکل ۴-۲: مقایسهٔ سرعت مقایسه گرهای متشکل از .P.A تنها، Latch تنها و ترکیبی از هر دو[۳۲] ۵۶
شکل ۴-۳: نمونه ای از مدار مولد g_m ثابت با ترانزیستورهای MOS[۳۳] ۵۷
شکل ۴-۴: بلوک- دیاگرام تقویت کننده مستقل از تکنولوژی ۵۸
شکل ۴-۵: مدار مولد مقاومت منفی،NRG(1)، متناسب با $1/g_m$ [۳۳] ۵۹
شکل ۴-۶: تحلیل مدار NRG(1) در حالت تفاضلی[۳۳] ۵۹
شکل ۴-۷: مدار مولد مقاومت منفی،NRG(2)، متناسب با $1/g_{ds}$ [۳۳] ۶۰
شکل ۴-۸: تحلیل مدار NRG(2) در حالت تفاضلی[۳۳] ۶۱
شکل ۴-۹: فرم کامل شده مدار NRG(2) شامل ترانزیستورهای NMOS و PMOS[۳۳] ۶۲
شکل ۴-۱۰: طبقه بهره در تقویت کننده ورودی-تفاضلی خروجی-تفاضلی[۳۳] ۶۲
شکل ۴-۱۱: طبقه بهره به همراه مقاومت منفی برای داشتن بهره ثابت[۳۳] ۶۳

شکل ۴-۱۲: طبقه بهره به همراه مقاومت منفی برای داشتن بهره حداکثر[۳۳] ۶۳
شکل ۴-۱۳: فرم کامل تقویت کننده مستقل از تکنولوژی با حداکثر بهره[۳۳] ۶۵
شکل ۴-۱۴: تقویت کننده مستقل از تکنولوژی با حداکثر بهره و مدار بایاس بوت-استرپ[۳۳] ۶۵
شکل ۴-۱۵: طبقه بهره در تقویتکننده ورودی-تفاضلی خروجی-تفاضلی[۳۳] ۶۶
شکل ۴-۱۶: زوج تفاضلی با بار فعال ۶۸
شکل ۴-۱۷: اتصال مدار NRG به طبقه بهره برای افزایش بهره[۳۳] ۶۹
شکل ۴-۱۸: پیش-تقویتکننده با بار اتصال دیودی[۱۷] ۷۲
شکل ۴-۱۹: شیوه های مختلف اعمال فیدبک مثبت برای افزایش بهره پیش-تقویت کننده[۳۴] ۷۳
شکل ۴-۲۰: افزایش بهره پیش-تقویت کننده با بار اتصال دیودی به کمک فیدبک مثبت[۳۵] ۷۳
شکل ۴-۲۱: نمودار تغییرات بهره تفاضلی بر حسب نسبت جریانهای I_3 و I_5 ..... ۷۶
شکل ۴-۲۲: لچِ class-A با قابلیت محدودسازی دامنه نوسان خروجی[۱۳] ۷۶
شکل ۴-۲۳ : لچِ class-AB با یک کلاک[۲۳] ۷۷
شکل ۴-۲۴ : نوع دیگری از لچِ class-AB با یک کلاک[۱۹] ۷۷
شکل ۴-۲۵ : لچِ class-AB با دو کلاک[۲۱] ۷۸
شکل ۴-۲۶: شماتیک نهایی طراحی شده برای مقایسه گر ۷۸
شکل ۵-۱: استفاده از نمودار g_m/I_d vs. $I_d/(W/L)$ برای تعیین ابعاد ترانزیستورها ۸۴
شکل ۵-۲: خروجی مقایسه گر Half-Rail با ورودی سینوسی و سطح مشترک 0.8V ۸۸
شکل ۵-۳ : نمونه ای از خطای مقایسه گر Half-Rail برای سطح dc کمتر از 0.4V ۸۸
شکل ۵-۴: شماتیک مقایسه گر Rail-to-Rail با سوئیچ اصلاح شده ۹۰
شکل ۵-۵ : نمودار گردشی محاسبه جریان های بایاس پیش-تقویت کننده ۹۱
شکل ۵-۶ : نمودار گردشی محاسبه ابعاد ترانزیستورهای مدار بایاس پیش-تقویت کننده ۹۱
شکل ۵-۷ : نمودار گردشی محاسبه ابعاد ترانزیستورهای پیش-تقویت کننده NMOS ۹۲
شکل ۵-۸ : نمودار گردشی مرحله پایانی طراحی شامل شبیه سازی و اصلاح نهایی ابعاد ترانزیستورها. ۹۳
شکل ۵-۹: صحت عملکرد مقایسه گر Rail-to-Rail در بازهٔ کامل 0V-1V برای تغذیهٔ Vdd=1V ۹۴
شکل ۵-۱۰: نوسانات جزئی در شکل موج خروجی مقایسه گر Rail-to-Rail در f_{clk} = 100MHz. ۹۶
شکل ۵-۱۱: مدار مورد استفاده جهت محاسبه نویز Kickback [۱۱] ۹۷
شکل ۵-۱۲: نویز Kickback برای فرکانس کلاک f_{clk}=1MHz ۹۷
شکل ۵-۱۳: صحت عملکرد مقایسه گر Rail-to-Rail در تکنولوژی UMC 90nm ۹۸
شکل ۵-۱۴: نمودار گردشی تبدیل آنالوگ به دیجیتال با استفاده از روش تقریبهای متوالی[۳۹] ۱۰۱
شکل ۵-۱۵: بلوک-دیگرام کلی مبدل های SAR ADC [۳۹] ۱۰۲
شکل ۵-۱۶: ساختار SAR ADC ۶بیتی از نوع توزیع مجدد بار[۳۹] ۱۰۳
شکل ۵-۱۷: فازهای عملکرد SAR ADC از نوع توزیع مجدد بار:۱-نمونه برداری ۲-نگه داری ۳-چرخش بیت[۳۹] ۱۰۵
شکل ۵-۱۸: خروجی مبدل ۶بیتی با مقایسه گر معرفی شده در مرجع مورد استفاده ۱۰۶

شکل ۵-۱۹: خروجی مبدل ۶بیتی با مقایسه گر طراحی شده ۱۰۷
شکل ۵-۲۰: خروجی مبدل ۶بیتی با مقایسه گر طراحی شده برای پنج گوشه ۱۰۷
شکل ۵-۲۱: خروجی مبدل در ۹ گوشه با ولتاژ تغذیه Vdd=0.5V ۱۰۹

فهرست علایم و نشانه‌ها

عنوان	علامت اختصاری
ترارسانایی(Transconductance)	g_m
جریان درین(Drain Current)	I_d
ولتاژ آستانه(Threshold Voltage)	V_{th}
ولتاژ (Overdrive Voltage)	V_{ov}
ولتاژ حرارتی(Thermal Volatge)	U_T
ولتاژ تغذیه(Supply Voltage)	VDD
ضریب معکوس‌شدگی(Inversion Coefficient)	I.C.
ناحیهٔ معکوس قوی(Strong Inversion)	S.I.
ناحیهٔ معکوس میانه(Medium Inversion)	M.I.
ناحیهٔ معکوس ضعیف(Weak Inversion)	W.I.
ناحیهٔ زیر-آستانه(Subthreshold)	S.T.

فصل ۱– مقدمه

رشد روزافزون کاربرد سیستم‌های دیجیتال از یک سو و ماهیت آنالوگی سیگنال‌های طبیعی و مخابراتی از سوی دیگر سبب شده تا طراحی مدارات مبدل آنالوگ به دیجیتال(ADC[۱]) به حوزه‌ای مهم و وسیع تبدیل شود.

اهمیت این حوزه به آن جهت است که اولاً برای بهره‌مندی از قابلیت‌های پردازشیِ حوزهٔ دیجیتال ابتدا سیگنال آنالوگ باید با دقت بالا به دیجیتال تبدیل شود. ثانیاً همهٔ سیگنال‌های طبیعی همچون دما، فشار، رطوبت و ...، سیگنال‌های حیاتی مانند ضربان و سیگنال‌های مخابراتی ماهیت آنالوگ دارند. بنابراین ADC ارتباط میان دو عالم آنالوگ و دیجیتال را برقرار می‌سازد.

وسعت این حوزه نیز به تفاوت‌های اساسی میان انواع سیگنال‌های آنالوگ برمی‌گردد؛ به این معنی که طیف وسیعی از دامنه‌ها(از nV تا V) و بازهٔ بزرگی از فرکانس‌ها(از KHz تا GHz) را شامل می‌شود. از این رو باید ساختارهای مختلفی طراحی شود تا هریک بتواند حوزه‌ای از نیازمندی‌ها را پوشش دهد. به همین دلیل طرح‌های متنوعی از مبدل‌های ADC ارائه شده که از آن جمله می‌توان به موارد زیر اشاره کرد:

Flash, SAR, Pipeline, Folding and Interpolating, Time-Interleaved, TIQ, …

علیرغم تنوع مبدل‌های ADC همگی در یک بلوک پایه و اساسی مشترک هستند و آن، مقایسه‌گر آنالوگ است. بنابراین می‌توان جایگاه و اهمیت مقایسه‌گرهای آنالوگ در ارتباط میان دو عالم آنالوگ و دیجیتال را تصور کرد.

همانند ADC، مقایسه‌گرهای آنالوگ نیز از طیف وسیعی برخوردار بوده و حسب کاربرد باید به گونه‌ای انتخاب شوند که نیازمندی‌های طراحی را برآورده سازند. به عنوان مثال چنانچه فرکانس سیگنال آنالوگ بسیار بالا(در حد GHz) است عموماً از مبدل‌های پرسرعت Pipeline استفاده می‌شود که از نظر دقت[۲] در رنج متوسط قرار دارند. ضمن این که عموماً در این مبدل‌ها بخشِ تصحیح دیجیتالی[۳] تعبیه می‌شود. با توجه به این توضیحات، مقایسه‌گر باید قابلیت کار در فرکانس‌های بالا را داشته باشد، حتی اگر از دقت بالا برخوردار نباشد؛ چون فرضاً اگر آفست مقایسه‌گر زیاد باشد، بخش دیجیتالی آن را تصحیح خواهد نمود.

---

[۱] Analog to Digital Converter

[۲] Resolution

[۳] Digitally Assisted Correction

به عنوان مثالی دیگر، برای کاربردهای زیست-پزشکی[۱] که مربوط به تراشه‌های قابل کاشت در بدن برای اندازه‌گیری و کنترل ضربان قلب، فشار خون، قند خون و ... می‌شود، فرکانس کاری بسیار پایین و در حد چند-صد هرتز تا چند-ده کیلو هرتز است؛ در عوض، مصرف توان مدار باید بسیار کم باشد، زیرا امکان تعویض یا شارژ باتری وجود ندارد یا با مشقت همراه است. همین توضیحات برای کاربرد گره حسگر بیسیم(WSN[۲]) نیز معتبر است. در این حوزه مهمترین مسأله، کاهش مصرف توان حتی به ازای کاهش سرعت است.

در این پایان‌نامه توجه خود را معطوف به کاربردهای کم-مصرف کرده‌ایم. مبدل‌هایی که در این حوزه استفاده می‌شوند عموماً از نوع SAR ADC هستند که دقتی بین 6-12 bit دارند. البته برای موارد خاص ممکن است از نوع یا دقت دیگری استفاده شود اما عموم کارهای انجام شده در قالبی است که بیان شد. بنابراین ***هدف***، طراحی یک مقایسه‌گر آنالوگ برای استفاده در SAR ADC با دقت 8 bit و فرکانس نمونه‌برداری 100 KS/s تعیین می‌شود. با توجه به ساختار مبدل و دقت انتخاب شده، فرکانس کلاک مقایسه‌گر باید 1MHz باشد.

کم-توان سازی مدارات چه در حوزهٔ دیجیتال و چه در حوزهٔ آنالوگ عموماً به دو شکل انجام می‌شود:

۱. تکنیک‌های مداری:

به این معنی که ساختار مدار به گونه‌ای اصلاح شود که اتلاف توان کمتری داشته باشد. برای حوزهٔ دیجیتال می‌توان به استفاده از ترانزیستورهای Sleep(برای خاموش کردن مدار در حالت بیکاری)، اشتراک منابع[۳]، جداسازی عملوند[۴] و ... و برای حوزهٔ آنالوگ به استفادهٔ مجدد از بار[۵] و استفاده از منابع جریان کم-مصرف اشاره نمود.

۲. کاهش ولتاژ تغذیه یا جریان بایاس:

در این روش برای حوزهٔ دیجیتال، کاهش VDD و برای حوزهٔ آنالوگ، کاهش VDD یا جریان بایاس اعمال می‌شود. این کار ممکن است موجب شود ناحیهٔ کاری مدار از معکوس قوی(S.I.[۶]) به معکوس میانه(M.I.[۷]) یا معکوس ضعیف(W.I.[۸]) انتقال یابد و رفتار ترانزیستورها عوض شود.

---

[۱] Biomedical
[۲] Wireless Sensor Network
[۳] Resource Sharing
[۴] Operand Isolation
[۵] Charge Reuse
[۶] Strong Inversion
[۷] Medium Inversion
[۸] Weak Inversion

طراحی مدار دیجیتال در W.I. که بعضاً زیر-آستانه(S.T.)[1] نیز نامیده می‌شود چندان متفاوت با S.I. نبوده و طراح را با مشقت روبرو نمی‌سازد؛ چون خاصیت صفر و یک بودن حفظ می‌شود. اما در حوزهٔ آنالوگ پیچیدگی‌های خاصی به طراحی تحمیل می‌شود. به عنوان مثال رابطهٔ جریان درین برای ناحیهٔ S.I.(و در حالت اشباع) به صورت فشرده مطابق است با:

$$I_D = \frac{1}{2}\,\mu\, C_{ox}\,\frac{W}{L}\,(V_{GS}-V_{th})^2(1+\lambda\, V_{DS}) \qquad (۱-۱)$$

اما همین رابطه برای ناحیهٔ W.I. عبارت است از:

$$I_D = \mu\, C_{ox}\,\frac{W}{L}\,(n-1)\,U_T{}^2\, e^{\frac{V_{GS}-V_{th}}{nU_T}}\left(1-e^{-\frac{V_{DS}}{U_T}}\right) \qquad (۲-۱)$$

بنابراین طراح می‌بایست با روابط پیچیده‌تر سروکار داشته باشد. خصوصاً اگر بخواهیم ترانزیستوری را در M.I.(که بهترین مصالحه بین سرعت و مصرف توان را برقرار می‌سازد) طراحی کنیم، به دلیل موجود نبودن رابطه‌ای دقیق برای این ناحیه، طراحی و تقریب اولیه با خطای زیادی همراه خواهد بود.

مشکل، زمانی بیشتر نمود پیدا می‌کند که در تکنولوژی‌های زیر $0.13\mu m$ اثرات غیر خطی نیز به وجود می‌آید. این اثرات به صورت روابط فشرده ریاضی قابل بیان و استفاده نبوده و بدون لحاظ کردن آنها نیز طراحی اولیه با دقت بالایی همراه نیست. بر این اساس روش‌های مبتنی بر نمودار توسعه یافتند تا کلیه روابط پیچیدهٔ ریاضی و اثرات غیرخطی را لحاظ کرده و نمودارهای ساده و قابل فهمی را در اختیار طراح قرار دهند. روش g_m/I_d بر همین اساس پدید آمده و روند طراحی مدارات آنالوگ را خصوصاً برای تکنولوژی‌های جدید، ساده‌تر و سریع‌تر کرده است.

همان‌گونه که از اسم روش g_m/I_d هم پیداست، در این روش نسبت ترارسانایی سیگنال کوچک، g_m به جریان dc درین، I_d به عنوان پارامتر اصلی در طراحی انتخاب شده که در فصل دوم به علت و نحوهٔ این انتخاب اشاره خواهد شد. این روش اولین بار در سال ۱۹۹۶ ارائه و پس از آن در مقالات و پایان‌نامه‌های زیادی استفاده شده است.

[1] Subthreshold

عمدهٔ کاربرد این روش تاکنون به طراحی تقویت کننده‌های عملیاتی محدود بوده است؛ هرچند در طراحی مدارات دیگری همچون پیشانی[۱]های مخابراتی، تقویت‌کننده‌های کم-نویز(LNA[۲]) و ... نیز بعضاً مورد استفاده قرار گرفته است. تا جایی که می‌دانیم تاکنون از این روش برای طراحی مقایسه‌گرهای آنالوگ فقط در [۱] آن هم نه به شکل تحلیلی و با استفاده از نمودار، بلکه تقریبی، و صرفاً مبتنی بر برخی ملاحظات طراحی استفاده شده است. با توجه به قابلیت این روش در ارائه منحنی پیوسته‌ای برای تمام نواحی کاری، در این پایان‌نامه قصد داریم طراحی مقایسه‌گر آنالوگ در ناحیهٔ W.I. را با استفاده از این روش انجام دهیم. پیرامون بحث مستقل‌سازی مدار از تکنولوژی نیز مطالبی در فصل چهارم ذکر شده است.

سازماندهی پایان‌نامه به ترتیب ذکر شده در زیر است:

در فصل دوم مروری بر مبانی روش g_m/I_d داشته و سپس به استخراج نمودارهای مربوط به این روش خواهیم پرداخت.

در فصل سوم مطالعهٔ نسبتاً جامعی روی انواع مقایسه‌گرهای آنالوگ موجود و مزایا و معایب هر دسته خواهیم داشت.

در فصل چهارم مراحل انتخاب ساختار و روند تحلیلی طراحی مقایسه‌گر مشروحاً ذکر خواهد شد.

در فصل پنجم روند محاسباتی طراحی مقایسه‌گر با روش g_m/I_d و نتایج شبیه‌سازی مدار طراحی شده توسط hspice و با تکنولوژی‌های TSMC 0.18µm و UMC 90nm، همچنین شبیه‌سازی SAR ADC شش بیتی با مقایسه‌گرِ طراحی شده آورده شده است.

در فصل ششم نیز به جمع‌بندی مطالب، نتیجه‌گیری و ارائه پیشنهادات می‌پردازیم.

[۱] Front End

[۲] Low Noise Amplifier

فصل ۲– مبانی روش g_m/I_d

۲–۱– مقدمه

در این فصل ابتدا مروری بر روند ایجاد و گسترش روش طراحی مبتنی بر g_m/I_d داشته و مبانی این روش را بیان خواهیم نمود. در ادامه، نمودارهای اصلی این روش را برای چند تکنولوژی استخراج کرده و اثر پارامترهای مختلف بر نمودارها را بررسی خواهیم کرد.

۲–۲– مدل های تحلیلی و تجربی

برای طراحی صحیح یک مدار ابتدا به مدل دقیقی از عناصر فعال و غیر فعال خصوصاً ترانزیستور نیاز داریم. مدل‌های موجود برای توصیف ترانزیستورهای MOS را می‌توان در سه دستهٔ عمده قرار داد[۲]:

- ✓ مدل‌های تحلیلی[۱]: مدل‌های معادله‌ای مبتنی بر مفاهیم فیزیکی.

این مدل‌ها روابط میان ولتاژها و جریان‌ها را با پارامترهایی برقرار می‌سازند که از داده‌های اندازه‌گیری شده استخراج می‌شوند.

- ✓ مدل‌های تجربی[۲]: مدل‌های حاصل از برازش اندازه‌گیری‌ها یا به طور ساده، جداول ارجاع (LUT[۳]). در این مدل‌ها، پارامترها غیرفیزیکی هستند.

- ✓ مدل‌های نیمه تجربی یا نیمه تحلیلی: که خود بر دو دسته‌اند:

- مدل‌های تحلیلی که پارامترهایشان از LUTها انتخاب می‌شود.

[۱] Analytical Models
[۲] Empirical Models
[۳] Look-up Tables

- مدل‌های تجربی که داده‌هایشان از مدل‌های تحلیلی استخراج می‌شود. به عنوان مثال، LUTهایی که استخراج شده از شبیه‌سازی‌های الکترونیکی هستند(چه از معادلات اساسیِ نیمه هادی‌ها در سه بعد، چه از معادلات الکترومغناطیسیِ عناصر غیرفعال و چه از مدل‌های تحلیلی).

مدل‌های تحلیلی که نمونه‌هایی از آن BSIM, EKV, PSP و ACM است، در تکنولوژی‌های میکرومتر[۱] و زیر-میکرومتر[۲] به خوبی عمل می‌کنند؛ زیرا اثرات غیرخطی و مرتبه دوم چندان غالب نبوده و روابط فشرده ریاضی ارائه شده توسط این مدل‌ها با دقت قابل قبولی مورد استفاده قرار می‌گیرد. اما وقتی به تکنولوژی‌های نانومتر[۳](یعنی 90nm و پایین‌تر) می‌رسیم اثرات مرتبه دوم و حتی مرتبه سوم افزایش می‌یابد. به همین جهت مدل‌های تحلیلی با پارامترهای جدیدی روبرو می‌شوند که پیش از این وجود نداشتند و سبب پیچیده‌تر شدن مدل‌ها می‌شوند. همین مسأله موجب می‌شود که مدل‌های نیمه تجربی از محبوبیت بیشتری برخوردار شوند.

یکی از مدل‌های نیمه تجربی که به دلیل سادگی و دقت مورد استقبال قرار گرفته، روش مبتنی بر نمودار g_m/I_d است. در این روش یک ترانزیستور NMOS و یک ترانزیستور PMOS توسط نرم-افزارهایی همچون Hspice, Spectre و یا Cadence و با اطلاعات مربوط به کارخانه ساخت[۴] مثلاً TSMC, UMC یا IBM(در قالب یکی از مدل‌های تحلیلی-عموماً BSIM-) شبیه‌سازی شده و نمودار g_m/I_d vs. $I_d/(W/L)$ به عنوان مبنای طراحی استخراج می‌شود.

نمودار برای یک تکنولوژی خاص، واحد بوده و با تقریب می‌توان از اثرات تغییر L, W, V_{DS}, Temperature, ... بر آن صرف‌نظر نمود. زیرا، اساساً در همهٔ روش‌ها ابتدا طراح به حدس اولیه‌ای از مدار رسیده و سپس آن را شبیه‌سازی می‌کند؛ چنانچه نیازمندی‌های طراحی برآورده شده بود که عملیات پایان می‌یابد؛ در غیر این‌صورت می‌بایست روند طراحی مجدداً تکرار شود. اما مزیتی که روش g_m/I_d نسبت به روش‌های سنتی دارد، دقت بالای حدس اولیه(با توجه به لحاظ شدن اثرات غیرخطی و مرتبه دوم در نمودارها) و عدم نیاز به ارتباط با فرمول‌ها و روابط پیچیده است.

---

[۱] Micrometer

[۲] Submicrometer

[۳] Nanometer

[۴] Foundry