بسم الله الرحمن الرحيم

١٢٦٥

دانشگاه رازی

دانشکده فنی و مهندسی

گروه الکترونیک

پایان نامه جهت اخذ درجه کارشناسی ارشد رشته مهندسی برق گرایش الکترونیک

عنوان پایان نامه :

طراحی مدارات مجتمع CMOS زیرمیکرون با استفاده از شبکه های عصبی

استاد راهنما:

دکتر محسن حیاتی

نگارش:

نرجس حسنی خواه

۱۳۸۸/۹/۱۸

معاونت اطلاعات مدارک علمی و مرکز تهیه مدارک

۱۲۶۶۵۰

تیرماه ۱۳۸۸

کلیه حقوق مادی مترتب بر نتایج مطالعات، ابتکارات و
نوآوری های ناشی از تحقیق موضوع این پایان نامه
متعلق به دانشگاه رازی است.

دانشکده فنی و مهندسی

گروه الکترونیک

پایان نامه جهت اخذ درجه کارشناسی ارشد رشته مهندسی برق گرایش الکترونیک

دانشجو

نرجس حسنی خواه

تحت عنوان

طراحی مدارات مجتمع CMOS زیرمیکرون با استفاده از شبکه های عصبی

در تاریخ ۸۸/۴/۳۰ توسط هیأت داوران زیر بررسی و با درجه عالی به تصویب نهایی رسید.

۱- استاد راهنما دکتر محسن حیاتی با مرتبه ی علمی دانشیار امضاء

۲- استاد داور خارج از گروه دکتر بهروز رضایی با مرتبه ی علمی استادیار امضاء

۳- استاد داور داخل گروه دکتر غلامرضا کریمی با مرتبه ی علمی استادیار امضاء

از تمام کسانی که در تهیه این پروژه مرا یاری رساندند بویژه جناب آقای دکتر حیاتی به خاطر زحمات و راهنمایی های بی دریغشان، بسیار سپاسگزارم. همچنین از خانواده ام که در تمامی مراحل زندگی همراهم هستند، بسیار متشکرم.

چکیده

با پیشرفت تکنولوژی وابستگی ابعاد ترانزیستورها و دیگر پارامترهای سازنده آنها بیشترشده است و ترانزیستورها با معادلات بسیار پیچیده ای مدل می شوند. از اینرو ، انتخاب بهینه پارامترهای کانال بسیار دشوار است و بیش از هر چیز به معلومات و تجربیات طراح مدار بستگی دارد. در این پایان نامه از دو مدل شبکه عصبی، پرسپترون چند لایه و تابع پایه شعاعی، به منظور یافتن نسبت ابعاد ترانزیستورهای CMOS در تکنولوژی TSMC 0.13µm جهت طراحی مدارات مجتمع CMOS زیرمیکرون استفاده شده است.

مدل عصبی ارائه شده با توجه به اطلاعات ورودی قابلیت انتخاب پارامترهای کانال را دارد. مقادیر جریان درین و ولتاژهای درین–سورس و گیت–سورس به عنوان ورودی و پارامترهای طول و عرض کانال نیز به عنوان خروجی شبکه عصبی در نظر گرفته شده است.

برای بدست آوردن داده های مورد نیاز شبکه عصبی از برنامه HSPICE جهت شبیه سازی ترانزیستورهای CMOS استفاده شده است. آموزش و تست شبکه های عصبی پرسپترون چند لایه و تابع پایه شعاعی در محیط MATLAB صورت گرفت. شبکه عصبی پرسپترون با انواع الگوریتم های یادگیری آموزش داده شد و در نهایت نتایج بهترین الگوریتم آموزشی شبکه پرسپترون و تابع پایه شعاعی با هم مقایسه گردید. بطور کلی هردو شبکه توافق خوبی بین پارامترهای مطلوب و پیش بینی شده نشان دادند. اما در تعیین طول کانال دقت شبکه پرسپترون بیشتر است و این درحالی است که شبکه تابع شعاعی در انتخاب عرض کانال مناسبتر است. برای ارزیابی صحت عملکرد شبکه عصبی سه مدار از اجزای تشکیل دهنده مدارات مجتمع CMOS با استفاده از شبکه تابع شعاعی طراحی شدند.

فهرست مطالب

عنوان صفحه

فصل اول: مدلهای ترانزیستور MOS ۳

۱-۱- مدلهای ترانزیستور MOS ۴

۱-۱-۱- مدل سطح ۱ ..... ۵

۱-۱-۲- مدل سطح ۲ ..... ۶

۱-۱-۳- مدل سطح ۳ ..... ۷

۱-۱-۴ مجموعه BSIM ۸

۱-۱-۴-۱- مدل BSIM3 ..... ۹

۱-۱-۴-۲- مدل BSIM3v3 ..... ۱۴

۱-۲- فرایند ناحیه بندی در BSIM3 ..... ۱۶

۱-۳- مروری بر تحقیقات انجام شده ۱۸

فصل دوم : شبکه عصبی مصنوعی ۱۹

۲-۱- مزایای شبکه عصبی ۲۰

۲-۲- مدل پایه یک نرون ۲۱

۲-۳- آموزش شبکه عصبی مصنوعی ۲۲

۲-۳-۱- آموزش بانظارت ۲۳

۲-۳-۲- آموزش بدون نظارت ۲۴

۲-۳-۳- آموزش تقویت یافته ۲۴

۲-۳-۴- آموزش رقابتی ۲۵

۲-۳-۵- الگوریتم آموزش دلتا ۲۵

۲-۳-۶- الگوریتم آموزش پس انتشار ۲۶

۲-۴- پارامترهای مهم شبکه عصبی ۲۷

۲-۵- مدلسازی شبکه عصبی ۲۸

۲-۵-۱- مدل مک کلاچ-پیتز ۲۸

۲-۵-۲- مدل پرسپترون ۲۸

۲-۵-۳- مدل پرسپترون چند لایه ۲۹

۲-۵-۴- مدل تابع پایه شعاعی ۳۱

۲-۵-۴-۱- آموزش یک شبکه RBF ۳۳

۲-۵-۴-۲- الگوریتم k- میانگین ۳۳

فصل سوم : مدل عصبی ترانزیستور ۳۵

۳-۱- شبیه سازی ترانزیستورها ۳۶

۳-۲- ایجاد مدل عصبی ترانزیستور ۳۷

۳-۳- شبکه عصبی پرسپترون چند لایه (MLP) ۳۸

عنوان صفحه

۳-۳-۱- الگوریتم های آموزشی مختلف در شبکه MLP ۴۵
۳-۴- شبکه تابع شعاعی (RBF) ۵۱
۳-۵- مقایسه شبکه MLP و RBF ۵۷
فصل چهارم : طراحی مدارات مجتمع..... ۶۰
۴-۱- مدار آینه جریان ۶۱
۴-۲- مدار تقویت کننده دیفرانسیل ۶۴
۴-۳- مدار تقویت کننده عملیاتی ۶۸
نتیجه گیری ۷۶
پیوست:
برنامه های HSPICE ۷۷
برنامه MLP ۷۸
برنامه RBF ۸۰
مراجع ۸۳

فهرست شکل ها

عنوان **صفحه**

شکل ۱-۱ : خمیدگی مشخصه جریان درین در مدل سطح ۲ ..... ۷
شکل ۱-۲ : خمیدگی امپدانس خروجی در مدل سطح ۳ ..... ۸
شکل۱-۳ : SCE ۱۱
شکل۱-۴ : RSCE ۱۱
شکل۱-۵ : کاهش سد ناشی از درین (DIBL) ۱۲
شکل۱-۶ : فرایند ناحیه بندی در BSIM3v3 در تکنولوژی 0.13 میکرون ۱۷
شکل ۲-۱: مدل پایه نرون ۲۱
شکل ۲-۲: توابع فعالیت ۲۲
شکل ۲-۳ : شیوه آموزش بانظارت ۲۳
شکل ۲-۴ : شیوه آموزش بدون نظارت ۲۴
شکل۲-۵ : ساختار سلسله مراتبی پیشرو ۲۶
شکل ۲-۶ : ساختار چند لایه پیشرو ۳۰
شکل ۲-۷ : ساختارشبکه تابع پایه شعاعی ۳۱
شکل ۲-۸ : منحنی نرمال زنگی شکل ۳۳
شکل۳-۱: اتصالات ترانزیستورها ۱) NMOS ۲) PMOS ۳۷
شکل ۳-۲ : مدل کلی برای ورودی ها و خروجی های شبکه عصبی ۳۷
شکل ۳-۳ : ساختار شبکه عصبی پرسپترون چند لایه ۳۹
شکل ۳-۴ : درصد خطای نسبی خروجی L ترانزیستور NMOS برای داده های آموزش شبکه MLP ۴۱
شکل ۳-۵ : درصد خطای نسبی خروجی W ترانزیستور NMOS برای داده های آموزش شبکه MLP..... ۴۱
شکل ۳-۶ : درصد خطای نسبی خروجی L ترانزیستور NMOS برای داده های تست شبکه MLP ۴۲
شکل ۳-۷ : درصد خطای نسبی خروجی W ترانزیستور NMOS برای داده های تست شبکه MLP ۴۲
شکل ۳-۸ : درصد خطای نسبی خروجی L ترانزیستور PMOS برای داده های آموزش شبکه MLP..... ۴۳
شکل ۳-۹ : درصد خطای نسبی خروجی W ترانزیستور PMOS برای داده های آموزش شبکه MLP..... ۴۳
شکل ۳-۱۰ : درصد خطای نسبی خروجی L ترانزیستور PMOS برای داده های تست شبکه MLP..... ۴۴
شکل ۳-۱۱ : درصد خطای نسبی خروجی W ترانزیستور PMOS برای داده های تست شبکه MLP..... ۴۴
شکل۳-۱۲ : مقایسه خطای MRE انواع الگوریتم های آموزشی برای خروجی L ترانزیستور NMOS..... ۴۸
شکل۳-۱۳: مقایسه خطای MRE انواع الگوریتم های آموزشی برای خروجی W ترانزیستور NMOS..... ۴۸
شکل۳-۱۴: مقایسه خطای MRE انواع الگوریتم های آموزشی برای خروجی L ترانزیستور PMOS..... ۵۰
شکل۳-۱۵: مقایسه خطای MRE انواع الگوریتم های آموزشی برای خروجی W ترانزیستور PMOS..... ۵۰
شکل ۳-۱۶ : مدل کلی برای ورودی ها و خروجی های شبکه RBF..... ۵۱
شکل ۳-۱۷ : درصد خطای نسبی خروجی L ترانزیستور NMOS برای داده های آموزش شبکه RBF ۵۳
شکل ۳-۱۸ : درصد خطای نسبی خروجی W ترانزیستور NMOS برای داده های آموزش شبکه RBF ۵۳
شکل ۳-۱۹ : درصد خطای نسبی خروجی L ترانزیستور NMOS برای داده های تست شبکه RBF ۵۴

عنوان صفحه

شکل ۳-۲۰ : درصد خطای نسبی خروجی W ترانزیستور NMOS برای داده های تست شبکه RBF..... ۵۴
شکل ۳-۲۱ : درصد خطای نسبی خروجی L ترانزیستور PMOS برای داده های آموزش شبکه RBF..... ۵۵
شکل ۳-۲۲ : درصد خطای نسبی خروجی W ترانزیستور PMOS برای داده های آموزش شبکه RBF..... ۵۵
شکل ۳-۲۳ : درصد خطای نسبی خروجی L ترانزیستور PMOS برای داده های تست شبکه RBF..... ۵۶
شکل ۳-۲۴ : درصد خطای نسبی خروجی W ترانزیستور PMOS برای داده های تست شبکه RBF..... ۵۶
شکل ۳-۲۵ : مقایسه درصد خطای نسبی دو شبکه MLP و RBF خروجی L ترانزیستور NMOS ۵۸
شکل ۳-۲۶ : مقایسه درصد خطای نسبی دو شبکه MLP و RBF خروجی W ترانزیستور NMOS ۵۸
شکل ۳-۲۷ : مقایسه درصد خطای نسبی دو شبکه MLP و RBF خروجی L ترانزیستور PMOS ۵۹
شکل ۳-۲۸ : مقایسه درصد خطای نسبی دو شبکه MLP و RBF خروجی W ترانزیستور PMOS..... ۵۹
شکل۴-۱ : مدار آینه جریان ۶۱
شکل۴-۲ : مدار تقویت کننده دیفرانسیل ۶۴
شکل۴-۳ : مدار تقویت کننده عملیاتی ۶۸
شکل۴-۴ : مقادیر مطلوب و شبیه سازی شده طول کانال ترانزیستورNMOS ۷۴
شکل۴-۵ : مقادیر مطلوب و شبیه سازی شده عرض کانال ترانزیستور NMOS ۷۴
شکل۴-۶ : مقادیر مطلوب و شبیه سازی شده طول کانال ترانزیستور PMOS ۷۵
شکل۴-۷ : مقادیر مطلوب و شبیه سازی شده عرض کانال ترانزیستور PMOS ۷۵

فهرست جداول

عنوان **صفحه**

جدول۳-۱ : رنج تغییرات پارامترهای ورودی HSPICE ۳۶
جدول۳-۲ : نتایج حاصل از شبکه MLP برای ترانزیستور NMOS ۴۰
جدول۳-۳ : نتایج حاصل از شبکه MLP برای ترانزیستور PMOS ۴۰
جدول۳- ۴ : الگوریتم های آموزشی شبکه عصبی MLP ۴۵
جدول۳- ۵ : نتایج الگوریتم های آموزشی MLP برای خروجی L ترانزیستور NMOS ۴۷
جدول۳- ۶ : نتایج الگوریتم های آموزشی MLP برای خروجی W ترانزیستور NMOS ۴۷
جدول۳- ۷ : نتایج الگوریتم های آموزشی MLP برای خروجی L ترانزیستور PMOS ۴۹
جدول۳- ۸ : نتایج الگوریتم های آموزشی MLP برای خروجی W ترانزیستور PMOS ۴۹
جدول۳-۹ : مشخصات شبکه RBF بهینه ۵۲
جدول۳-۱۰ : نتایج حاصل از شبکه RBF برای ترانزیستور NMOS ۵۲
جدول۳-۱۱ : نتایج حاصل از شبکه RBF برای ترانزیستور PMOS..... ۵۲
جدول۳-۱۲ : مقایسه خطای دو شبکه برای خروجی L ترانزیستور NMOS ۵۷
جدول۳-۱۳ : مقایسه خطای دو شبکه برای خروجی W ترانزیستور NMOS ۵۷
جدول۳-۱۴ : مقایسه خطای دو شبکه برای خروجی L ترانزیستور PMOS ۵۷
جدول۳-۱۵ : مقایسه خطای دو شبکه برای خروجی W ترانزیستور PMOS ۵۷
جدول ۴-۱ : ولتاژهای اولیه ترانزیستورها ۶۲
جدول ۴-۲ : ولتاژهای حاصل از شبیه سازی مدار آینه جریان در HSPICE ۶۲
جدول ۴-۳ : جریانهای اولیه و شبیه سازی شده در HSPICE ۶۲
جدول ۴-۴ : مقادیر اولیه و ثانویه طول کانال ۶۳
جدول ۴-۵ : مقادیر اولیه و ثانویه عرض کانال ۶۳
جدول ۴-۶ : ولتاژهای اولیه ترانزیستورها ۶۴
جدول ۴-۷ : ولتاژهای حاصل از شبیه سازی مدار تقویت کننده تفاضلی در HSPICE ۶۵
جدول ۴-۸ : جریانهای اولیه و شبیه سازی شده در HSPICE ۶۶
جدول ۴-۹ : مقادیر اولیه و ثانویه طول کانال ۶۶
جدول ۴-۱۰ : مقادیر اولیه و ثانویه عرض کانال ۶۷
جدول ۴-۱۱ : مقادیر ولتاژهای اولیه ترانزیستورها ۶۹
جدول ۴-۱۲ : ولتاژهای حاصل از شبیه سازی مدار تقویت کننده عملیاتی در HSPICE ۷۰
جدول ۴-۱۳ : جریانهای اولیه و شبیه سازی شده در HSPICE ۷۱
جدول ۴-۱۴ : مقادیر اولیه و ثانویه طول کانال ۷۲
جدول ۴-۱۵ : مقادیر اولیه و ثانویه عرض کانال ۷۳

پیشگفتار

شبکه های عصبی مصنوعی چه در بعد آنالیز و توسعه ساختاری و چه در بعد پیاده سازی سخت افزاری در حال رشد و پیشرفت می باشد و تکنیک های مختلف محاسبات عصبی از لحاظ تعداد همچنان در حال افزایش است. ویژگیهای شبکه عصبی آنها را در بسیاری کاربردها از جمله هر جا که نیاز به یادگیری یک نگاشت خطی یا غیرخطی باشد، ممتاز نموده است. برای مدلسازی قطعات و مدارات الکترونیکی توسط کامپیوتر ، شبکه های عصبی گزینه بسیار مناسبی هستند و در سالهای اخیر تحقیقاتی بسیاری در این زمینه صورت گرفته است.

پارامترهای طول و عرض کانال ترانزیستور CMOS مستقیماً بر قابلیت جریاندهی آن تأثیرگذار است. از آنجائیکه این ترانزیستورها با معادلات غیرخطی بسیار پیچیده ای مدل می شوند، تخمین و محاسبه دقیق این پارامترها کاری بس دشوار است. مدل عصبی ارائه شده با استفاده از جریان درین و ولتاژهای ورودی، پارامترهای کانال را تعیین می کند. این مدل بر مبنای دو ساختار بسیار مشهور شبکه عصبی پرسپترون چند لایه و تابع پایه شعاعی است که توانایی تقریب خوب توابع را دارا هستند. ورودیهای شبکه عصبی ولتاژ گیت-سورس، ولتاژ درین-سورس و جریان درین هستند. داده های آموزش و تست شبکه عصبی از شبیه سازی ترانزیستورها در محیط HSPICE با استفاده از پارامترهای مدل BSIM3v3 در تکنولوژی TSMC 0.13μm بدست آمده اند. مدل شبکه عصبی در برنامه MATLAB تحت آموزش قرار گرفت. بعد از پایان پروسه آموزش ساختار عصبی ترانزیستور با داده های تصادفی تست شد. جهت صحت عملکرد شبکه چندین مدار از جمله آینه جریان، تقویت کننده تفاضلی و تقویت کننده عملیاتی با استفاده از شبکه عصبی طراحی شدند. در این شیوه ابتدا مقادیر پارامترهای کانال هر ترانزیستور در ساختار مداری توسط شبکه عصبی تعیین شده و سپس مدار در HSPICE مورد شبیه سازی قرار می گیرد و نتایج حاصل از این مرحله، ولتاژهای ترمینالها و جریان درین ترانزیستورها، به شبکه عصبی داده شد و نزدیک بودن مقادیر اولیه و ثانویه پارامترهای کانال ، دقت و صحت عملکرد شبکه عصبی را در طراحی مدارات تأیید می کند.

مطالب به این ترتیب ارائه شده است. در فصل اول به مدلهای مختلف ترانزیستور MOS و معادلات حاکم بر آنها اختصاص یافته است. فصل دوم به اصول حاکم بر شبکه های عصبی مصنوعی و ساختارهای مختلف آن اشاره دارد. در فصل سوم به شبیه سازی ترانزیستورها در محیط HSPICE جهت ایجاد دیتاهای مورد نیاز شبکه عصبی و سپس مدل عصبی ترانزیستور و پیاده سازی آن با شبکه های عصبی MLP و RBF پرداخته شده است. سرانجام در

فصل چهارم چندین مدار مجتمع آنالوگ با استفاده از مدل عصبی ارائه شده طراحی شدند و بدین وسیله توانایی مدل عصبی ترانزیستور در طراحی انواع مدارات مجتمع آنالوگ و دیجیتال به اثبات رسید.

فصل اول

مدلهای ترانزیستور MOS

در دهه ۱۹۷۰ فناوری MOS[1] کانال n (NMOS) متداول بود. از ۱۹۸۰ به بعد فناوری MOS مکمل (CMOS[2]) به خاطر ویژگی کم مصرف بودنش فناوری غالب شد. دو دلیل اصلی برتری فناوری CMOS در صنایع امروزین نیمرسانا صفر بودن توان تلفاتی مدارات منطقی CMOS در حالت ایستا و دیگری قابلیت مقیاس پذیری یا کوچک شدن آن است. روند مهم کوچکسازی با سرعتی چشمگیر بر طبق قانون مور بوده است. یعنی هر ۳ سال به ۳ سال ابعاد با ضریب S تغییر کرده است و بررسی تاریخی S را برابر 0.7 بدست می دهد. به عبارتی تراشه ای به ابعاد $1mm \times 1mm = 1mm^2$ را می توان در نسل بعد با ابعاد $0.7mm \times 0.7mm \approx 0.5mm^2$ ساخت. به بیان دیگر تعداد ترانزیستورهایی که می توان بر روی همان تراشه $1mm^2$ ساخت دو برابر تعداد ترانزیستورهای نسل قبلی است. این روند را قانون مور می نامند و احتمالا مهمترین پیشگویی تاریخ ساخت مدارات مجتمع است. در ۴۰ سال گذشته چندین بار پایان قانون مور پیش بینی شده است، ولی تا به امروز این پیشگوییها نادرست بوده است[1].

زمانی $1\mu m$ به لحاظ فیزیکی و روانی آخرین حد کوچکسازی محسوب می شد. ولی خیلی زود معلوم شد که می توان ترانزیستورهایی با ابعاد بسیار کمتر از $1\mu m$ ساخت و راهی به عصر زیرمیکرون گشود. از آن زمان تاکنون شاهد شش نسل فناوری بوده ایم: $0.8\mu m$ ، $0.5\mu m$ ، $0.35\mu m$ ، $0.25\mu m$ ، $0.18\mu m$ و $0.13\mu m$.

۱-۱ مدلهای ترانزیستور MOS

مدلهای ترانزیستورMOS بر اصول فیزیکی کار ترانزیستور و معادلات تجربی حاصل از اندازه گیری ترانزیستورهای ساخته شده مبتنی هستند. این مدلها توسط گروهی ایجاد می شود که کار اصلی شان فرموله نمودن رفتار دقیق عناصر نیمرسانا در قالب تعدادی معادلات است. از ارائه اولین مدل ترانزیستور MOS در اواسط ۱۹۶۰ تاکنون با کاهش ابعاد قطعه تحقیقات گسترده ای برای بهبود دقت مدلها صورت گرفته است. مدلهای سطح[3] ۱ ، ۲ و ۳ که بین ۱۹۶۰ و اواخر ۱۹۷۰ به ترتیب ارائه شدند شامل اثرات مراتب بالا برای افزایش دقت مدلها نسبت به مشخصه های اندازه گیری شده برای طول کانالهای کمتر از $1\mu m$ هستند.

۱- Metal Oxid Semiconductor Field Effect Transistor (MOSFET)
۲- Complementary Metal Oxid Semiconductor
۳- Level

کوچکسازی باعث شده آنچه در گذشته اثرات مرتبه دوم و سوم به حساب می آمد به اثرات مرتبه اول تبدیل شود. مدل BSIM[1] در دهه های ۱۹۸۰ و ۱۹۹۰ در دانشگاه برکلی کالیفرنیا توسعه یافت و کار بر روی مدلهای جدیدتر ادامه داشته است. امروزه مدلهای BSIM1، BSIM2 و BSIM3 در دسترس قرار دارند.

در ادامه به توضیح این مدلها می پردازیم.

۱-۱-۱ مدل سطح ۱

این مدل براساس معادلات زیر است[2,3]:

(۱-۱) ناحیه تریود

$$I_D = \frac{1}{2} K_P \frac{W}{L-2L_D}[2(V_{GS}-V_{TH})V_{DS}-V_{DS}^2](1+\lambda V_{DS})$$

(۱-۲) ناحیه اشباع

$$I_D = \frac{1}{2} K_P \frac{W}{L-2L_D}[(V_{GS}-V_{TH})^2(1+\lambda V_{DS})]$$

که $K_P = \mu C_{ox}$ و $V_{TH} = V_{TH_0} + \gamma[\sqrt{2\Phi_B - V_{BS}} - \sqrt{2\Phi_B}]$. توجه کنید که این مدل شامل هدایت زیرآستانه و هیچ یک از آثار کانال کوتاه نیست.

خازن C_{GS} به شدت از $\frac{2}{3}WLC_{ox}+WC_{ov}$ در ناحیه اشباع به $\frac{1}{2}WLC_{ox}+WC_{ov}$ در ناحیه تریود تغییر می کند و خازن C_{GD} از WC_{ov} به $\frac{1}{2}WC_{ox}+WC_{ov}$. بنابراین بیشتر الگوریتم های محاسباتی در این قسمت دچار مشکل همگرایی می شوند. به همین دلیل C_{GS} و C_{GD} در ناحیه تریود را به صورت زیر فرموله می کنند:

$$C_{GS} = \frac{2}{3}WLC_{ox}\{1-\frac{(V_{GS}-V_{DS}-V_{TH})^2}{[2(V_{GS}-V_{TH})-V_{DS}]^2}\}+WC_{ov} \quad (۱-۳)$$

$$C_{GD} = \frac{2}{3}WLC_{ox}\{1-\frac{(V_{GS}-V_{TH})^2}{[2(V_{GS}-V_{TH})-V_{DS}]^2}\}+WC_{ov} \quad (۱-۴)$$

$$C_{GB}=0 \quad (۱-۵)$$

اگر قطعه در ناحیه اشباع کار کند، $V_{GS}-V_{DS}=V_{TH}$ و $C_{GS}=\frac{2}{3}WLC_{ox}+WC_{ov}$ و $C_{GD}=WC_{ov}$.

۱- Berkeley Short-channel Insulated gate field effect transistor Model (BSIM)

بنابراین مقادیر خازن بطور پیوسته از یک ناحیه به ناحیه دیگر تغییر می کند. مدل سطح۱ برای طول کانالهایی به کوچکی μm ۴ دقت I/V معقولی دارد ولی امپدانس خروجی ترانزیستور را در اشباع به درستی پیش بینی نمی کند.

۱-۱-۲ مدل سطح ۲

مدل سطح ۱ وقتی کارایی خود را از دست داد که طول کانال از μm ۴ شروع به کاهش نمود. سپس مدل سطح ۲ برای نمایش بسیاری از آثار مرتبه بالا ارائه شد. معادله جریان آن به صورت زیر است[4]:

$$I_D = \mu C_{ox} \frac{W}{L}\{[V_{GS} - V_{TH\circ}]V_{DS} - \frac{V_{DS}^2}{2} - \frac{2}{3}\gamma[(V_{DS} - V_{BS} + 2\varphi_f)^{3/2} - (-V_{BS} + 2\varphi_f)^{3/2}]\} \quad (۶-۱)$$

نکته جالب اینجاست که حتی برای $V_{BS} = 0$ ، I_D به γ وابسته است. علاوه بر آن برای V_{DS} های کوچک معادله بالا به مدل سطح ۱ تبدیل می شود ولی برای V_{DS} بزرگ جریان درین کمتر از آن چیزی است که پیش بینی می شود.

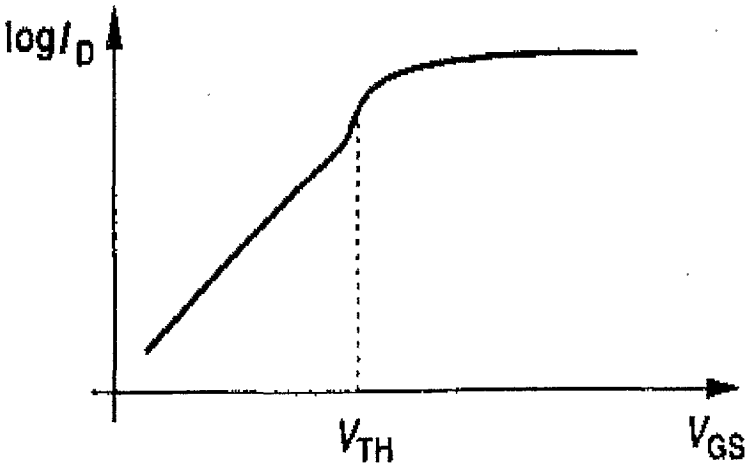
رفتار زیر آستانه که در سطح ۲ پیاده شده، ولتاژ V_{on} را بصورت $V_{on} = V_{TH} + \xi V_T$ تعریف می کند که $\xi = 1 + (qN_{Fs}/C_{ox}) + C_d/C_{ox}$ و N_{Fs} یک ثابت تجربی است.جریان درین به صورت زیر تعریف می شود:

$$I_{DS} = I_{on} \exp\frac{V_{GS} - V_{on}}{\xi V_T} \quad (۷-۱)$$

I_{on} جریان درین محاسبه شده در وارونگی عمیق(معادله ۱-۶) به ازاء $V_{GS} = V_{on}$ است.

مشکل عمده نمایش ناپیوستگی شیب I_Dدر شکل ۱-۱ ، در گذار از ناحیه زیرآستانه به وارونگی عمیق است که باعث بروز مشکلات متعدد و خطا در شبیه سازی می شود.

داده های اندازه گیری شده نشان می دهند[3] که مدل سطح ۲ دقت I/V معقولی برای قطعات پهن و کوتاه در ناحیه اشباع با $L \approx 0.7um$ دارند ولی در نمایش امپدانس خروجی و نقاط گذار بین ناحیه اشباع و تریود مشکلات قابل ملاحظه ای دارد. این مدل برای قطعات باریک بسیار نادقیق است.



شکل ۱-۱ : خمیدگی مشخصه جریان درین در مدل سطح ۲.

۱-۱-۳ مدل سطح ۳

مدل سطح ۳ بیشتر شبیه به مدل سطح ۲ است. اما با چند معادله ساده شده و ثابتهای تجربی زیادی که برای بهبود دقت در کانالهایی به کوچکی μm ۱ اضافه شده اند. این مدل جریان را به صورت زیر بیان می کند[5]:

$$I_D = \mu_1 C_{ox} \frac{W_{eff}}{L_{eff}} [V_{GS} - V_{TH\circ} - [1 + \frac{F_s \gamma}{4\sqrt{2\varphi_f - V_{BS}}} + F_n] \frac{V'_{DS}}{2}] V'_{DS} \qquad (۸-۱)$$

F_n و F_s به ترتیب نمایانگر اثرات کانال کوتاه و باریک هستند.

$$\mu_1 = \frac{\mu_{eff}}{1 + \frac{\mu_{eff} V_{DS}}{\nu_{\max} L}} \qquad (۹-۱)$$

اگر قطعه در اشباع باشد ، $V'_{DS} = V_{DS,sat}$ است. کمیت $V_{DS,sat}$ نمایانگر انسداد کانال و هم اشباع سرعت است.

روابط جریان زیرآستانه شبیه به معادلات مدل سطح ۲ است ولی باز هم مشکل ناپیوستگی مشتق در نزدیکی وارونگی عمیق را داراست. مدل سطح ۳ از روشهای پیچیده تری برای محاسبه مدولاسیون طول کانال مثل پارامترهای بار و خازن استفاده می کند. مقایسه داده های اندازه گیری شده نشان می دهد[3] که مدل سطح ۳ مانند مدل سطح ۲ دقت متوسطی برای ترانزیستورهای پهن و کوتاه دارد ولی برای آنهایی که کانال بلندتری دارند خطای بزرگی ایجاد می کند. یک مانع اصلی در مدل سطح ۳ ناپیوستگی مشتق I_D نسبت به V_{DS} در لبه ناحیه تریود است که منجر به خطاهای بزرگی در محاسبه امپدانس خروجی می شود.

همانطور که در شکل ۱-۲ نشان داده شده ، تغییر r_o با V_{DS} برای قطعه کانال کوتاه به خوبی مدل نشده است.

شکل ۱-۲ : خمیدگی امپدانس خروجی در مدل سطح ۳ .

۱-۱-۴ مجموعه BSIM

فلسفه مدلهای سطح ۱ تا ۳ این بوده که رفتار قطعه بوسیله معادلاتی بیان شود که از عملکرد فیزیکی آن نشأت گرفته باشد. ولی هنگامیکه ترانزیستورها تا ابعاد زیرمیکرون کوچک می شوند بدست آوردن معادلات فیزیکی که هم دقیق و هم از نظر محاسباتی کارا باشند بسیار دشوار می شود. در مدل BSIM تعداد زیادی پارامتر تجربی برای ساده کردن معادلات اضافه شده است ولی این کار به قیمت از دست دادن حس فیزیکی قطعه نسبت به عملکرد واقعی آن تمام می شود.

مدل BSIM1 که تقریبا از ۵۰ پارامتر استفاده می کند برتریهای زیر را نسبت به مدل سطح ۳ دارد[5]:

۱) وابستگی قابلیت تحرک به میدان عمودی شامل ولتاژ زیربنا نیز هست.

۲) ولتاژ آستانه برای زیربنایی که آلایش آن غیریکنواخت است اصلاح شده است.

۳) جریانهای نواحی وارونگی ضعیف و قوی به گونه ای استخراج شده اند که مقادیر آنها و مشتق اولشان پیوسته باشند.

۴) برای ساده کردن معادلات جریان درین عبارات جدیدی برای اشباع سرعت ، وابستگی قابلیت تحرک به میدان افقی و ولتاژ آستانه ابداع شده است.

نتایج اندازه گیری شده در فناوری $0.7\mu m$ نشان می دهد که BSIM خطای کمی در مشخصه های I/V برای ابعاد مختلف دارد ولی دقت آن برای ترانزیستورهای باریک و کوتاه کم است.

BSIM1 علاوه بر محدودیتهایی که برای طول کانالهای کمتر از $0.8\mu m$ دارد درگیر مسائل دیگری نیز هست. برای مثال در ولتاژهای سورس- درین بزرگ BSIM پیش بینی می کند که مقاومت خروجی MOS در اشباع مقداری منفی باشد. بعلاوه در ناحیه تریود عمیق در جریان درین ناپیوستگی های جزئی وجود دارد[6].

مدل بعدی در مجموعه BSIM ، BSIM2 است. این مدل که تقریبا به ۷۰ پارامتر نیاز دارد عبارات جدیدی را برای قابلیت تحرک ، جریان درین و هدایت زیرآستانه بکار می برد. همچنین امپدانس خروجی را با احتساب مدولاسیون طول کانال و کاهش سد ناشی از درین بطور دقیق تر نشان می دهد. با این حال نتایج اندازه گیری نشان می دهد که دقت کلی این مدل فقط قدری از BSIM1 بیشتر است. برای ترانزیستورهای کوتاه و باریک BSIM2 در ناحیه تریود خطای زیادی دارد و حتی در ناحیه اشباع نیز جهش های قابل ملاحظه ای دارد.

روند اتخاذ شده در BSIM1 و BSIM2 که رفتار قطعه را بوسیله معادلات تجربی بیان می کند و ارتباط کمی با پدیده های فیزیکی دارد ، سرانجام مشکلاتی را در مدل سازی قطعات کانال کوتاه پدید آورد. استخراج پارامتر ، مدلسازی تغییرات فرایند و نیاز به استفاده از چندجمله ایها ، تولید و کاربرد این مدلها را کاملا دشوار کرد. در نتیجه نسل بعد BSIM3 با حفظ بسیاری از ویژگی های مفید BSIM1 و BSIM2 به اصول فیزیکی عملکرد قطعه بازگشت. BSIM3 نیز به مدلهای BSIM3v1 ، BSIM3v2 ، BSIM3v3 و BSIM3v4 توسعه یافت.

امروزه BSIM3v3 متداولترین مدل برای ترانزیستورهای زیرمیکرون است. اساس آن یک مدل شبه دو بعدی از ترانزیستور MOS با مبانی فیزیکی و تجربی است. در مدل کامل BSIM3v3 بیش از ۳۰۰ پارامتر وجود دارد.

۱-۱-۴-۱ مدل BSIM3

در BSIM3 فرمول V_T با معادله زیر شروع می شود[6,7]:

$$V_T = VTHO + \gamma(\sqrt{PHI - V_{BS}} - \sqrt{PHI}) \qquad (۱۰-۱)$$

در اینجا مقدار VTHO معمولا با استفاده از ولتاژ صاف باند VFB محاسبه می شود. ولی این فرمول بندی اثرات تغییر میزان ناخالصی ناحیه کانال در راستای عمودی را در بر ندارد. جمله γ در واقع به میزان ناخالصی در نواحی کانال و زیرلایه بستگی دارد. ناخالصی سطح توسط کاشت آستانه NCH تعیین می شود. ولی ناخالصی زیرلایه با NSUB بیان می گردد که مقداری بسیار کوچکتر دارد. این تغییر میزان ناخالصی