بسم الله الرحمن الرحیم
الحمد لله رب العالمین الرحمن الرحیم مالک یوم الدین
اهدنا الصراط المستقیم صراط الذین انعمت علیهم
غیر المغضوب علیهم ولا الضالین

دانشگاه صنعتی نوشیروانی بابل

دانشکده مهندسی برق و کامپیوتر

پایان نامه دوره کارشناسی ارشد در رشته مهندسی برق – الکترونیک

موضوع:

طراحی مدولاتور سیگما دلتای پهن باند

استاد راهنما:

دکتر حسین میارنعیمی

نگارش:

سید بابک حمیدی پرچه کلایی

بهمن ماه ۹۲

از زحمات استاد بزرگوار ***جناب آقای دکتر حسین میارنعیمی*** *که همواره با راهنمایی های بی دریغ خود بنده را در طول دوران تحصیل و به ویژه در نگارش این پایان نامه یاری نمودند، صمیمانه تشکر و قدردانی می نمایم.*

با سپاس از سه وجود مقدس:

... آنان که ناتوان شدند تا ما به توانایی برسیم

... موهایشان سپید شد تا ما روسفید شویم

... و عاشقانه سوختند تا گرمابخش وجود ما و روشنگر راهمان باشند

پدرانمان

مادرانمان

استادانمان

فهرست مطالب

عنوان **صفحه**

فصل اول: مقدمه

۱-۱ پیشگفتار ۲

۱-۲ مروری بر انواع مبدل های داده..... ۳

۱-۲-۱ مبدل آنالوگ به دیجیتال فلش ۳

۱-۲-۲ مبدل آنالوگ به دیجیتال دو مرحله ای..... ۴

۱-۲-۳ مبدل آنالوگ به دیجیتال پایپ‌لاین ۵

۱-۲-۴ مبدل آنالوگ به دیجیتال تقریب پی در پی..... ۶

۱-۳ انگیزه انتخاب مبدل سیگما دلتا: بده بستان بین سرعت و دقت..... ۷

۱-۴ ساختار پایان‌نامه..... ۹

فصل دوم: مروری بر مدولاتور سیگما دلتا

۲-۱ پیشگفتار..... ۱۱

۲-۲ تئوری نمونه برداری..... ۱۲

۲-۳ کوانتایزر و خطای کوانتیزاسیون..... ۱۴

۲-۴ مبدل نایکوئیست و فرانمونه بردار..... ۱۸

۲-۵ سنجه ای برای مبدل آنالوگ به دیجیتال..... ۱۹

۲-۵-۱ نسبت سیگنال به نویز ۲۰

۲-۵-۲ محدوده دینامیکی..... ۲۱

۲-۶ مدولاتور سیگما دلتای مرتبه اول: شکل دهی نویز..... ۲۲

۲-۷ بررسی حوزه زمان مدولاتور سیگما دلتا..... ۲۸

۲-۸ مدولاتورهای چند طبقه یا کسکید..... ۲۹

فصل سوم: مروری بر مدولاتور سیگما دلتای Time-Interleaved

۳-۱ پیشگفتار..... ۳۲

۳-۲ مدولاتور Time-Interleaved: روشی برای افزایش پهنای باند..... ۳۲

۳-۳ تزویج متقابل خطای کوانتیزاسیون مسیرها..... ۳۵

۳-۳-۱ بررسی مقاله مرجع [۳۹] با جزئیات..... ۳۶

فصل چهارم: طرح پیشنهادی: شکل دهی نویز اضافی در مدولاتور سیگما دلتا با استفاده از مسیرهای تزویج متقابل

۴-۱ طرح پیشنهادی برای مدولاتور دو مسیره: بدست آوردن ضرائب بهینه شده..... ۴۱

۴-۲ مقایسه نموداری و جدولی طرح پیشنهادی با طرح قبلی در ساختار مدولاتور دو مسیره..... ۴۳

۴-۳ تعمیم طرح پیشنهادی و طرح قبلی..... ۴۵

۴-۳-۱ تعمیم طرح قبلی: مدولاتور سیگما دلتای N مسیره مرتبه اول با معماری غیر اضافی..... ۴۵

۴-۳-۲ تعمیم طرح پیشنهادی: مدولاتور سیگما دلتای N مسیره مرتبه اول با معماری اضافی..... ۴۷

۴-۴ طرح مثالی برای مدولاتور سه مسیره: تایید ماتریس های ضرائب تزویج بدست آمده..... ۵۲

فصل پنجم: شبیه سازی، برداشت پایانی و پیشنهاد برای کارهای آینده

۵-۱ بررسی پارامترهای غیرایده آلی آپ-امپِ انتگرالگیر..... ۵۵

۵-۱-۱ بررسی تاثیر بهره DC محدود آپ-امپ بر عملکرد مدولاتور..... ۵۵

۵-۱-۲ بررسی تاثیر فرکانس بهره واحد و slew-rate محدودِ آپ-امپ بر عملکرد مدولاتور..... ۵۸

۵-۲ بررسی عدم تطابق در ضرائب تزویج..... ۶۰

۵-۳ بررسی عدم تطابق کانال، خازن های بهره و بررسی آفست ها..... ۶۲

۵-۳-۱ بررسی عدم تطابق کانال..... ۶۲

۵-۳-۲ بررسی عدم تطابق خازن های بهره..... ۶۳

۵-۳-۳ بررسی آفست ها..... ۶۳

۵-۴ بررسی تاثیر رزولوشن کوانتایزر بر عملکرد مدولاتور..... ۶۵

۵-۵ بررسی پایداری مدولاتور با استفاده از نمودار محدوده دینامیکی..... ۶۷

۵-۶ تحلیلی کیفی تاثیر افزایش تعداد مسیرها بر پارامترهای طراحی..... ۶۷

فصل ششم: پیاده سازی سوئیچ-خازنی طرح پیشنهادی و شبیه سازی مرتبط

۶-۱ مروری بر پیاده سازی سوئیچ-خازنی مدولاتور سیگما دلتای مرتبه اول..... ۷۰

۶-۲ پیاده سازی سوئیچ-خازنی مدولاتور سیگما دلتای دو مسیره مرتبه اول با معماری اضافی..... ۷۱

۶-۳ پیشنهادهایی برای پژوهش های آینده..... ۷۴
۶-۴ عنوان مقاله پذیرفته شده..... ۷۵

پیوست

پیوست الف: شبیه سازی سیستمی ساختار پیشنهادی در محیط Simulink نرم افزار MATLAB..... ۷۷
پیوست ب: برنامه های M-File مرتبط با شبیه سازی لایه سیستمی در نرم افزار MATLAB..... ۷۸

مراجع..... ۸۳

فهرست جدول ها

عنوان جدول‌ها **صفحه**

جدول ۱-۱: ویژگی‌های برخی از انواع مبدل های داده.....۸

جدول ۴-۱: نسبت سیگنال به نویز کوانتیزاسیون و بیت موثر خروجی در دو ساختار ارائه شده.....۴۴

جدول ۴-۲: پارامترهای طراحی مورد استفاده برای شبیه سازی.....۵۲

جدول ۵-۱ : خلاصه ای از پارامترهای غیرایده آلی در نظرگرفته شده در شبیه سازی در محیط سیمیولینک.....۶۴

جدول۶-۱: خلاصه پارامترهای طراحی بکار برده شده در شبیه سازی لایه مداری.....۷۳

جدول ۶-۲: مقایسه شبیه سازی های سطوح سیستمی و مداری ساختار پیشنهادی.....۷۳

فهرست شکل ها

عنوان **صفحه**

شکل ۱-۱: مبدل های داده واسطی بین پردازنده های دیجیتال و دنیای واقعی..... ۳

شکل ۱-۲ : ساختار مبدل فلش..... ۴

شکل ۱-۳ : ساختار مبدل دو مرحله ای..... ۵

شکل ۱-۴ : ساختار مبدل پایپ لاین..... ۶

شکل ۱-۵: پیاده سازی مبدل تقریب متوالی با DAC..... ۷

شکل ۱-۶: بده بستان بین سرعت و دقت در انواع مبدل های داده..... ۸

شکل ۲-۱ : نحوه پردازش سیگنال در حوزه زمان و فرکانس، در بلوک های سازنده مبدل آنالوگ به دیجیتال..... ۱۱

شکل ۲-۲: طیف سیگنال نمونه‌برداری شده با تداخل و بدون تداخل فرکانسی..... ۱۳

شکل ۲-۳: نمونه برداری و کوانتیزه کردن سیگنال سینوسی ورودی به کوانتایزر..... ۱۵

شکل ۲-۴: سطوح کوانتیزاسیون و کدهای دیجیتال خروجی کوانتایزر دو بیتی..... ۱۶

شکل ۲-۵ : منحنی مشخصه کوانتایزر های تک بیتی و چند بیتی به همراه خطای کوانتیزاسیون ۱۷

شکل ۲-۶: مدل خطی کوانتایزر..... ۱۸

شکل ۲-۷ تابع توزیع احتمال و چگالی توان نویز کوانتیزاسیون..... ۱۸

شکل ۲-۸ : منحنی اثر فرانمونه‌برداری روی توان نویز در باند سیگنال ۱۹

شکل ۲-۹ : SNR یک مبدل بر حسب تغییرات فرکانس ورودی در سه سطح دامنه متفاوت ورودی..... ۲۰

شکل ۲-۱۰ : SNR یک مبدل سیگما دلتا بر حسب تغییرات دامنه ورودی..... ۲۱

شکل ۲-۱۱: ساختار کلی مبدل سیگما دلتا..... ۲۳

شکل ۲-۱۲: شکل دهی به نویز و کاهش چشمگیر توان نویز در باند سیگنال در مدولاتور سیگما دلتا..... ۲۳

شکل ۲-۱۳: الگوی خطی‌شده مدولاتورسیگما دلتا..... ۲۴

شکل ۲-۱۴: محدوده دینامیکی مدولاتور ایده‌آل، تابعی از OSR برای شکل‌دهی نویز در مرتبه‌های گوناگون (L)..... ۲۵

شکل ۲-۱۵ : نحوه پردازش سیگنال در حوزه زمان و فرکانس در بلوک های سازنده مبدل A/D سیگما دلتا..... ۲۷

شکل ۲-۱۶ : منحنی حوزه زمان سیگنال ورودی و خروجیِ مدولاتور سیگما دلتا در حالت تک بیتی و چند بیتی..... ۲۸

شکل ۲-۱۷: ساختار کسکید دو طبقه..... ۲۹

شکل ۳-۱ : استفاده از معماری TI در مبدل های آنالوگ به دیجیتال.....۳۴

شکل ۳-۲: معماری مدولاتور سیگما دلتای سه مسیره.....۳۵

شکل ۳-۳ مبدل آنالوگ به دیجیتال سه مسیره.. .....۳۶

شکل ۳-۴ : مدولاتور سیگما دلتای دو مسیره مرتبه اول.....۳۸

شکل ۳-۵ : مدولاتور سیگما دلتای دو مسیره مرتبه اول با تزویج متقابل خطای کوانتیزاسیون ۳۸

شکل ۴-۱: مدولاتور سیگما دلتای دو مسیره مرتبه اول که دارای تزویج متقابل خطای کوانتیزاسیون مسیرها.....۴۲

شکل ۴-۲: طرح پیشنهادی برای مدولاتور سیگما دلتای دو مسیره مرتبه اول.. ..... ۴۳

شکل ۴-۳ : طرح پیشنهادی برای مدولاتور سیگما دلتای دو مسیره مرتبه اول با ضرائب تزویج بهینه شده..... ۴۳

شکل ۴-۴: چگالی های طیف توان خروجی مدولاتور سیگما دلتای دو مسیره با معماری اضافی و غیراضافی.....۴۵

شکل ۴-۵: حالت کلی مدولاتور سیگما دلتای N مسیره مرتبه اول با معماری غیر اضافی..... ۴۶

شکل ۴-۶ : حالت کلی مدولاتور سیگما دلتای N مسیره مرتبه اول با معماری اضافی.....۴۸

شکل ۴-۷ : مدولاتور سیگما دلتای سه مسیره مرتبه اول با معماری اضافی.....۵۲

شکل ۴-۸: چگالی های طیف توان مدولاتور سیگما دلتای سه مسیره مرتبه اول با معماری اضافی و غیر اضافی.....۵۳

شکل ۵-۱ : پیاده سازی سوئیچ-خازنی انتگرالگیر در مدولاتور سیگما دلتا با بهره محدود آپ-امپ..... ۵۵

شکل ۵-۲: تابع تبدیل نویز مدولاتور سیگما دلتا مرتبه دوم برای سه مقدار مختلف بهره آپ-امپ های انتگرالگیر.....۵۶

شکل ۵-۳ : تاثیر بهره محدود DC آپ-امپ بر عملکرد مدولاتور سیگما دلتا.....۵۷

شکل ۵-۴ : تاثیر فرکانس بهره واحد آپ-امپ بر عملکرد مدولاتور سیگما دلتا.....۵۹

شکل ۵-۵: تاثیر slew-rate محدود آپ-امپ بر عملکرد مدولاتور سیگما دلتا..... ۵۹

شکل ۵-۶: تاثیر همزمان GBW و slew-rate محدود آپ-امپ بر عملکرد مدولاتور سیگما دلتا ۵۹

شکل ۵-۷: تاثیر خطای عدم تطابق در ضرائب تزویج بر عملکرد مدولاتور ۶۱

شکل ۵-۸: تاثیر خطای عدم تطابق کانال بر عملکرد مدولاتور.....۶۲

شکل ۵-۹: چگالی طیف توان خروجی مدولاتور با ساختار پیشنهادی با در نظر گرفتن پارامترهای غیرایده آلی..... ۶۴

شکل ۵-۱۰: تاثیر رزولوشن کوانتایزر بر عملکرد مدولاتور با ساختار پیشنهادی.....۶۶

شکل ۵-۱۱ عملکرد مدولاتور سیگما دلتا با معماری اضافی و غیر اضافی بر حسب تابعی از تعداد بیت کوانتایزر.....۶۶

شکل ۵-۱۲: مقایسه محدوده دینامیکی مدولاتورهای سیگما دلتا با معماری اضافی و غیراضافی..... ۶۷

شکل ۶-۱ : ساختار سوئیچ-خازنی مدولاتور سیگما دلتای مرتبه اول..... ۷۰

شکل ۶-۲: رشته خروجی حوزه زمان مرتبط با مدولاتور سیگما دلتا..... ۷۱

شکل ۶-۳ : پیاده سازی سوئیچ-خازنی مدولاتور سیگما دلتای دو مسیره مرتبه اول با معماری اضافی..... ۷۲

شکل ۶-۴ : چگالی های طیف توان خروجی ساختار پیشنهادی در سطوح سیستمی و مداری..... ۷۳

چکیده:

امکان پیاده‌سازی آسانتر ساختارهای پیچیده با بلوک‌های ساده در مدارهای دیجیتال و همچنین نویزپذیری کمتر آن‌ها، سبب شده است که امروزه بیشتر کار پردازش سیگنال در این بخش انجام شود. ولی با وجود رشد سیر دیجیتالی شدن قطعات الکترونیکی، پردازش سیگنال‌های آنالوگ همچنان از اهمیت و جایگاه ویژه‌ای برخوردار است. زیرا داده‌های جهان پیرامون ما سیگنال‌های پیوسته در زمان هستند. بنابراین همواره نیاز به مبدل‌هایی داریم که داده‌های دنیای واقعی را برای پردازش به اندازه‌های دیجیتال تبدیل کنند. امروزه افزایش سرعت و دقت پردازنده‌های دیجیتال، مستلزم وجود مبدل‌هایی با سرعت و دقت بالا است. مبدل‌های داده را می توان به دو نوع نایکوئیست و فرانمونه‌بردار دسته‌بندی کرد. مبدل‌های فرانمونه‌بردار به علت تاثیرپذیری کمتر در برابر خطاهای پروسه ساخت(که همواره در ساخت قطعات آنالوگ وجود دارد)، انتخاب مناسبی برای کاربردهای با دقت بالا هستند. مبدل‌های سیگما دلتا از رایج‌ترین نوع مبدل‌های فرانمونه‌بردار هستند که علاوه بر برتری فرا-نمونه‌برداری به علت برخورداری از ساختار حلقه بسته و توانایی شکل دهی نویز، امکان دستیابی به دقت‌های بالا را فراهم آورده‌اند. بنابراین به علت برخورداری از دو توانایی دقت و سرعت بالا، امروزه مبدل‌های سیگما دلتا در میان سایر مبدل‌ها، گزینه بسیار رایجی هستند. روش دیگری برای افزایش پهنای باند عبوری سیگنال ورودی استفاده از معماری time-interleaved می باشد. در این ساختار شماری از مبدل های داده که به صورت موازی با هم قرار دارند، به صورت همزمان مقادیر نمونه گرفته شده از سیگنال ورودی را کوانتایز می کنند. همچنین استفاده از تزویج متقابل خطای کوانتیزاسیون مسیرهای مختلف در ساختار TI منجر به ایجاد عبارت های حذف شده در تابع تبدیل نویز مطلوب می شود. این امر موجب افزایش مرتبه شکل دهی نویز و درنتیجه افزایش نسبت سیگنال به نویز نهایی مدولاتور می شود.

در این پایان نامه، معماری اضافی برای مدولاتور سیگما دلتای دو مسیره مرتبه اول ارائه و ساختار تعمیم یافته این طرح پیشنهادی نیز بررسی شده است. همچنین در حالت کلی، ماتریس های تزویج بهینه جهت حصول شکل دهی نویز مطلوب محاسبه شده است. شبیه سازی ها جهت راست آزمایی طرح پیشنهادی، در دو سطح لایه سیستمی در محیط سیمیولینک نرم افزار MATLAB و لایه مداری با کمک نرم افزار ADS 2011 انجام شده است. در سطح سیستمی، پارامترهای غیرایده آلی از جمله بهره محدود آپ-امپ، فرکانس بهره واحد و SR محدود در آپ-امپ، عدم تطابق در کانال و ضرائب تزویج و همچنین تاثیر رزولوشن کوانتایزر بر عملکرد مدولاتور سیگما دلتا مورد بررسی قرار گرفته است. در انتها نیز در سطح مداری، پیاده سازی سوئیچ-خازنی ساختار پیشنهادی و شبیه سازی مرتبط با آن ارائه شده است.

واژه‌های کلیدی: مبدل‌های آنالوگ به دیجیتال، فرانمونه‌برداری، مدولاتور سیگما دلتا، شکل‌دهی نویز، معماری time-interleaved، تزویج متقابل خطای کوانتیزاسیون.

فصل اول: مقدمه

پیشگفتار

مروری بر انواع مبدل‌های داده

انگیزه انتخاب مبدل سیگما دلتا: بده بستان بین سرعت و دقت

ساختار پایان‌نامه

۱-۱ پیشگفتار

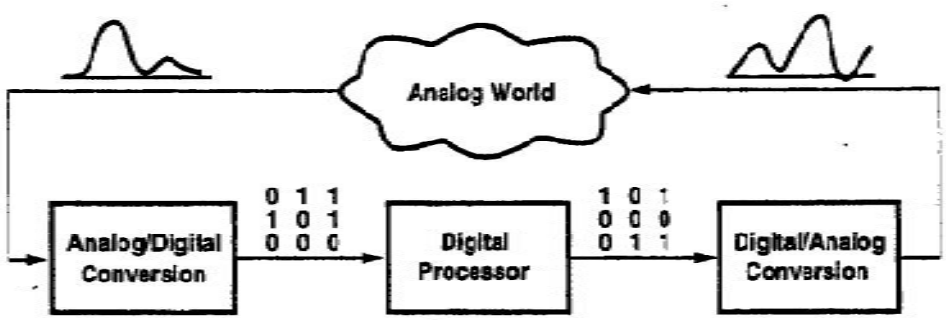
گسترش محاسبات دیجیتال و پردازش سیگنال در سیستم‌های الکترونیکی، بیانگر این است که جهان هر روزه بیشتر به سمت دیجیتالی شدن پیش می‌رود. مدارات دیجیتالی در مقایسه با مدارات آنالوگ حساسیت کمتری به نویز نشان می‌دهند و نسبت به تغییرات تغذیه و تکنولوژی مقاوم‌ترند که این مطلب طراحی و تست اتوماتیک و همچنین برنامه‌پذیری بیشتری را برای آنها به همراه دارد. البته پیشرفت این مدارات در تکنولوژی مدارهای مجتمع[۱] مهم‌ترین عاملی است که سبب بالا رفتن کارایی مدارها و پردازنده‌های دیجیتال در همه جنبه‌های زندگی ما شده است. همانطورکه در شکل (۱-۱) نشان داده شده است، برای ارتباط پردازنده‌های دیجیتال با دنیای آنالوگ، مدارهای دریافت داده[۲] و بازسازی[۳] باید مورد استفاده قرارگیرند. از جمله مدارهای دریافت داده، مبدل‌های آنالوگ به دیجیتال[۴] (ADC) هستند که در ورودی سیستم قرار گرفته و عمل رقمی‌کردن سیگنال آنالوگ را انجام می‌دهند. چنانچه بخواهیم داده را دوباره به جهان پیرامون خود بازگردانیم به مبدل دیجیتال به آنالوگ[۵] (DAC) نیازخواهیم داشت.

بیان اینکه مبدل‌های داده تقریباً اساسی‌ترین بخش همه سیستم‌های الکترونیکی هستند، اغراق آمیز نیست. چون سیگنال‌ها در دنیای اطراف ما ذاتاً آنالوگ هستند و به دلیل مقاوم ساختن، انعطاف پذیری و قابل اطمینان بودن پردازش سیگنال و ... ، تمایل بر آن است که در ابزاری همچون مخابرات، صدا، ویدئو، ابزار دقیق، کامپیوتر و ... از شکل دیجیتال سیگنال‌های آنالوگ استفاده شود و به همین علت مبدل‌های آنالوگ به دیجیتال نقش بسیار مهمی پیدا کرده اند. این مبدل‌ها با استفاده از بلوک‌های آنالوگی همچون تقویت‌کننده‌های عملیاتی[۶] (OpAmp)، نمونه‌بردار و نگه‌دار[۷] (S&H) و مقایسه‌گر ساخته می‌شوند که این مسئله باعث چالش‌های فراوانی در طراحی می‌شود، بخصوص زمانی که مبدل طراحی شده را بخواهیم در چیپ قرار دهیم. کارایی پردازش‌گرهای سیگنال دیجیتال و سیستم‌های ارتباطی، عموماً بوسیله دقت ورودی های دیجیتال که در فرایند تبدیل داده‌های آنالوگ به دیجیتال بدست می‌آیند، تعیین می‌شود[۱][۲][۳][۴]

روش‌های متنوعی برای طراحی مبدل‌های آنالوگ به دیجیتال وجود دارند که عبارتند از: مبدل‌های Flash، Two-Step، Pipeline، Successive Approximation، Sigma-Delta، Time-Interleaved.

---

[1] Integrated Circuits
[2] Data Acquisition
[3] Reconstruction
[4] Analog to Digital Converters
[5] Digital to Analog Converters
[6] Operational Amplifier
[7] Sample & Hold



شکل (۱-۱): مبدل های داده رابطی بین پردازنده های دیجیتال و جهان واقعی

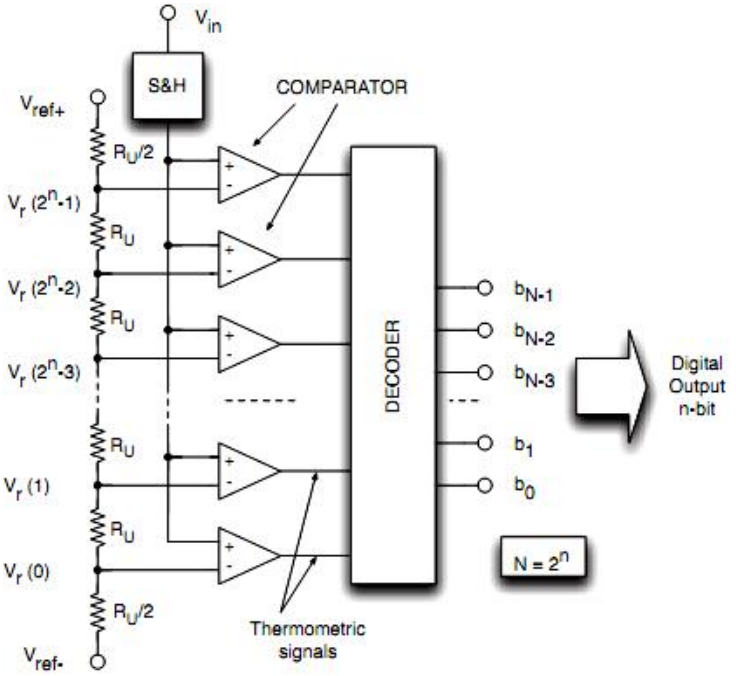
۱-۲ مروری بر انواع مبدل های داده

در این بخش برخی ساختارهای گوناگون مبدل‌ها و ویژگی آنها را مرور می‌کنیم. هر ساختار برتری‌ها و کاستی‌های خود را دارد و برای کاربردی ویژه مناسب است .

۱-۲-۱ مبدل آنالوگ به دیجیتال فلش[۱]

مبدل فلش، سریع‌ترین مبدل در میان ساختارهای گوناگون مبدل‌ها است. ساختار یک مبدل فلش در شکل (۱-۲) نشان داده شده است. یک مبدل n - بیتی فلش از 2^n مقایسه‌گر، یک نردبان مقاومتی و یک دیکدر[۲] تشکیل شده است. مقاومت نردبانی، ولتاژ مرجع را به 2^n بخش مساوی تبدیل می‌کند و مقایسه‌گرها سیگنال ورودی را با این ولتاژها مقایسه می‌کنند. سرانجام خروجی مقایسه گرها توسط یک مدار منطقی مناسب به کد باینری تبدیل می گردد. از آنجا که مقایسه‌گرها موازی با هم کار می‌کنند، بنابراین سرعت تبدیل فقط به سرعت مقایسه‌گرها بستگی دارد. به همین دلیل این مبدل سرعت بالایی دارد و می‌تواند در فرکانس های بالا نیز کار کند. از آنجا که تعداد مقایسه گرها (و در نتیجه توان مصرفی و سطح تراشه) به طور نمایی با رزولوشن[۳] افزایش می یابد، این نوع A/D برای رزولوشنهای کم (۶ بیت و کمتر) و سرعتهای بسیار بالا مناسب است[۵][۶][۷][۸]. در برخی موارد جهت کاهش تاثیر افست مقایسه گرها، در ورودی آنها تقویت کننده های تفاضلی با بهره کم و سرعت بالا قرار داده می شود [۹][۱۰]. برای کاهش تعداد این تقویت کننده ها می توان از درون یابی[۴] استفاده نمود [۱۱][۱۲][۱۳][۱۴].

[1] Flash ADC
[2] Decoder
[3] Resolusion
[4] Interpolation

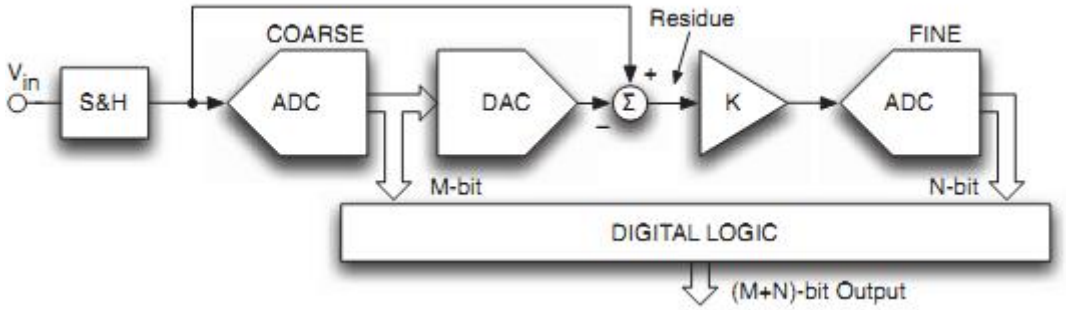


شکل (۱-۲): ساختار مبدل فلش

۱-۲-۲ مبدل آنالوگ به دیجیتال دو مرحله ای[1]

برای غلبه بر مشکل تعداد زیاد مقایسه گرها در مبدل فلش، ساختارهای دو مرحله ای پیشنهاد گردیدند. همانطور که در شکل (۱-۳) نشان داده شده، ورودی بعد از نمونه برداری، از یک مبدل فلش M بیتی عبور کرده و بیت های با اهمیت بالای[2] خروجی را می سازد. در ادامه مبدل دیجیتال به آنالوگ، M بیت خروجی را به سیگنال آنالوگ تبدیل می کند و این سیگنال از ورودی کم می شود. سیگنال حاصل که خطای کوانتیزاسیون[3] مبدل فلش اول می باشد از مبدل فلش دوم عبور کرده و N بیت با اهمیت کمتر[4] را تولید می کند. در نهایت خروجی های MSB و LSB به وسیله ی مدارات دیجیتالی با هم ترکیب می شوند و خروجی نهایی را شکل می دهند [۱۵][۱۶]. همچنین به کمک همپوشانی محدوده دو A/D می توان دقت مدار را بهبود بخشید [۱۷][۱۸].

[1] Two Step ADC
[2] Most Significant Bit
[3] Quantization Error
[4] Less Significant Bit



شکل (۱-۳): ساختار مبدل دو مرحله ای

۱-۲-۳ مبدل آنالوگ به دیجیتال پایپ‌لاین[1]

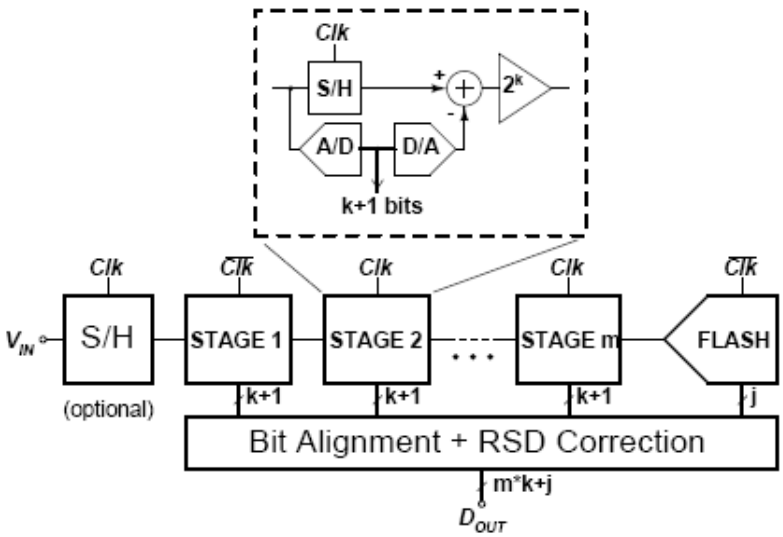
روش پایپ‌لاین کردن که بیشتر درمدارات دیجیتال بکار می‌رود را می توان در بخش آنالوگ نیز بکار برد و به سرعت‌های بالاتری دست یافت. در مبدل پایپ‌لاین، هر طبقه کار ویژه‌ای را روی ورودی خود انجام می‌دهد و خروجی را برای طبقه بعد آماده می‌کند. بنابراین هنگامی‌که هر طبقه کار خود را انجام می‌دهد چشم به راه پایان یافتن کار بقیه طبقات نمی‌ماند و بی‌درنگ کار خود را روی داده بعدی آغاز می‌کند. پس همه طبقات، ورودی‌های متفاوتی را همزمان پردازش می‌کنند. قاعده کلی در مبدل‌های پایپ‌لاین، یافتن مجموعه‌ای از ولتاژهای مرجع است به‌گونه‌ای که مجموع این ولتاژها برابر با تبدیل یافته سیگنال نمونه-برداری شده باشد. برای رسیدن به این هدف ولتاژهای مرجع متفاوت، پی‌درپی از ولتاژ نمونه‌برداری شده کم می‌شوند تا باقیمانده به صفر برسد. صفر شدن باقیمانده نشان می‌دهد مجموع ولتاژهای مرجعی که از سیگنال نمونه‌برداری شده کم شده‌اند، برابر با اندازه واقعی نمونه برداری شده می‌باشد.

ایده اصلی این مبدل افزایش سرعت به بهای افزایش تاخیر مبدل است. همانگونه که در شکل (۱-۴) نشان داده شده است، m طبقه به طور همزمان در حال پردازش m نمونه متوالی از سیگنال ورودی هستند. در هر طبقه، ورودی توسط یک مبدل با رزولوشن کم کوانتیزه می گردد و سپس اختلاف مقدار معادل کد دیجیتال به دست آمده و ورودی، محاسبه گشته و پس از تقویت به طبقه بعد می رود. بدین شکل محدوده ورودی تمام طبقات مشابه خواهد بود [۱۹][۲۰][۲۱][۲۲].

همچنین در هر طبقه این مبدل، افزون بر k بیت، یک بیت دیگر نیز تولید می‌شود به گونه‌ای که این بیت اضافی با بیت‌های طبقه بعد همپوشانی دارد. در طبقه پایانی مبدل پایپ‌لاین، مبدل فلش j بیتی قرار

[1] Pipeline ADC

دارد. بنابراین دقت مبدل برابر با $(m \times k) + j$ خواهد بود. البته درعمل نیازی نیست که دقت همه طبقات با هم برابر باشد. هر طبقه از sample and hold، sub-ADC، مبدل دیجیتال به آنالوگ، تفریق‌کننده و تقویت‌کننده‌ای با بهره 2^k تشکیل شده است. بنابراین با توجه به اینکه طبقات پایپ‌لاین همزمان کار می‌کنند این مبدل‌ها برای کاربردهایی با سرعت و دقت بالا مناسب هستند.



شکل (۱-۴): ساختار مبدل پایپ لاین

۱-۲-۴ مبدل آنالوگ به دیجیتال تقریب پی‌درپی[1]

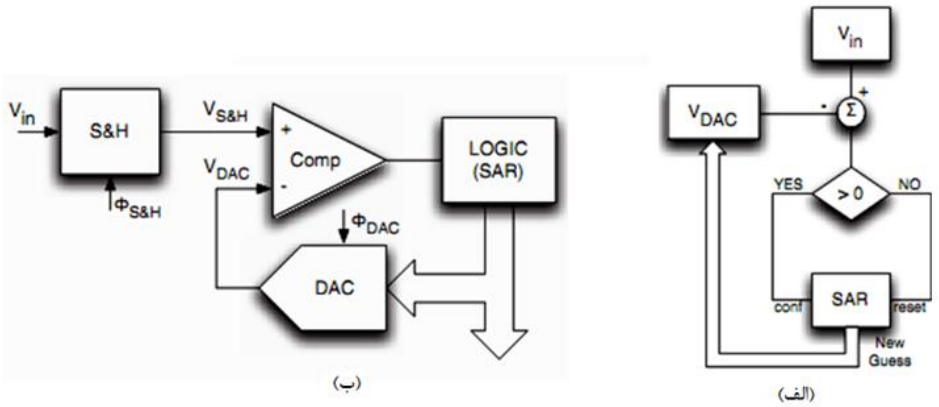
این مبدل یکی از رایج‌ترین مبدل‌های آنالوگ به دیجیتال به شمار می‌رود و برای کاربردهایی با سرعت و دقت متوسط مناسب است. این مبدل‌ها، الگوریتم جستجوی دودویی را بکار می‌گیرند تا نزدیک‌ترین اندازه دیجیتال را برای ورودی برآورد کنند

فرض کنید می خواهیم مقدار آنالوگی بین محدوده مجاز 0-Vref را به کدهای دیجیتال تبدیل کنیم. ابتدا مقدار نمونه گرفته شده ورودی را با Vref/2 مقایسه می کنیم و به ازای بیشتر یا کمتر بودن از این مقدار، صفر یا یک بودن با اهمیت ترین بیت خروجی (MSB) را تعیین می نماییم. اگر MSB=0 باشد، در گام بعدی ورودی را با Vref/4 و اگر MSB=1 بود ورودی را با 3Vref/4 مقایسه می کنیم و بیت بعدی خروجی را تعیین می نماییم. مقایسه سوم نیز گستره سنجش را به دو بخش تقسیم می‌کند و مقایسه ها ادامه می‌یابند تا عدد مورد نظر بدست آید. بنابراین به‌طورکلی، جستجوی دودویی، گستره مقایسه را هر بار به دو بخش مساوی تقسیم می‌کند و اگر عدد مورد نظر در گستره‌ای به طول 2^N قرار داشته باشد، آن را

[1] Successive Approximation

می‌توان پس از N گام یافت. از این رو مبدل تقریب پی‌درپی با دقت N بیت، دست‌کم N بار از مبدل فلش کندتر است.

یکی از روش‌های پیاده‌سازی این الگوریتم بهره‌گیری از روش‌های مبتنی بر DAC است. ساختار یک مبدل تقریب پی‌درپی که از DAC بهره می‌گیرد در شکل (۱-۵) آمده است. این مبدل مستقل از تعداد بیت‌ها تنها یک مقایسه‌گر دارد و نیز بخش بزرگی از آن به صورت دیجیتال پیاده‌سازی می‌شود. از این رو توان مصرفی آن بسیار پایین است. در چنین ساختاری، DAC و مقایسه‌گر، دقت و سرعت مبدل را تعیین می‌کنند.



شکل (۱-۵): الف- الگوریتم برآورد داده آنالوگ ورودی ، ب- پیاده سازی مبدل تقریب متوالی با DAC

۱-۳ انگیزه انتخاب مبدل سیگما دلتا: بده بستان[1] بین سرعت و دقت

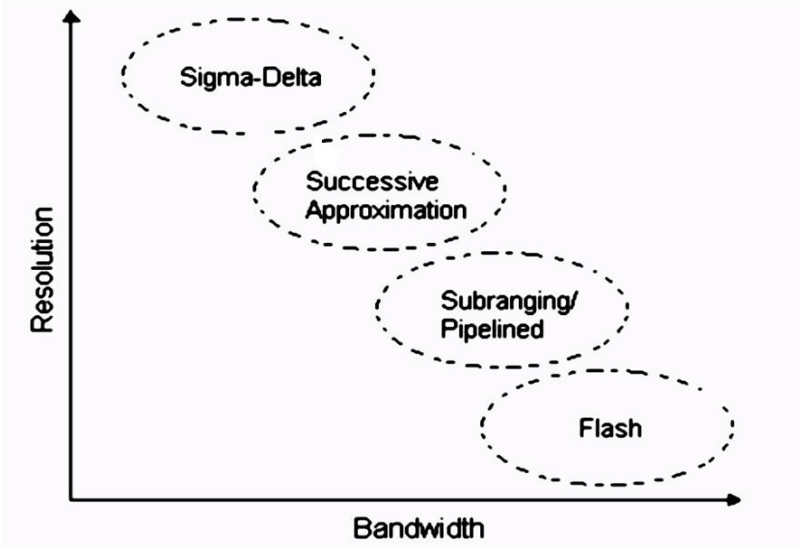
در مبدل های فرانمونه گیر (که در فصل بعد به تفضیل توضیح داده می شود)، نرخ فرانمونه برداری[2] به صورت زیر تعریف می شود.

$$OSR = \frac{f_S}{2BW} \qquad (۱-۱)$$

که در آن f_S فرکانس نمونه برداری و BW بزرگترین مولفه فرکانسی سیگنال ورودی می باشد. هر چه مقدار OSR بیشتر باشد، دقت مبدل بیشتر خواهد بود. فرکانس نمونه برداری (f_S) با توجه به تکنولوژی مورد استفاده محدود می باشد و با یک نرخ فرانمونه برداری مشخص، می توان پهنای باند محدودی از سیگنال را عبور داد (بده بستان بین سرعت و دقت) و به این ترتیب رسیدن به مبدل های پهن باند مشکل است. شکل (۱-۶) بده بستان بین پهنای باند و دقت در مبدل های مختلف را نشان می دهد. مبدل فلش دارای سرعت

[1] Trade-off
[2] Over Sampling Rate

عملکرد بسیار بالا ولی دقتی پایین می باشد. در نقطه مقابل، مبدل سیگما دلتا به علت استفاده از انتگرالگیر در مسیر مستقیم و فیدبک منفی دارای سرعت متوسط و دقت بسیار بالایی می باشد.



شکل (۱-۶): بده بستان بین سرعت و دقت در انواع مبدل های داده

همچنین جدول (۱-۱) مقایسه ی ویژگی هایی مانند دقت، سرعت، مصرف توان و سطح اشغال بین برخی از مبدل‌های داده را نمایش می دهد. همانطور که عنوان شد، مبدل سیگما دلتا از سرعت متوسط و دقت بسیار بالایی (رزولوشن ۱۴ تا ۲۰ بیت) برخوردار می باشد.

جدول ۱-۱: ویژگی‌های برخی از انواع مبدل های داده

نوع مبدل داده	دقت	مشخصات
مبدل فلش	۴ تا ۸ بیت	سرعت و پهنای باند بالا مصرف توان بالا، سطح اشغال بالا
مبدل پایپ لاین	۱۲ تا ۱۶ بیت	سرعت و پهنای باند متوسط مصرف توان کم، سطح اشغال متوسط
مبدل تقریب متوالی	۱۰ تا ۱۶ بیت	سرعت و پهنای باند کم مصرف توان کم
مبدل سیگما دلتا	۱۴ تا ۲۰ بیت	سرعت و پهنای باند متوسط مصرف توان متوسط