٩٩١٢٤

T.M.U.
دانشگاه تربیت مدرّس
دانشکده فنی و مهندسی
بخش مهندسی برق و کامپیوتر

پایان‌نامه دوره کارشناسی ارشد مهندسی برق – الکترونیک

طراحی و شبیه سازی مدولاتور سیگما – دلتا با پهنای باند وسیع ودقت بالا

نگارش:

مهدی تقی زاده

۱۳۸۷/۱۵/۲۵

۱۳۸۷/۱۵/۲۵

۹۹۱۳۴

استاد راهنما:

دکتر عبدالرضا نبوی

زمستان ۱۳۸۶

بسمه تعالی

تاییدیه اعضای هیات داوران حاضر در جلسه دفاع از پایان

آقای مهدی تقی زاده پایان نامه ۹ واحدی خود را **با عنوان طراحی و شبیه سازی مدولاتور سیگما-دلتا با پهنای باند وسیع و دقت بالا** در تاریخ ۱۳۸۶/۱۱/۱۷ ارائه کردند.

اعضای هیات داوران نسخه نهایی این پایان نامه را از نظر فرم و محتوا تایید کرده و پذیرش آنرا برای تکمیل درجه کارشناسی ارشد مهندسی برق - الکترونیک پیشنهاد می کنند.

عضو هیات داوران	نام و نام خانوادگی	رتبه علمی	امضا
استاد راهنما	دکتر عبدالرضا نبوی لیشی	دانشیار	
استاد ناظر	دکتر محمدکاظم مروج فرشی	استاد	
استاد ناظر	دکتر وحید احمدی	استاد	
استاد ناظر	دکتر علی فتوت احمدی		
مدیر گروه (یا نماینده گروه تخصصی)	دکتر محمدکاظم مروج فرشی	استاد	

آیین نامه چاپ پایان‌نامه (رساله)های دانشجویان دانشگاه تربیت مدرس

نظر به اینکه چاپ و انتشار پایان نامه (رساله)های تحصیلی دانشجویان دانشگاه تربیت مدرس، مبین بخشی از فعالیتهای علمی - پژوهشی دانشگاه است بنابراین به منظور آگاهی و رعایت حقوق دانشگاه،دانش آموختگان این دانشگاه نسبت به رعایت موارد ذیل متعهد می‌شوند:

ماده ۱: در صورت اقدام به چاپ پایان نامه (رساله)ی خود، مراتب را قبلاً به طور کتبی به «دفتر نشر آثارعلمی» دانشگاه اطلاع دهد.

ماده ۲: در صفحه سوم کتاب (پس از برگ شناسنامه) عبارت ذیل را چاپ کند:

«کتاب حاضر، حاصل پایان نامه کارشناسی ارشد/ رساله دکتری نگارنده در رشته برق است که در سال ۱۳۸۶ در دانشکده برق دانشگاه تربیت مدرس به راهنمایی سرکار خانم/جناب آقای دکتر عبدالرضا نبوی ، مشاوره سرکار خانم/جناب آقای دکتر و مشاوره سرکار خانم/جناب آقای دکتر

از آن دفاع شده است.»

ماده ۳: به منظور جبران بخشی از هزینه‌های انتشارات دانشگاه، تعداد یک درصد شمارگان کتاب (در هر نوبت‌چاپ) را به «دفتر نشر آثارعلمی» دانشگاه اهدا کند. دانشگاه می‌تواند مازاد نیاز خود را به نفع مرکز نشر درمعرض فروش قرار دهد.

ماده ۴: در صورت عدم رعایت ماده ۳، ۵۰٪ بهای شمارگان چاپ شده رابه عنوان خسارت به دانشگاه تربیت‌مدرس، تأدیه کند.

ماده ۵: دانشجو تعهد و قبول می کند در صورت خودداری از پرداخت بهای خسارت، دانشگاه می‌تواندخسارت مذکور را از طریق مراجع قضایی مطالبه و وصول کند؛ به علاوه به دانشگاه حق می‌دهد به منظور استیفای حقوق خود، از طریق دادگاه، معادل وجه مذکور در ماده ۴ را از محل توقیف کتابهای عرضه شده‌نگارنده برای فروش، تامین نماید.

ماده ۶: اینجانب مهدی تقی زاده دانشجوی رشته برق مقطع کارشناسی ارشد

تعهد فوق وضمانت اجرایی آن را قبول کرده، به آن ملتزم می شوم.

نام و نام خانوادگی: مهدی تقی زاده

تاریخ و امضا: ۸۷/۲/۱۰

دستورالعمل حق مالکیت مادی و معنوی در مورد نتایج پژوهشهای علمی دانشگاه تربیت مدرس

مقدمه: با عنایت به سیاست‌های پژوهشی دانشگاه در راستای تحقق عدالت و کرامت انسانها که لازمه شکوفایی علمی و فنی است و رعایت حقوق مادی و معنوی دانشگاه و پژوهشگران، لازم است اعضای هیات علمی، دانشجویان، دانش آموختگان و دیگر همکاران طرح، در مورد نتایج پژوهشهای علمی که تحت عناوین پایان‌نامه، رساله و طرحهای تحقیقاتی که با هماهنگی دانشگاه انجام شده است، موارد ذیل را رعایت نمایند:

ماده ۱- حقوق مادی و معنوی پایان نامه‌ها / رساله‌های مصوب دانشگاه متعلق به دانشگاه است و هرگونه بهره‌برداری از آن باید با ذکر نام دانشگاه و رعایت آیین‌نامه‌ها و دستورالعمل‌های مصوب دانشگاه باشد.

ماده ۲- انتشار مقاله یا مقالات مستخرج از پایان نامه/ رساله به صورت چاپ در نشریات علمی و یا ارائه در مجامع علمی باید به نام دانشگاه بوده و استاد راهنما مسئول مکاتبات مقاله باشد.

تبصره: در مقالاتی که پس از دانش آموختگی بصورت ترکیبی از اطلاعات جدید و نتایج حاصل از پایان‌نامه/ رساله نیز منتشر می‌شود نیز باید نام دانشگاه درج شود.

ماده ۳- انتشار کتاب حاصل از نتایج پایان نامه / رساله و تمامی طرحهای تحقیقاتی دانشگاه باید با مجوز کتبی صادره از طریق حوزه پژوهشی دانشگاه و بر اساس آئین نامه های مصوب انجام می‌شود.

ماده ۴- ثبت اختراع و تدوین دانش فنی و یا ارائه در جشنواره‌های ملی، منطقه‌ای و بین‌المللی که حاصل نتایج مستخرج از پایان نامه/ رساله و تمامی طرح‌های تحقیقاتی دانشگاه باید با هماهنگی استاد راهنما یا مجری طرح از طریق حوزه پژوهشی دانشگاه انجام گیرد.

ماده ۵- این دستورالعمل در ۵ ماده و یک تبصره در تاریخ ۱۳۸۴/۴/۲۵ در شورای پژوهشی دانشگاه به تصویب رسیده و از تاریخ تصویب لازم الاجرا است و هرگونه تخلف از مفاد این دستورالعمل، از طریق مراجع قانونی قابل پیگیری می شود.

نام و نام خانوادگی

امضاء

مهدی تقی زاده

تقدیم

به پدر و مادر عزیزم

سپاسگزاری

این تحقیق مطابق قرارداد ۵۰۰/۱۵۰۱۶ مورخه ۸۵/۱۲/۶ توسط مرکز تحقیقات مخابرات ایران پشتیبانی شده است، که بدین وسیله از این مرکز تشکر و قدردانی می‌شود.

تشکر و قدردانی

سپاس بیکران ایزد را که مهربانیش، یادش و همراهی پیوسته‌اش، همواره انگیزه من برای حرکت بوده است. ارج می‌نهم زحمات بی‌دریغ پدر و مادرم را که همیشه یار و یاور من بوده‌اند. همچنین نهایت سپاس را از استاد گرامی‌ام، دکتر نبوی، دارم و از تمامی اساتید گروه الکترونیک دانشگاه تربیت مدرس سپاسگزاری و تشکر نموده و برای همه این بزرگواران آرزوی موفقیت و سلامت دارم .

چکیده

سیستمهای مخابراتی نسل جدید جهت افزایش سرعت انتقال داده به مبدل آنالوگ به دیجیتال با دقت بالای ۱۴ بیت برای آشکارسازی سیگنال‌های ورودی کوچک و پهنای باند چند صد مگاهرتز نیاز دارند. مبدل‌های سیگما-دلتا به عنوان یک کاندید مناسب می‌توانند این شرایط را برآورده کنند. در این پایان‌نامه یک مدولاتور سیگما-دلتا تک حلقه مرتبه ۵ با ساختار اعوجاج پایین ارایه می‌شود. ساختار فوق که همزمان از انتگرال‌گیر و فیلتر IIR مرتبه ۲ استفاده می‌نماید نسبت به ساختارهای مشابه تعداد مسیرهای پیش‌خور کمتری دارد که در نتیجه تعداد ضرایب مدولاتور کاهش یافته و حساسیت آن نسبت به عدم تطابق ضرایب کمتر می‌شود. برای کاهش توان مدولاتور، فیلتر IIR مرتبه ۲ با استفاده از یک تقویت‌کننده عملیاتی پیاده‌سازی و از یک جمع‌کننده سوئیچ-خازنی برای تحقق جمع‌کننده ورودی قبل از کوانتایزر استفاده شده است. نتایج شبیه‌سازی نشان می‌دهد که با این ساختار می‌توان با ولتاژ تغذیه ۱/۲ ولت و تکنولوژی CMOS $0.13\ \mu m$، دقت ۱۵ بیت و پهنای باند سیگنال ورودی ۶ مگاهرتز به دست آورد. توان مصرفی مدولاتور فوق برابر ۵۳ میلی‌وات است. با مقایسه عملکرد ساختار ارایه شده با ساختارهای مشابه، مشخص می‌شود که طراحی فوق از پهنای باند و دقت بالاتری در ازای اندک افزایش توان مصرفی برخوردار است.

کلیدواژه: مدولاتور سیگما-دلتا، فیلتر IIR، باند وسیع، اعوجاج پایین، تابع تبدیل نویز.

فهرست مطالب

عنوان | صفحه

فهرست علائم اختصاری ..... د
فهرست جدول‌ها ..... ه
فهرست شکل‌ها ..... و

فصل ۱- مقدمه ۱
۱-۱- پیشگفتار ۱
۱-۲- انگیزه ۱
۱-۳- اهداف پایان نامه ۳
۱-۴- ساختار پایان نامه ۳

فصل ۲- مبدل‌های سیگما – دلتا ۵
۲-۱- مقدمه ۵
۲-۲- مقایسه مبدل‌های بیش‌نمونه‌بردار و نرخ نایکوئیست ۵
۲-۳- بیش نمونه‌برداری ۶
۲-۴- معیار سنجش عملکرد یک مبدل ۶
۲-۵- مدولاتورهای سیگما-دلتا ۷
۲-۵-۱- مدلسازی نویز کوانتیزاسیون ۸
۲-۶- مدولاتورهای تک حلقه سیگما-دلتای مرتبه بالا ۹
۲-۶-۱- ساختار مدولاتور تک حلقه با مسیرهای فیدبک وزن دار توزیع شده ۱۱
۲-۶-۲- ساختار مدولاتور تک حلقه با مسیرهای پیش خور وزن دار توزیع شده ۱۲
۲-۷- ساختار مدولاتورهای چند حلقه یا کسکید ۱۳
۲-۸- مدولاتورهای سیگما-دلتا برای کاربردهای باند وسیع و دقت بالا ۱۵
۲-۸-۱- مدولاتور سیگما-دلتا با ساختار اعوجاج پایین ۱۵
۲-۸-۲- مدولاتور تک حلقه سیگما- دلتا با کوانتیزاسیون چند بیتی- تک بیتی ۱۶
۲-۸-۳- ساختار مدولاتور تک حلقه سیگما- دلتا مرتبه بالا با نمونه برداری دوتایی ۱۷
۲-۸-۴- ساختار لسلی- سینگ ۱۸
۲-۸-۵- مدولاتور سیگما- دلتا با ساختار مختلط ۱۹
۲-۸-۶- ساختار مدولاتور سیگما – دلتا – خط لوله‌ای ۲۰

۲-۹- مقایسه و انتخاب ساختار مناسب ۲۱
۲-۱۰- نتیجه‌گیری ۲۲
فصل ۳- طراحی و شبیه‌سازی سیستمی مدولاتور سیگما-دلتا ۲۴
۳-۱- مقدمه ۲۴
۳-۲- ساختار مدولاتور ۲۴
۳-۲-۱- مشخصه‌های مدولاتور ۲۵
۳-۲-۲- تابع تبدیل نویز ۲۶
۳-۲-۲-۱- تابع تبدیل نویز با ساختار FIR ۲۷
۳-۲-۲-۲- تابع تبدیل نویز با ساختار IIR ۲۸
۳-۲-۳- پایداری ۳۱
۳-۳- نتایج شبیه سازی ۳۳
۳-۴- اثرات غیرایده‌آل مداری ۳۶
۳-۴-۱- نویز ۳۶
۳-۴-۲- بهره تقویت کننده ۳۸
۳-۴-۳- نشست تقویت کننده ۴۰
۳-۴-۴- سوئینگ خروجی ۴۲
۳-۴-۵- عدم تطابق ضرایب مدولاتور ۴۴
۳-۴-۶- جیتر کلاک ۴۴
۳-۵- توان مصرفی مدولاتورهای سیگما-دلتا ۴۵
۳-۵-۱- توان دینامیکی ۴۵
۳-۵-۲- توان استاتیک ۴۵
۳-۶- اثرات غیرخطی DAC ۴۶
۳-۷- جمع‌بندی ۵۰
فصل ۴- پیاده‌سازی مداری ۵۲
۴-۱- مقدمه ۵۲
۴-۲- پیاده‌سازی مدولاتور ۵۲
۴-۲-۱- استفاده از مدارهای سوئیچ-خازنی برای نمونه‌برداری ۵۴
۴-۲-۲- اندازه خازنهای نمونه‌برداری ۵۷
۴-۲-۳- تقویت کننده بکار رفته در انتگرال‌گیر و فیلتر IIR ۶۰
۴-۲-۴- انتگرال‌گیر طبقه اول ۶۴

۴-۲-۵- انتگرال‌گیر طبقه دوم ۶۶
۴-۲-۶- پیاده‌سازی فیلتر IIR مرتبه ۲ ..... ۶۶
۴-۲-۷- انتگرال‌گیر سوم ۶۸
۴-۲-۸- جمع‌کننده قبل از کوانتایزر ۶۹
۴-۲-۹- کوانتایزر ۷۰
۴-۲-۱۰- الگوریتم DWA ۷۴
۴-۳- جمع‌بندی ۷۵
فصل ۵- نتیجه‌گیری و پیشنهاد برای ادامه کار ۷۶
۵-۱- نتایج شبیه‌سازی ۷۶
۵-۲- مقایسه با سایر کارها ۸۰
۵-۳- پیشنهاد برای ادامه کار ۸۱
فهرست مراجع ۸۳
واژه نامه انگلیسی به فارسی ۸۸

علائم اختصاری

ADC	Analog to Digital Converter
CMFB	Common Mode Feedback
CMOS	Complementary Metal Oxide Semiconductor
CLK	Clock Signal of a Sigma-Delta ADC
C_s	Sampling Capacitor
C_f	Feedback Capacitor
DAC	Digital to Analog Converter
DC	Direct Current
DEM	Dynamic Element Matching
DNL	Differential Non Linearity
DR	Dynamic Range
DSP	Digital Signal Processing
DWA	Data Weighted Averaging
ENOB	Effective Number of Bits
f_S	Sampling Frequency
f_B	Baseband Frequency
FFT	Fast Fourier Transform
FOM	Figure of Merit
LPF	Low-Pass Filter
LSB	Least Significant Bit
MSB	Most Significant Bit
NMOS	n-channel MOSFET
NTF	Noise Transfer Function
OL	Overload Level
Op-Amp	Operational Amplifier
OSR	Oversampling Ratio
OTA	Operational Transconductance Amplifier
PMOS	p-channel MOSFET
PSD	Power Spectral Density
SC	Switched Capacitor
SFDR	Spurious Free Dynamic Range
SNR	Signal to Noise Ratio
SNDR	Signal to Noise and Distortion Ratio
SR	Slew Rate
STF	Signal Transfer Function
THD	Total Harmonic Distortion
VLSI	Very Large Scale of Integration
V_{IN}	Input Voltage
V_{OUT}	Output Voltage
V_{REF}	Reference Voltage
UGBW	Unity Gain Bandwidth

فهرست جدول‌ها

عنوان | صفحه

جدول (۳-۱) : ضرایب صورت تابع تبدیل نویز ۲۷
جدول (۳-۲): ضرایب مستقل مدولاتور برای OSR=8 ..... ۳۳
جدول (۳-۳): ضرایب مستقل مدولاتور برای OSR=16 ..... ۳۳
جدول (۳-۴): مقایسه نتایج شبیه‌سازی برای سه ساختار مختلف ۳۵
جدول (۳-۵): نتایج شبیه‌سازی با در نظر گرفتن تک‌تک و تمام اثرات غیرایده‌آل مداری ۵۰
جدول-(۴-۱) : مقادیر خازنهای نمونه‌بردار ۵۹
جدول (۴-۲): مشخصات مورد نیاز تقویت‌کننده عملیاتی انتگرال‌گیر اول ۶۲
جدول (۴-۳): اندازه ترانزیستورهای تقویت کننده عملیاتی ۶۲
جدول (۴-۴): مقادیر خازن‌های مدار CMFB ۶۳
جدول (۴-۵): اندازه ترانزیستورهای بایاس تقویت کننده عملیاتی ۶۴
جدول (۴-۶): مقادیر ترانزیستور و خازن‌های مدار انتگرال‌گیر اول ۶۵
جدول (۴-۷): مقادیر ترانزیستور و خازن‌های مدار انتگرال‌گیر دوم ۶۶
جدول (۴-۸): مقادیر خازنهای جمع‌کننده قبل از کوانتایزر ۷۰
جدول (۴-۹): اندازه ترانزیستورهای مدار قفل مقایسه‌گر و پیش‌تقویت‌کننده ۷۳
جدول (۵-۱): مقایسه نتایج گوشه‌های مختلف پروسس در مدولاتور مورد نظر ۷۹
جدول (۵-۲):نتایج پیاده سازی ۷۹
جدول (۵-۳): مقایسه عملکرد مبدل‌های مختلف با استفاده از معیار شایستگی ۸۰

فهرست شکل‌ها

عنوان | صفحه

شکل (۱-۱) : طبقه‌بندی مبدل‌ها بر حسب دقت و پهنای باند..... ۲

شکل (۲-۱) : ساختار کلی یک مبدل سیگما-دلتا..... ۸

شکل (۲-۲): ساختار یک مدولاتور سیگما-دلتای متداول..... ۸

شکل (۲-۳) : مدولاتور سیگما-دلتای مرتبه بالای DWFB..... ۱۱

شکل (۲-۴): مدولاتور تک حلقه با مسیرهای پیشخور وزن دار توزیع شده DWFF..... ۱۲

شکل (۲-۵) : مدولاتور سیگما-دلتا با ساختار کسکید..... ۱۳

شکل (۲-۶): ساختار مدولاتور سیگما-دلتای اعوجاج پایین..... ۱۵

شکل (۲-۷) : مدولاتور سیگما- دلتا با کوانتیزاسیون چند بیتی – تک بیتی..... ۱۶

شکل (۲-۸) : انتگرال‌گیر با ساختار نمونه‌برداری دوتایی..... ۱۷

شکل (۲-۹) : ساختار یک مدولاتور مرتبه ۵ DS با تابع تبدیل نویز IIR ۱۸

شکل (۲-۱۰) : ساختار مدولاتور تک حلقه لسلی- سینگ..... ۱۹

شکل (۲-۱۱) : ساختار مدولاتور سیگما-دلتا تک حلقه‌ای مختلط..... ۲۰

شکل (۲-۱۲) : ساختارمدولاتور سیگما- دلتا- پایپلاین..... ۲۱

شکل (۲-۱۳): ساختار مدولاتور تک حلقه پیشنهاد شده..... ۲۲

شکل (۳-۱) : ساختار کلی مدولاتور سیگما-دلتای مرتبه ۵ ارایه شده..... ۲۵

شکل (۳-۲) : بیشینه $\frac{V_{in}}{V_{ref}}$ بر حسب بیتهای کوانتایزر برای NTF با ساختار FIR..... ۲۸

شکل (۳-۳) : ساختار کلی مدولاتور ارایه شده..... ۳۰

شکل (۳-۴) : بیشینه سیگنال (A) ورودی مدولاتور و (B) انتگرال‌گیر اول برحسب تغییر بیت‌های کوانتایزر به ازای OSR=8 و OSR=16..... ۳۱

شکل (۳-۵) : مدل خطی کوانتایزر با بهره K..... ۳۱

شکل (۳-۶) : مکان هندسی قطب های تابع NTF بازاء تغییر بهره کوانتایزر..... ۳۲

شکل (۳-۷) : طیف خروجی مدولاتور سیگما-دلتا برای OSR=8 و OSR=16..... ۳۴

شکل (۳-۸) : محدوده پویایی مدولاتور برای نرخ بیش‌نمونه‌برداری ۸ و ۱۶ در حالت ایده‌آل..... ۳۴

شکل (۳-۹) : طیف خروجی مدولاتور مرتبه ۵ پیشنهادی و مدولاتور سیگما-دلتای مرجع [۲۴] ۳۵

شکل (۳-۱۰): انتگرال‌گیر سوئیچ-خازنی ۳۷
شکل (۳-۱۱) : اثر نویز سوئیچ انتگرال‌گیر اول بر عملکرد مدولاتور ۳۸
شکل (۳-۱۲) : انتگرال‌گیر سوئیچ-خازنی با بهره DC محدود ۳۸
شکل (۳-۱۳) : مدل سازی بهره DC محدود در محیط سیمولینک ۳۹
شکل (۳-۱۴) : اثر تغییرات بهره DC تقویت‌کننده بر روی SNDR در انتگرال‌گیر اول ۴۰
شکل (۳-۱۵) : انتگرال گیر در فاز $\emptyset 2$ ۴۱
شکل (۳-۱۶) : تغییرات زمان نشست بر حسب تغییرات پهنای باند بهره-واحد و سرعت چرخش ۴۲
شکل (۳-۱۷) : محدوده سوئینگ خروجی طبقات مختلف مدولاتور سیگما-دلتا ۴۳
شکل (۳-۱۸): مقایسه سوئینگ خروجی انتگرال‌گیر اول و دوم برای ساختار پیشنهادی و ساختار DWFF ۴۳
شکل (۳-۱۹) : وجود عدم تطابق ضرایب انتگرال‌گیر اول ۴۴
شکل (۳-۲۰) :خطی‌سازی DAC با روش NS-DEM ۴۷
شکل (۳-۲۱): انتخاب المان‌های DAC در الگوریتم ILA برای یک مبدل ۴ بیتی ۴۸
شکل (۳-۲۲): انتخاب المان‌های DAC در الگوریتم DWA برای یک مبدل ۴ بیتی ۴۹
شکل (۳-۲۳): طیف خروجی مدولاتور با و بدون حضور الگوریتم DWA ۴۹
شکل (۴-۱) : مدولاتور سیگما-دلتای پیاده‌سازی شده با مرتبه ۵ ..... ۵۳
شکل (۴-۲) : زمان‌بندی کلاک سوئیچ‌های نمونه‌برداری مدولاتور(کلاک‌های تاخیردار با خطوط نقطه چین مشخص شده) ۵۴
شکل (۴-۳) : (A) مدار یک نمونه بردار سوئیچ-خازنی (B) نمونه‌بردار و خازن‌های پارازیتی آن ۵۵
شکل (۴-۴) نمودار اندازه THD بر حسب تغییرات نسبت $\frac{R_3}{R_1}$ ۵۶
شکل (۴-۵): مدار سوئیچ خودراه‌انداز ۵۶
شکل (۴-۶) : نمایش ولتاژ گیت-سورس بر حسب تغییرات ورودی ۵۷
شکل (۴-۷) : مدل کردن نویز مداری در یک مدولاتور سیگما-دلتا ۵۷
شکل (۴-۸) : آرایش تقویت‌کننده عملیاتی دو طبقه استفاده شده در مدولاتور ۶۰
شکل (۴-۹) : مدار تعیین مد-مشترک تقویت‌کننده برای طبقه اول ودوم تقویت‌کننده ۶۳
شکل (۴-۱۰): مدار بایاس تقویت‌کننده اصلی ۶۴
شکل (۴-۱۱): پیاده‌سازی انتگرال‌گیر اول ۶۵

شکل (۴-۱۲): پیاده‌سازی انتگرال‌گیر دوم ۶۶
شکل (۴-۱۳): دیاگرام تفکیک شده فیلتر IIR مرتبه ۲ ..... ۶۷
شکل (۴-۱۴): تحقق یک فیلتر IIR مرتبه ۲ با یک تقویت‌کننده بهمراه دیاگرام زمان‌بندی آن. ۶۸
شکل (۴-۱۵) : ترکیب انتگرال‌گیر انتهایی و قسمت دوم فیلتر IIR ۶۹
شکل (۴-۱۶): جمع‌کننده سوئیچ–خازنی در طبقه ورودی کوانتایزر ۷۰
شکل (۴-۱۷): ساختار کلی کوانتایزر ۷۱
شکل (۴-۱۸): تقسیم کننده مقاومتی در ورودی مقایسه‌گر ۷۲
شکل (۴-۱۹): آرایش مدار مقایسه‌گر به همراه پیش‌تقویت‌کننده آن ۷۲
شکل (۴-۲۰) : نحوه پیاده‌سازی الگوریتم DWA ۷۴
شکل (۵-۱): طیف خروجی مدولاتور حاصل از شبیه‌سازی سیستمی و Hspice ۷۷
شکل (۵-۲) : طیف خروجی مدولاتور در گوشه‌های مختلف پروسس الف) T=100’ C و Vdd=1.3 V ب) T=100’C و Vdd=1.3 V ج) T=-20’ C و Vdd=1.1 V د) T=-20’ C و Vdd=1.3 V ۷۸
شکل (۵-۳) : اندازه SNDR برحسب تغییرات خازن‌های مدار با استفاده از شبیه‌سازی مونت-کارلو ۷۹

فصل ۱- مقدمه

۱-۱- پیشگفتار

مبدل‌های آنالوگ به دیجیتال (ADC) سیگما-دلتا با عملکرد بالا در کاربردهایی که پهنای باند زیاد (چند مگاهرتز) و دقت بالای ۱۴ بیت نیاز دارند، بسیار استفاده می‌شود. مبدل‌های ADC بعنوان یک ابزار در تبدیل سیگنال از حوزه آنالوگ به دیجیتال به کار می‌روند تا بتوان از تکنیک‌های پردازش سیگنال دیجیتال، در پردازنده‌های سرعت بالا استفاده کرد. این مبدل‌ها امروزه دارای کاربردهای فراوانی در صنایع ارتباطی، لوازم اندازه‌گیری، تجهیزات پزشکی و غیره می‌باشند.

این پایان‌نامه با بیان محدودیت‌های موجود در طراحی، یک ساختار مرتبه بالای مناسب را ارایه و پیاده‌سازی می‌کند که بتواند با غلبه بر مشکلات پیش روی طراحی مبدل، عملکرد خروجی مورد نظر را نیز برآورده کند. در این راه با بکارگیری ساختار اعوجاج پایین و فیلتر با پاسخ ضربه نامحدود[1](IIR) و کاهش تعداد تقویت‌کننده‌های عملیاتی مورد نیاز در پیاده‌سازی، افزایش کارایی مدار، کاهش توان و مساحت تراشه مورد نظر می‌باشد.

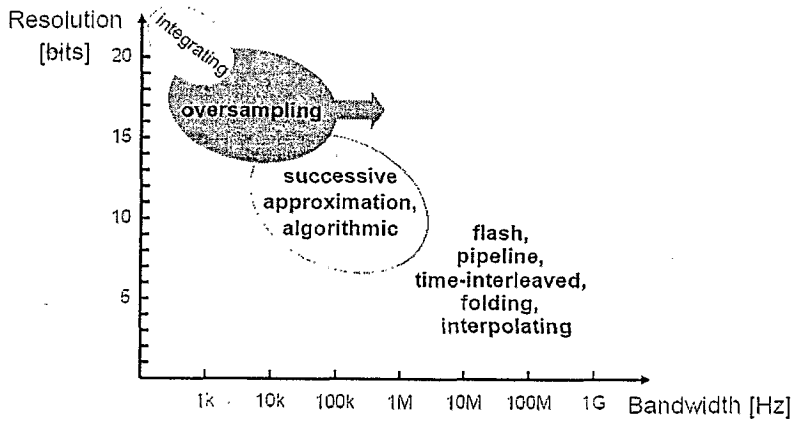
۱-۲- انگیزه

سیستمهای ارتباطی دیجیتال نسل جدید (بعنوان نمونه رادیوی نرم‌افزاری[2]) نیازمند مبدل‌های داده(ADC) با عملکردی فراتر از مبدل‌های موجود است. بنابراین ضروری است که در زمینه مبدل‌هایی با دقت و سرعت مورد نیاز سیستم‌های جدید، تحقیق و بررسی بیشتر صورت پذیرد.

---

[1] Infinite Impulse Response
[2] Software Radio

رادیوی نرم‌افزاری با ساختار قابل پیکربندی مجدد و انعطاف‌پذیر برای استفاده در استانداردها و سرویس‌های مختلف ارایه شده است که در آن مبدل ADC باید تا حد امکان به آنتن نزدیک گردد[۱]. مشخصه ADC مورد نیاز در این ساختار شرایط پیچیده‌ای دارد، زیرا باید در چندین فرکانس حامل از استانداردهای مختلف عمل کند که هر کدام از استانداردها دقت خاص خود را می‌طلبد.



شکل (۱-۱) : طبقه‌بندی مبدل‌ها بر حسب دقت و پهنای باند[۶]

در شکل (۱-۱) ساختارهای مختلف ADC برحسب دقت و پهنای باند مورد نیاز طبقه‌بندی شده‌اند و بنابر نیازی که طراح دارد ساختار مناسب را انتخاب می‌کند.

برای مثال ADC مورد استفاده در استاندارد سلولی D-AMPS[1] به پهنای باند 12 MHz و دقت ۱۳ یا ۱۴ بیت نیاز دارد[۲]. این موضوع مبنای تحقیقات را با توجه به شکل (۱-۱) به دو بخش تقسیم می‌کند: یکی از روشهای تحقیق به افزایش عملکرد ADC های نرخ نایکوئیست اشاره می‌کند که بتواند تقاضای استاندارد فوق را به انجام رساند. این مبدل‌ها انتخاب خوبی برای کاربردهای سرعت بالا هستند اما دقت آنها زیاد نیست.

روش دیگر، استفاده از مبدل‌های سیگما-دلتای بیش‌نمونه‌بردار می‌باشد. این مبدل‌ها دارای پهنای باند متوسطی هستند اما دقت خیلی بالایی دارند. معمولاً با کاهش نرخ بیش‌نمونه‌برداری[2](OSR) می‌توان پهنای باند را افزایش داد اما کاهش بیش از حد نرخ بیش‌نمونه‌برداری باعث کاهش عملکرد مبدل سیگما-دلتا و افزایش حساسیت آن به اثرات غیرایده‌آل مداری می‌شود.

در این پایان‌نامه از روش دوم جهت طراحی یک مبدل که علاوه بر دقت، سرعت بالایی نیز داشته باشد، استفاده شده است. در این راستا سعی شده پهنای باند ورودی مبدل تا حدامکان افزایش یابد و از

[1] Digital Advanced Mobile Phone Service
[2] Oversampling Ratio

افزایش توان مصرفی کل مدار جلوگیری شود. از تکنیک‌های بیش‌نمونه‌برداری و شکل‌دهی نویز کوانتیزاسیون[1] برای دستیابی به سرعت و دقت مورد نظر استفاده خواهد شد.

۱-۳- اهداف پایان‌نامه

در این پایان‌نامه تکنیک‌های جدید مختلفی در طراحی یک مدولاتور سیگما-دلتا سرعت و دقت بالا به کار گرفته شده است. یک مدولاتور سیگما-دلتای تک حلقه که دارای دقت ۱۵ بیت و پهنای باند ۶ مگاهرتز می‌باشد، ارایه شده است. این مدولاتور از ساختار با اعوجاج پایین استفاده می‌کند که مناسب مدارهای ولتاژ پایین می‌باشد و محدودیت‌های استفاده از تکنولوژی‌های کمتر از ۰/۱۸ میکرومتر را کاهش می‌دهد. این مدولاتور با تکنولوژی $0.13\ \mu m\ CMOS$ که ولتاژ تغذیه آن ۱/۲ ولت است پیاده‌سازی می‌شود.

در این مدولاتور از یک فیلتر IIR مرتبه ۲ بجای انتگرال‌گیرهای معمولی استفاده می‌شود. این کار باعث می‌شود پیچیدگی مدولاتور کاهش یافته و به علت کاهش تعداد مسیرهای پیش‌خور در مدولاتور، حساسیت و پخش‌شدگی ضرایب مدولاتور نسبت به ساختارهای متداول کمتر باشد.

استفاده از مسیر فیدبک با تاخیر در پیاده‌سازی فیلتر IIR مرتبه ۲، باعث شده است که بتوان با یک تقویت‌کننده عملیاتی آنرا پیاده‌سازی کرد. مهمترین مزیت این کار، کاهش توان مصرفی مدولاتور است که در ازای افزایش عدم تطابق بین مسیرهای فیلتر IIR، بدست می‌آید. اما بعلت استفاده از بیش‌نمونه‌برداری و شکل‌دهی نویز، این عدم تطابق تاثیر چندانی در عملکرد مدولاتور ندارد.

۱-۴- ساختار پایان‌نامه

در فصل دوم پایان نامه بعد از مقدمه کوتاهی از بیش‌نمونه‌برداری و مفاهیم مربوطه، ساختار مبدل‌های آنالوگ به دیجیتال سیگما-دلتا، کاربردها و محدودیت‌های طراحی آنها بررسی می‌شوند.

فصل سوم ساختار مدولاتور ارایه شده را معرفی می‌کند، نتایج شبیه‌سازی در سطح سیستمی به همراه مدل کردن اثرات غیرایده‌آلی مدارهای آنالوگ را نشان می‌دهد و مشخصات لازم جهت پیاده‌سازی مدولاتور تعیین می‌گردند.

در ادامه اثرات غیرخطی ناشی از بکارگیری مبدل دیجیتال به آنالوگ(DAC) چند بیتی در ساختار مدولاتور بررسی می‌شود. همچنین روشهای مختلف خطی‌سازی DAC مورد بحث قرار می‌گیرد و از بین

[1] Quantization