بسم الله الرحمن الرحيم

دانشگاه تربیت مدرس
دانشکده مهندسی برق و کامپیوتر

بسمه تعالی

تاییدیه اعضای هیات داوران حاضر در جلسه دفاع از رساله دکتری

خانم ژیلا امینی ششده رساله ۲۴ واحدی خود را با عنوان **طراحی مدارهای CMOS نانومتری مقاوم دربرابر اثرات گذر زمان** در تاریخ ۱۳۹۲/۳/۲۷ ارائه کردند.

اعضای هیات داوران نسخه نهایی این رساله را از نظر فرم و محتوا تایید کرده، پذیرش آنرا برای اخذ درجه دکتری الکترونیك پیشنهاد می کنند.

عضو هیات داوران	نام و نام خانوادگی	رتبه علمی	امضا
استاد راهنما	دکتر عبدالرضا نبوی لیشی	استاد	
استاد ناظر	دکتر محمدکاظم مروج فرشی	استاد	
استاد ناظر	دکتر ابومسلم جان نثاری	استادیار	
استاد ناظر	دکتر علی افضلی کوشا	استاد	
استاد ناظر	دکتر شاهین حسابی	دانشیار	
مدیر گروه (یا نماینده گروه تخصصی)	دکتر احسان اله کبیر	استاد	

آیین‌نامه حق مالکیت مادی و معنوی در مورد نتایج پژوهشهای علمی دانشگاه تربیت مدرس

مقدمه: با عنايت به سياست‌هاي پژوهشي و فناوري دانشگاه در راستاي تحقق عدالت و كرامت انسانها كه لازمه شكوفايي علمي و فني است و رعايت حقوق مادي و معنوي دانشگاه و پژوهشگران، لازم است اعضاي هيأت علمي، دانشجويان، دانش‌آموختگان و ديگر همكاران طرح، در مورد نتايج پژوهشهاي علمي كه تحت عناوين پايان‌نامه، رساله و طرحهاي تحقيقاتي با هماهنگي دانشگاه انجام شده است، موارد زير را رعايت نمايند:

ماده ۱- حق نشر و تكثير پايان نامه/ رساله و درآمدهاي حاصل از آنها متعلق به دانشگاه مي باشد ولي حقوق معنوي پديد آورندگان محفوظ خواهد بود.

ماده ۲- انتشار مقاله يا مقالات مستخرج از پايان‌نامه/ رساله به صورت چاپ در نشريات علمي و يا ارائه در مجامع علمي بايد به نام دانشگاه بوده و با تاييد استاد راهنماي اصلي، يكي از اساتيد راهنما، مشاور و يا دانشجو مسئول مكاتبات مقاله باشد. ولي مسئوليت علمي مقاله مستخرج از پايان نامه و رساله به عهده اساتيد راهنما و دانشجو مي باشد.

تبصره: در مقالاتي كه پس از دانش‌آموختگي بصورت تركيبي از اطلاعات جديد و نتايج حاصل از پايان‌نامه/ رساله نيز منتشر مي‌شود نيز بايد نام دانشگاه درج شود.

ماده ۳- انتشار كتاب، نرم افزار و يا آثار ويژه (اثري هنري مانند فيلم، عكس، نقاشي و نمايشنامه) حاصل از نتايج پايان‌نامه/ رساله و تمامي طرحهاي تحقيقاتي كليه واحدهاي دانشگاه اعم از دانشكده ها، مراكز تحقيقاتي، پژوهشكده ها، پارك علم و فناوري و ديگر واحدها بايد با مجوز كتبي صادره از معاونت پژوهشي دانشگاه و براساس آئين نامه هاي مصوب انجام شود.

ماده ٤- ثبت اختراع و تدوين دانش فني و يا ارائه يافته ها در جشنواره‌هاي ملي، منطقه‌اي و بين‌المللي كه حاصل نتايج مستخرج از پايان‌نامه/ رساله و تمامي طرح‌هاي تحقيقاتي دانشگاه بايد با هماهنگي استاد راهنما يا مجري طرح از طريق معاونت پژوهشي دانشگاه انجام گيرد.

ماده ٥- اين آيين‌نامه در ٥ ماده و يك تبصره در تاريخ۸۷/٤/۱ در شوراي پژوهشي و در تاريخ ۸۷/٤/۲۳ در هيأت رئيسه دانشگاه به تاييد رسيد و در جلسه مورخ ۸۷/۷/۱٥ شوراي دانشگاه به تصويب رسيده و از تاريخ تصويب در شوراي دانشگاه لازم‌الاجرا است.

«اينجانب **ژيلا اميني ششده** دانشجوي رشته **مهندسی برق-الکترونیک** ورودي سال تحصيلي **۱۳۸۶** مقطع **دکترا** دانشكده **مهندسی برق و کامپیوتر** متعهد مي شوم كلِيه نكات مندرج در آئين نامه حق مالكيت مادي و معنوي در مورد نتايج پژوهش هاي علمي دانشگاه تربيت مدرس را در انتشار يافته هاي علمي مستخرج از پايان نامه / رساله تحصيلي خود رعايت نمايم. در صورت تخلف از مفاد آئين نامه فوق الاشعار به دانشگاه وكالت و نمايندگي مي دهم كه از طرف اينجانب نسبت به لغو امتياز اختراع بنام بنده و يا هر گونه امتياز ديگر و تغيير آن به نام دانشگاه اقدام نمايد. ضمناً نسبت به جبران فوري ضرر و زيان حاصله بر اساس برآورد دانشگاه اقدام خواهم نمود و بدينوسيله حق هر گونه اعتراض را از خود سلب نمودم»

امضا: ژيلا امينی ششده

تاريخ: ۹۲/٤/۲۳

آیین نامه چاپ پایان‌نامه (رساله)های دانشجویان دانشگاه تربیت مدرس

نظر به اینکه چاپ و انتشار پایان نامه (رساله)های تحصیلی دانشجویان دانشگاه تربیت مدرس، مبین بخشی از فعالیتهای علمی - پژوهشی دانشگاه است بنابراین به منظور آگاهی و رعایت حقوق دانشگاه،دانش آموختگان این دانشگاه نسبت به رعایت موارد ذیل متعهد می‌شوند:

ماده ۱: در صورت اقدام به چاپ پایان نامه (رساله)ی خود، مراتب را قبلاً به طور کتبی به «دفتر نشر آثارعلمی» دانشگاه اطلاع دهد.

ماده ۲: در صفحه سوم کتاب (پس از برگ شناسنامه) عبارت ذیل را چاپ کند:

«کتاب حاضر، حاصل رساله دکتری نگارنده در رشته **مهندسی برق-الکترونیک** است که در سال **۱۳۹۲** در دانشکده **مهندسی برق و کامپیوتر** دانشگاه تربیت مدرس به راهنمایی جناب آقای **دکتر عبدالرضا نبوی** از آن دفاع شده است.»

ماده ۳: به منظور جبران بخشی از هزینه‌های انتشارات دانشگاه، تعداد یک درصد شمارگان کتاب (در هر نوبت‌چاپ) را به «دفتر نشر آثارعلمی» دانشگاه اهدا کند. دانشگاه می‌تواند مازاد نیاز خود را به نفع مرکز نشر درمعرض فروش قرار دهد.

ماده ۴: در صورت عدم رعایت ماده ۳، ۵۰٪ بهای شمارگان چاپ شده را به عنوان خسارت به دانشگاه تربیت‌مدرس، تأدیه کند.

ماده ۵: دانشجو تعهد و قبول می کند در صورت خودداری از پرداخت بهای خسارت، دانشگاه می‌تواند خسارت مذکور را از طریق مراجع قضایی مطالبه و وصول کند؛ به علاوه به دانشگاه حق می‌دهد به منظور استیفای حقوق خود، از طریق دادگاه، معادل وجه مذکور در ماده ۴ را از محل توقیف کتابهای عرضه شده نگارنده برای فروش، تامین نماید.

ماده ۶: اینجانب **ژیلا امینی ششده** دانشجوی رشته **مهندسی برق- الکترونیک** مقطع **دکترا** تعهد فوق وضمانت اجرایی آن را قبول کرده، به آن ملتزم می شوم.

نام و نام خانوادگی: ژیلا امینی ششده

تاریخ و امضا: ۹۲/۴/۲۳

دانشگاه تربیت مدرس

دانشکده مهندسی برق و کامپیوتر

رساله دکتری رشته مهندسی برق- گرایش الکترونیک

عنوان رساله:

طراحی مدارهای CMOS نانومتری مقاوم در برابر اثرات گذر زمان

ژیلا امینی ششده

استاد راهنما:

دکتر عبدالرضا نبوی

خرداد ۱۳۹۲

تقدیم به مادر مهربانم که خشنودی‌اش

بزرگترین دلگرمی‌ام در آموختن است.

با سپاس فراوان از همسر وفادارم که در پیچ وخم

دوران تحصیل همواره همراه من بوده است.

با تشکر از استاد محترم جناب آقای دکتر نبوی که با راهنماییهای ارزشمند خود من را در انجام این رساله راهنمایی فرمودند.

و با تقدیر از ستاد ویژه توسعه فناوری نانو که اینجانب را در انجام این رساله حمایت کردند.

چکیده

کاهش سریع اندازه عناصر CMOS نگرانی‌های جدیدی در رابطه با قابلیت اطمینان[۱] مدارها ایجاد کرده است که از مهمترین اینها می‌توان پدیده ناپایداری ناشی از بایاس منفی و دما (NBTI)[۲] را نام برد. این پدیده ترانزیستورهای PMOS را تحت تأثیر قرار می‌دهد و سبب افول عملکرد[۳] مدار می‌شود. بعد از NBTI، پدیده های تزریق حاملهای داغ (HCI)[۴] و شکست دی‌الکتریک وابسته به زمان (TDDB)[۵] نیز تأثیر بسزایی در کاهش قابلیت اطمینان مدارهای VLSI دارند. از این رو ضروری است که روشهایی ارائه شود که این پدیده را بصورت دقیق مدل‌سازی و شبیه‌سازی کند و برای جبران افول عملکرد مدار در پی این پدیده تکنیکهایی ارائه گردد تا بتوان مدارهایی با قابلیت اطمینان بالا برای طول عمر مورد نظر طراحی کرد.

یکی از این روشها تعیین اندازه ترانزیستورها با درنظر گرفتن حاشیه اضافی برای مقابله با افت قدرت[۶] ناشی از NBTI است. در این رساله تکنیک جدیدی برای تعیین اندازه ترانزیستورهای یک مدار معرفی می‌شود که علاوه بر NBTI اثر HCI را به طور همزمان در نظر می‌گیرد و هر ترانزیستور بسته به میزانی که تحت تنش[۷] قرار می‌گیرد و متناسب با میزان افزایش مقاومتش، اندازه‌اش زیاد می‌شود. این روش علاوه بر پیچیدگی کمتر در محاسبات، مساحت اضافی مدار را نیز کاهش می‌دهد.

روش دیگر برای افزایش قابلیت اطمینان در مدارها بکارگیری سنسورهایی بر روی تراشه است که بدون ایجاد اختلال و تغییر در مدار اصلی وضعیت پدیده‌های اثر گذار روی قابلیت اطمینان مدار را پایش می‌کنند. در این راستا سنسور جدیدی بر اساس اندازه‌گیری تغییرات زمان گذر خروجی یک اینورتر برای اندازه‌گیری NBTI ارائه می‌شود. طراحی تفاضلی این سنسور اثر تغییرات مشترک محیطی را بر روی خروجی کم می-کند. زمان اندازه‌گیری در این سنسور بسیار کم است و در عین داشتن حساسیت لازم، در برابر تغییرات فرآیند[۸] ساخت، دما و ولتاژ هم بطور قابل قبولی کار می‌کند. از دیگر مزایای این سنسور این است که تغییرات خروجی تنها متأثر از پدیده NBTI است و پدیده‌های دیگر نظیر HCI در خروجی آن تأثیری ندارد.

---

۱ Reliability
۲ Negative Bias Temperature Instability (NBTI)
۳ Degradation
۴ Hot Carrier Injection(HCI)
۵ Time Dependent Dielectric Breakdown (TDDB)
۶ Drive Strength
۷ Stress
۸ Process

با استفاده از ایده اندازه‌گیری تغییرات زمان گذر خروجی که در این سنسور به‌کار گرفته شده است، سنسورهایی برای HCI و TDDB ارائه می‌گردد. در هر مورد از این سنسورها روابط تحلیلی به همراه شبیه-سازی های مداری ارائه می‌شود که نشان دهنده‌ی نحوه طراحی و عملکرد مطلوب سنسورها می‌باشد.

در ادامه در این رساله نشان می‌دهیم که ایده استفاده از تغییر زمان گذر برای کاربردهای دیگری مانند سنسور تشخیص عدم تطابق بین ترانزیستورهای PMOS و NMOS و همچنین شناسایی تراشه ها نیز قابل استفاده است. برای این منظور مدارهای جدیدی نشأت گرفته از سنسورهای پایش که در بالا معرفی شد ارائه می‌گردد. شبیه‌سازیها عملکرد مطلوب هر یک از کاربردهای فوق را تأیید می‌نماید.

کلید واژه ها: قابلیت اطمینان، پیری[1]، ناپایداری ناشی از بایاس منفی و دما (NBTI)، تزریق حاملهای داغ(HCI) ، شکست دی‌الکتریک وابسته به زمان (TDDB) ، ولتاژ آستانه، عدم تطابق، توابع شبیه‌سازی نشده فیزیکی (PUF).

[1] Aging

فهرست مطالب

۱- فصل اول مقدمه ۱

۱-۱- مقدمه..... ۲

۱-۲- ساختار رساله..... ۵

۲- فصل دوم قابلیت اطمینان در مدار، عوامل مؤثر در آن و روشهای افزایش آن ۷

۲-۱- مقدمه..... ۸

۲-۲- عوامل موثر در کاهش قابلیت اطمینان در مدارها..... ۸

۲-۲-۱- پدیده شکست دی الکتریک وابسته به زمان (TDDB)..... ۸

۲-۲-۲- مهاجرت بارها (Electro Migration)..... ۱۱

۲-۲-۳- تزریق حاملهای داغ(HCI)..... ۱۲

۲-۲-۴- ناپایداری وابسته به دما بخاطر بایاس منفی (NBTI)..... ۱۴

۲-۳- روشهای افزایش قابلیت اطمینان در مدارها..... ۱۹

۲-۳-۱- نگاهی کلی به روشهای افزایش قابلیت اطمینان در مدارها..... ۱۹

۲-۳-۲- روش تعیین اندازه گیتها..... ۲۰

۲-۳-۳- روش کنترل گرههای داخلی..... ۲۰

۲-۳-۴- روش تنظیم ولتاژ تغذیه..... ۲۱

۲-۳-۵- روش تعبیه سنسور بر روی تراشه..... ۲۲

۲-۴- نتیجه گیری..... ۲۳

۳- فصل سوم تعیین اندازه مناسب ترانزیستورهای مدار برای مقابله با NBTI و HCI..۲۴

۳-۱- مقدمه..... ۲۵

۳-۲- مروری بر روشهای قبلی تعیین اندازه..... ۲۵

۳-۳- روش جدید تعیین بهینه اندازه ترانزیستورها..... ۲۶

۳-۳-۱- فرمول بندی روش جدید تعیین اندازه..... ۲۶

۳-۳-۲- نتایج شبیه سازی..... ۳۱

۳-۴- نتیجه گیری..... ۳۵

۴- فصل چهارم بررسی سنسورهای مستقیم NBTI و معرفی یک سنسور جدید ۳۶

۴-۱- مقدمه..... ۳۷

۴-۲- چگونگی عملکرد سنسورهای مستقیم NBTI و مروری بر سنسورهای گذشته..... ۳۷

۴-۳- طراحی جدید بلوک بررسی کننده پایداری..... ۳۹

۴-۳-۱- نتایج شبیه سازی ۴۱
۴-۴- نتیجه گیری ۴۳
۵- فصل پنجم سنسورهای غیرمستقیم NBTI و معرفی سنسور جدید ۴۴
۵-۱- مقدمه ۴۵
۵-۲- مروری بر سنسورهای گذشته ۴۵
۵-۳- معرفی سنسور جدید NBTI ۴۷
۵-۳-۱- نتایج شبیه سازی ۵۳
۵-۳-۲- شبیه سازی در تکنولوژی ۶۵ نانومتری PTM ۵۳
۵-۳-۳- شبیه سازی در تکنولوژی ۱۸۰ نانومتری TSMC ۵۷
۵-۳-۴- مدلسازی ریاضی رفتار سنسور و مقایسه آن با شبیه سازی ۵۹
۵-۳-۵- تأثیر اندازه عناصر بر عملکرد سنسور NBTI مختلف ۷۱
۵-۴- سنسور HCI : ۷۳
۵-۴-۱- آنالیز سنسور HCI ۷۹
۵-۵- سنسور TDDB ۸۳
۵-۵-۱- آنالیز سنسور TDDB ۸۸
۵-۶- چگونگی توزیع سنسورها بر روی تراشه ۹۰
۵-۷- نتیجه‌گیری ۹۲
۶- فصل ششم سنسورتشخیص عدم تطابق و شناسایی تراشه ها بااستفاده از زمان گذر ۹۴
۶-۱- مقدمه ۹۵
۶-۲- تشخیص عدم تطابق ترانزیستورها ۹۵
۶-۲-۱- سنسور جدید برای عدم تطابق ترانزیستورها از روی نرخ تغییر زمان گذر سیگنال ۹۸
۶-۲-۲- نتایج شبیه سازی ۱۰۱
۶-۳- شناسایی تراشه ها ۱۰۵
۶-۳-۱- معرفی PUF جدید برا ساس زمان گذر ۱۰۷
۶-۴- نتیجه گیری ۱۱۰
۷- فصل هفتم نتیجه گیری و کارهای آینده ۱۱۱
۷-۱- نتیجه‌گیری ۱۱۲
۷-۲- کارهای آینده ۱۱۳
فهرست مراجع ۱۱۵

پیوست ۱۲۲

واژه‌نامه فارسی به انگلیسی ۱۲۴

واژه‌نامه انگلیسی به فارسی ۱۲۹

فهرست علائم و نشانه‌ها

CMOS	Complementary Metal Oxide Semiconductor
C_{ox}	Oxide Capacitance
DC	Direct Current
DLL	Delay-locked Loop
HBD	Hard Breakdown
HCI	Hot Carrier Injection
IP	(Computer's Address under the) Internet Protocol
ITRS	International Technology Roadmap for Semiconductors
MOSFET	Metal Oxide Semiconductor field-effect transistor
NMOS	n- channel MOSFET
NBTI	Negative Bias Temperature Instability
PBTI	Positive Bias Temperature Instability
PLL	Phase-locked-loop
PMOS	p- channel MOSFET
PTM	Predictive Technology Model
PUF	Physical Unclonabe Function
SUT	Signal under Test
TDDB	Time Dependent Dielectric Breakdown
T_{max}/T_{min}	Maximum/Minimum Time
T_{spec}	Specific Time
T_r	Rise Transition Time
T_f	Fall Transition Time
t_{ox}	Oxide thickness
V_{gs}	Gate- Source Voltage
V_{ds}	Drain- Source Voltage
V_{bs}	Bulk- Source Voltage
V_{th}	Threshold Voltage
VCO	Voltage-controlled Oscillator
VLSI	Very Large Scale Integration
W_{min}	Minimum Width

فهرست شکلها

شکل ۱-۱ : تغییرات مشاهده شده در فازهای مختلف ساخت [۲]..... ۲

شکل ۱-۲: شکل بالا- بسته به الگوی فعالیت هر ترانزیستور پارمتر آنها به میزان متفائتی تغییر میکنند. شکل پایین- اگر میزان تغییرات ناشی از فرآیند و تغییرات وابسته به زمان بخوبی شناخته شود مدار را میتوان برای یک عملکرد بهینه طراحی کرد [۳]..... ۴

شکل ۲-۱ : تولید مسیر هدایت و شکست نرم(شکل سمت چپ)، مقطع اکسید گیت پس از شکست سخت (شکل سمت راست) [۱۰]..... ۹

شکل ۲-۲: پیر شدن و شکست اکسید گیت [۱۲]..... ۱۰

شکل ۲-۳: رابطه بین TDDB و جریان نشتی [۸]..... ۱۰

شکل ۲-۴: مدل سازی TDDB در a NMOS) شکست گیت-سورس b) شکست گیت- درین [۹]..... ۱۱

شکل ۲-۵: بازه های مختلف زمانی برای HCIو NBTI برای یک اینورتر و رابطه بین خروجی و ورودی آن [۶]..... ۱۳

شکل ۲-۶: مقطع عرضی ترانزیستور در حالت HCI [۷۱]..... ۱۳

شکل ۲-۷: تغییر ولتاژ آستانه در حالت NBTI دینامیک توسط دادههای تجربی و مدلسازی. شبیه سازی به ازای دو مقدار مختلف ضخامت اکسید در نطر گرفته شده که با کاهش آن تأثیر NBTI شدیدتر میشود. وقتی PMOS روشن است در حالت stress (V_{gs}= -1.2) و وقتی خاموش است در حالت recovery میباشد [۱۶]..... ۱۵

شکل ۲-۸: NBTI استاتیک و دینامیک به ازای احتماهای مختلف سیگنال ورودی. به دلیل وجود پدیده بازگشت در حالت دینامیک میزان تخریب در این حالت از استاتیک کمتر است[۱۶]..... ۱۶

شکل ۲-۹ : ترانزیستور در NBTI [۱۵]..... ۱۷

شکل ۲-۱۰: مدل مداری برای NBTI در PMOS [۱۸]..... ۱۸

شکل ۲-۱۱: جایگزینی گیتها جهت کاهش NBTI [۲۷]..... ۲۱

شکل ۲-۱۲: تأثیر تنظیم V_{dd} بر روی افول عملکرد تأخیر توسط NBTI [۲۸]..... ۲۲

شکل ۳-۱: اختلاف تأخیر گیت NOR بهینه شده با NOR عادی در طول عمر..... ۳۳

شکل ۳-۲: تأثیر دما بر عملکرد روش جدید تعیین اندازه در مقایسه با طراحی پایه برای دو مدار C17 (بالا) و C432 (پایین) [۳۱]..... ۳۴

شکل ۳-۳: کاهش مساحت مصرفی وقتی که روش تعیین اندازه با روش تنظیم دینامیک ولتاژ تغذیه همزمان انجام شود..... ۳۴

شکل ۴-۱: سیگنال کلاک و T_g [۳۰]..... ۳۷

شکل ۴-۲: نقض بازه حفاظتی به دلیل پیر شدن ترانزیستورها [۳۰]..... ۳۸

شکل ۴-۳: فلیپ فلاپ به همراه سنسور داخلی [۳۰]..... ۳۹

شکل ۴-۴: مدار مربوط به بلوک بررسی کننده پایداری جدید..... ۴۰

شکل ۴-۵: نتایج شبیه سازی: وقتی که خروجی مدار ترکیبی (نمودار قرمز) در بازه حفاظتی (زرد) دچار تغییر مقدار میشود خروجی (آبی) بالا میرود ۴۱
شکل ۴-۶ : نتایج شبیه سازی وقتی که ولتاژ تغذیه کاهش یافته است. کاهش ولتاژ موجب تأخیر ناچیزی در خروجی لچ میشود ولی اشکالی در عملکرد وارد نمیکند.(Vdd=0.9, T=27°) ۴۲
شکل ۴-۷: نتایج شبیه سازی وقتی دما افزایش مییابد. افزایش دما باعث ایجاد تأخیر ناچیزی در خروجی لچ میشود ولیکن خطایی در عملکرد بلوک ایجاد نمیشود.(Vdd=1.1, T=150°) ۴۲
شکل ۵-۱: بلوک دیاگرام سنسور جدید NBTI ۴۸
شکل ۵-۲: مدار ساده سنسور بدون سوییچ ها (مدار در بازه اندازهگیری) ۵۰
شکل ۵-۳: مدار کامل سنسور جدید NBTI ۵۲
شکل ۵-۴: شکل موج خروجی مدار تحت تنش و مرجع و اختلاف آنها ۵۳
شکل ۵-۵: خروجی سنسور NBTI نسبت به تغییرات ولتاژ آستانه به ازای اندازهگیری تعداد متفاوت پالسهای و در گوشه های مختلف تکنولوژی ۶۵ نانومتری PTM ۵۴
شکل ۵-۶: عملکرد سنسور در شرایط مختلف تنش در تکنولوژی ۶۵ نانومتری ۵۵
شکل ۵-۷: عملکرد سنسور در دماهای مختلف وقتی $\Delta V_{th}=30mV$ است (تکنولوژی ۶۵ نانومتری) ۵۵
شکل ۵-۸: لی اوت سنسور NBTI در تکنولوژی ۶۵ نانومتر ۵۶
شکل ۵-۹: خروجی سنسور در تکنولوژی ۱۸۰ نانومتری TSMC در دمای ۵۰ درجه سانتیگراد ۵۷
شکل ۵-۱۰: لی او ت سنسور NBTI در محیط Cadence و در تکنولوژی ۱۸۰نانومتر TSMC ۵۷
شکل ۵-۱۱: مقایسه بین تغییرات زمان گذر بالارونده در خروجی اینورتر سنسور ناشی از NBTI در ترانزیستور Mp0 حاصل ازآنالیز و شبیه سازی در تکنولوژی ۱۸۰ نانومتری در محیط Cadence و دمای ۲۵° سانتیگراد. ۶۰
شکل ۵-۱۲: رفتار یک اینورتر نسبت به تغییر زمان گذر سیگنال ورودی در دو منطقه سریع (۱) و آهسته (۲) [۵۹] ۶۲
شکل ۵-۱۳: مقایسه بین تغییرات دامنه ولتاژ در n1 شبه اینورتر حاصل ازآنالیز و شبیه سازی در تکنولوژی ۱۸۰ نانومتری در محیط Cadence و دمای ۲۵° سانتیگراد ۶۳
شکل ۵-۱۴: تقریب شکل موج ولتاژ در گره n1 سنسور ۶۵
شکل ۵-۱۵: مقایسه بین اختلاف ولتاژ خروجی OutRef و OutStr در پله اول حاصل ازآنالیز و شبیه سازی در تکنولوژی ۱۸۰ نانومتری در محیط Cadence و دمای ۲۵° سانتیگراد ۶۶
شکل ۵-۱۶: رابطه بین جریان و ولتاژ یک ترانزیستور MOS در تکنولوژی۱۸۰ نانومتری ۶۷
شکل ۵-۱۷: نمودار جریان - ولتاژ ترانزیستور و تقریب با معادله خط راست برای محاسبه جریان در ناحیه خطی آن ۶۸
شکل ۵-۱۸: مقایسه بین اختلاف ولتاژ خروجی OutRef و OutStr در پله چهارم تا ششم حاصل ازآنالیز و شبیه سازی در تکنولوژی ۱۸۰ نانومتری در محیط Cadence و دمای ۲۵° سانتیگراد ۶۹
شکل ۵-۱۹: بهره سنسور NBTI به ازای مقادیر مختلف تغییر ولتاژ آستانه در دمای ۲۵و تکنولوژی ۱۸۰ نانومتری ۷۰

شکل ۵-۲۰: مدار مربوط به سنسور HCI ۷۴
شکل ۵-۲۱: مدار مربوط به سنسور HCI در بازه اندازهگیری ۷۵
شکل ۵-۲۲: شکل موج خروجی سنسور HCI ۷۶
شکل ۵-۲۳: اثر تغییرات دما بر روی عملکرد سنسور HCI در تکنولوژی ۶۵ نانومتر ۷۷
شکل ۵-۲۴: عملکرد سنسور به ازای تغییرات ولتاژ آستانه در تکنولوژی ۶۵ نانومتر ۷۷
شکل ۵-۲۵: نتایج شبیه سازی سنسور HCI در تکنولوژی ۱۸۰ نانومتر ۷۸
شکل ۵-۲۶: لی اوت سنسور HCI در تکنولوژی ۱۸۰ نانومتر ۷۸
شکل ۵-۲۷: تقریب شکل موج ولتاژ در گره n1 سنسورHCI ۸۲
شکل ۵-۲۸: خروجی سنسور HCI در شبیه سازی و آنالیز در تکنولوژی ۱۸۰ نانومتری ۸۲
شکل ۵-۲۹: مدار کامل سنسور TDDB ۸۴
شکل ۵-۳۰: اختلاف ولتاژ در خروجی سنسور TDDB نسبت به مقدار مقاومت شکست در اینورتر تحت تنش. در مقاومت حدود ۱۵ کیلواهم شکست سخت اتفاق میافتد و عملکرد مدار خراب میشود ۸۵
شکل ۵-۳۱: تأثیر دما بر عملکرد سنسور TDDB در Hspice ۸۶
شکل ۵-۳۲: مشخصه سنسور TDDB در تکنولوژی ۱۸۰ نانومتری در حالت عادی و با در نظر گرفتن تغییرات فرآیند ساخت و ولتاژ ۸۷
شکل ۵-۳۳: لی اوت سنسور TDDB در تکنولوژی ۱۸۰ نانومتر ۸۷
شکل ۵-۳۴: تغییرات ولتاژ گیت ترانزیستور Mn1 در بخش تحت تنش نسبت به ولتاژ متناظر در بخش مرجع (که برابر با V_{dd} است) به ازای مقدارهای مختلف TDDB اعمالی (Rstr) در شبیه سازی و آنالیز ۸۹
شکل ۵-۳۵: مقایسه بین نتایج آنالیز و شبیه سازی سنسور TDDB در تکنولوژی ۱۸۰ نانومتر ۹۰
شکل ۵-۳۶: چگونگی استفاده از خروجی سنسورهای تعبیه شده بر روی یک تراشه ۹۲
شکل ۶-۱: تاخیر نرمالیزه شده یک اسیلاتور حلقه ای با تغییر ولتاژ آستانه NMOS و PMOS [۶۴] ۹۶
شکل ۶-۲: مدار سنسور تشخیص عدم تطابق بین عناصر ۹۹
شکل ۶-۳: اینورتر در نقش مدار مورد آزمایش ۱۰۰
شکل ۶-۴: اختلاف بین زمان گذر بالارونده و پایین رونده در خروجی اینورتر به ازای تغییرات مختلف ولتاژ آستانه NMOS و PMOS اش ۱۰۱
شکل ۶-۵: خروجی سنسور به ازای یک پالس ۱۰۲
شکل ۶-۶: خروجی سنسور به ازای دو پالس ۱۰۳
شکل ۶-۷: لی اوت سنسور عدم تطابق در تکنولوژی ۱۸۰ نانومتری TSMC ۱۰۴
شکل ۶-۸: ساختار PUF بر مبنای اسیلاتور [۶۵] ۱۰۶
شکل ۶-۹: PUF جدید بر اساس اختلاف زمان گذر در خروجی مدارها ۱۰۷

شکل ۶-۱۰: رابطه بین خروجی مشاهده کننده زمان بالارونده دو اینورتر در دماهای مختلف. در تمام دماها خروجی مقایسه گر ثابت خواهد بود..... ۱۰۸
شکل ۶-۱۱: رابطه بین خروجی مشاهده کننده زمان بالارونده دو اینورتر به ازای مقادیر مختلف ولتاژ تغذیه. در تمام ولتاژها خروجی مقایسه گر ثابت خواهد بود..... ۱۰۹

فهرست جدول ها

جدول ۳-۱: پارامترهای مورد نیاز برای محاسبه مقدار تغییر ولتاژ آستانه ناشی از NBTI [۱۶]..... ۲۷
جدول ۳-۲: پارامترهای مورد نیاز برای محاسبه مقدار تغییر ولتاژ آستانه ناشی از HCI..... ۲۸
جدول ۳-۳: نتایج پیاده کردن روش جدید تعیین اندازه در مقایسه با بقیه..... ۳۲
جدول ۵-۱: مقایسه ای بین سنسور جدید NBTI و سنسورهای گذشته..... ۵۸
جدول ۵-۲: مقایسه ای بین سنسور جدید HCI و سنسورهای گذشته..... ۷۹
جدول ۵-۳: مقایسه ای بین سنسور جدید TDDB و سنسورهای گذشته..... ۸۷
جدول ۶-۱: مقایسه خصوصیات سنسور عدم تطابق جدید با سنسور ارائه شده در[۶۴] ۱۰۴

فصل اول

مقدمه