بسم الله الرحمن الرحيم

دانشگاه تربیت مدرّس

دانشکده فنی و مهندسی

پایان‌نامه دوره کارشناسی ارشد مهندسی برق–الکترونیک

طراحی حلقه قفل فاز تمام دیجیتال کم مصرف

آرش آبادیان

استاد راهنما:

دکتر مجتبی لطفی زاد

استاد مشاور:

دکتر محمد باقر غزنوی قوشچی

بهار ۱۳۹۰

دانشکده مهندسی برق و کامپیوتر

آیین نامه چاپ پایان‌نامه (رساله)های دانشجویان دانشگاه تربیت مدرس

نظر به اینکه چاپ و انتشار پایان نامه (رساله)های تحصیلی دانشجویان دانشگاه تربیت مدرس، مبین بخشی از فعالیتهای علمی - پژوهشی دانشگاه است بنابراین به منظور آگاهی و رعایت حقوق دانشگاه،دانش آموختگان این دانشگاه نسبت به رعایت موارد ذیل متعهد می‌شوند:

ماده 1: در صورت اقدام به چاپ پایان نامه (رساله)ی خود، مراتب را قبلاً به طور کتبی به «دفتر نشر آثارعلمی» دانشگاه اطلاع دهد.

ماده 2: در صفحه سوم کتاب (پس از برگ شناسنامه) عبارت ذیل را چاپ کند:

«کتاب حاضر، حاصل پایان نامه کارشناسی ارشد نگارنده در رشته الکترونیک است که در سال 1390 در دانشکده برق و کامپیوتر دانشگاه تربیت مدرس به راهنمایی جناب آقای دکتر مجتبی لطفی زاد ، مشاوره جناب آقای دکتر محمدباقر غزنوی قوشچی از آن دفاع شده است.»

ماده 3: به منظور جبران بخشی از هزینه‌های انتشارات دانشگاه، تعداد یک درصد شمارگان کتاب (در هر نوبت‌چاپ) را به «دفتر نشر آثارعلمی» دانشگاه اهدا کند. دانشگاه می‌تواند مازاد نیاز خود را به نفع مرکز نشر درمعرض فروش قرار دهد.

ماده 4: در صورت عدم رعایت ماده 3، 50٪ بهای شمارگان چاپ شده رابه عنوان خسارت به دانشگاه تربیت‌مدرس، تأدیه کند.

ماده 5: دانشجو تعهد و قبول می کند در صورت خودداری از پرداخت بهای خسارت، دانشگاه می‌تواندخسارت مذکور را از طریق مراجع قضایی مطالبه و وصول کند؛ به علاوه به دانشگاه حق می‌دهد به منظور استیفای حقوق خود، از طریق دادگاه، معادل وجه مذکور در ماده 4 را از محل توقیف کتابهای عرضه شده‌نگارنده برای فروش، تامین نماید.

ماده 6: اینجانب آرش آبادیان دانشجوی رشته الکترونیک مقطع کارشناسی ارشد تعهد فوق وضمانت اجرایی آن را قبول کرده، به آن ملتزم می شوم.

نام و نام خانوادگی: آرش آبادیان

تاریخ و امضا:

آیین‌نامه حق مالکیت مادی و معنوی در مورد نتایج پژوهشهای علمی دانشگاه

تربیت مدرس

مقدمه: با عنایت به سیاست‌های پژوهشی و فناوری دانشگاه در راستای تحقق عدالت و کرامت انسانها که لازمه شکوفایی علمی و فنی است و رعایت حقوق مادی و معنوی دانشگاه و پژوهشگران، لازم است اعضای هیأت علمی، دانشجویان، دانش‌آموختگان و دیگر همکاران طرح، در مورد نتایج پژوهشهای علمی که تحت عناوین پایان‌نامه، رساله و طرحهای تحقیقاتی با هماهنگی دانشگاه انجام شده است، موارد زیر را رعایت نمایند:

ماده 1- حق نشر و تکثیر پایان نامه/ رساله و درآمدهای حاصل از آنها متعلق به دانشگاه می باشد ولی حقوق معنوی پدید آورندگان محفوظ خواهد بود.

ماده 2- انتشار مقاله یا مقالات مستخرج از پایان‌نامه/ رساله به صورت چاپ در نشریات علمی و یا ارائه در مجامع علمی باید به نام دانشگاه بوده و با تایید استاد راهنمای اصلی، یکی از اساتید راهنما، مشاور و یا دانشجو مسئول مکاتبات مقاله باشد. ولی مسئولیت علمی مقاله مستخرج از پایان نامه و رساله به عهده اساتید راهنما و دانشجو می باشد.

تبصره: در مقالاتی که پس از دانش‌آموختگی بصورت ترکیبی از اطلاعات جدید و نتایج حاصل از پایان‌نامه/ رساله نیز منتشر می‌شود نیز باید نام دانشگاه درج شود.

ماده 3- انتشار کتاب ، نرم افزار و یا آثار ویژه (اثری هنری مانند فیلم، عکس، نقاشی و نمایشنامه) حاصل از نتایج پایان‌نامه/ رساله و تمامی طرحهای تحقیقاتی کلیه واحدهای دانشگاه اعم از دانشکده ها، مراکز تحقیقاتی، پژوهشکده ها، پارک علم و فناوری و دیگر واحدها باید با مجوز کتبی صادره از معاونت پژوهشی دانشگاه و براساس آئین نامه های مصوب انجام شود.

ماده 4- ثبت اختراع و تدوین دانش فنی و یا ارائه یافته ها در جشنواره‌های ملی، منطقه‌ای و بین‌المللی که حاصل نتایج مستخرج از پایان‌نامه/ رساله و تمامی طرح‌های تحقیقاتی دانشگاه می باشد، باید با هماهنگی استاد راهنما یا مجری طرح از طریق معاونت پژوهشی دانشگاه انجام گیرد.

ماده 5- این آیین‌نامه در 5 ماده و یک تبصره در تاریخ87/4/1 در شورای پژوهشی و در تاریخ 87/4/23 در هیأت رئیسه دانشگاه به تایید رسید و در جلسه مورخ 87/7/15 شورای دانشگاه به تصویب رسیده و از تاریخ تصویب در شورای دانشگاه لازم‌الاجرا است.

اینجانب آرش آبادیان دانشجوی رشته برق/الکترونیک ورودی سال 1387 مقطع کارشناسی ارشد دانشکده مهندسی برق و کامپیوتر متعهد می‌شوم کلیه نکات مندرج در آئین نامه حق مالکیت مادی و معنوی در مورد نتایج پژوهش‌های علمی دانشگاه تربیت مدرس را در انتشار یافته‌های علمی مستخرج از پایان نامه تحصیلی خود رعایت نمایم. در صورت تخلف از مفاد آئین نامه فوق الاشعار به دانشگاه وکالت و و نمایندگی می‌دهم که از طرف اینجانب نسبت به لغو امتیاز اختراع به نام بنده و یا هر گونه امتیاز دیگر و تغییر آن به نام دانشگاه اقدام نماید. ضمنا نسبت به جبران فوری ضر و زیان حاصله براساس برآورد دانشگاه اقدام خواهم نمود و بدینوسیله حق هر گونه اعتراض را از خود سلب نمودم.

آرش آبادیان

چکیده

حلقه‌های قفل‌فاز تمام دیجیتال یکی از مباحث جدید در دنیای امروز الکترونیک است. این مدارها که در واقع معادل دیجیتال حلقه‌های قفل فاز رایج هستند، با استفاده از تفکر منطقی، پالس ساعت مرجع را با پالس ساعت خروجی هم‌فاز و هم‌فرکانس می‌کنند، که این مسئله با توجه به روند روزافزون جایگزینی مدارهای دیجیتال با مدارهای آنالوگ قابل درک است. امروزه با توجه به مزایای بارز و متعدد طراحی دیجیتال نسبت به آنالوگ، طراحان به سمت دیجیتالی یا حتی نرم‌افزاری کردن مدارات حرکت می‌کنند. ساخت حلقه‌های قفل فاز تمام دیجیتال نیز در واقع بخشی از همین هدف است. حلقه‌های قفل فاز تمام دیجیتال در مدارهای منطقی و شامل پردازشگر برای تولید پالس ساعت و بازیابی داده‌ها به کار می‌روند، همچنین به سرعت در حال جایگیری در فرستنده/گیرنده‌ها به جای PLLهای آنالوگ هستند. این مدارها مانند تمامی مدارهای الکترونیکی چالش‌های خاص خود را دارند. چالش‌هایی مانند توان مصرفی، مساحت سیلیکون مصرفی، خطینگی نوسان‌ساز کنترل شده با سیگنال دیجیتال، زمان قفل و محدوده فرکانسی می‌تواند زمینه بررسی و تحقیقات طراحان را به وجود آورند. در این پایان‌نامه با هدف طراحی یک ADPLL کم مصرف تحقیقات را آغاز نمودیم. با ارائه ساختاری جدید برای قفل فاز به توان مصرفی بسیار پایین، ۸۰۰µW، در فرکانس ۵۰۰ MHz دست یافتیم. محدوده فرکانسی مدار ۲۰۰ تا ۷۰۰ مگاهرتز است. این مدار با دو نوع DCO متفاوت طراحی شده و کارایی‌هایی متفاوتی را بدست آوردیم. همچنین یک مدار حذف گلیچ نیز برای فیلتر کردن خروجی آشکارساز فاز/فرکانس طراحی شده است.

کلید واژه: حلقه قفل فاز تمام دیجیتال، نوسان‌ساز کنترل شده با سیگنال دیجیتال، کم‌مصرف، آشکارساز فاز/فرکانس، گلیچ.

فهرست مطالب

عنوان **صفحه**

فهرست جدول‌ها ..... ج
فهرست شکل‌ها ..... د

فصل ۱- مقدمه ۳
۱-۱- دیباچه ۳
۱-۲- پیشگفتار ۳
۱-۳- طراحی کم مصرف ۵
۱-۴- انگیزه ها و اهداف پایان نامه ۶

فصل ۲- حلقه های قفل فاز تمام دیجیتال ۹
۲-۱- مقدمه ۹
۲-۲- ساختار کلی حلقه های قفل فاز تمام دیجیتال و انواع آن ۱۰
۲-۳- بررسی ساختارهای ADPLL ۱۱
۲-۳-۱- اولین ساختار PLL تمام دیجیتال بدون فراجهش ۱۱
۲-۳-۲- حلقه قفل فاز تمام دیجیتال با جستجوی دودویی ۱۴
۲-۳-۲-۱- حالت START ۱۷
۲-۳-۲-۲- حالت CAORSE-TUNE ۱۷
۲-۳-۲-۳- حالت FINE_TUNE ۱۸
۲-۳-۲-۴- حالت LOCK ۱۸
۲-۳-۳- حلقه قفل فاز تمام دیجیتال مبتنی بر مبدل زمان به دیجیتال ۱۹
۲-۳-۳-۱ سنتزکننده فرکانس تمام دیجیتال برای Bluetooth ۲۱
۲-۳-۴- حلقه قفل فاز تمام دیجیتال با استفاده از توابع ریاضی ۲۷
۲-۴- جمع بندی ۳۰

فصل ۳- طراحی مدار زیربلوک های حلقه قفل فاز تمام دیجیتال ۳۲
۳-۱- مقدمه ۳۲
۳-۲- انواع آشکارساز فاز ۳۲
۳-۳- انواع نوسان ساز کنترل شده با سیگنال دیجیتالی ۳۹
۳-۳-۱- نوسان ساز کنترل شده با سیگنال دیجیتالی با کنترل جریان ۳۹
۳-۳-۲- نوسان ساز کنترل شده با سیگنال دیجیتالی با کنترل مسیر تاخیر ۴۲
۳-۴- جمع بندی ۴۶

فصل ۴- طراحی حلقه قفل فاز تمام دیجیتال ۴۸
۴-۱- سطوح طراحی ۴۸
۴-۲- ساختار پیشنهادی ۴۹
۴-۳- شبیه سازی ساختاری ۴۹
۴-۴- شبیه سازی در سطح دروازه ۵۰
۴-۵- طراحی مدار در سطح ترانزیستور ۵۱
۴-۵-۱- آشکار ساز فاز-فرکانس ۵۱
۴-۵-۲- فیلتر ۵۴
۴-۵-۳- مدار کنترل کننده ۵۷
۴-۵-۴- نوسان ساز کنترل شده با سیگنال دیجیتال ۶۱
۴-۵-۴-۱- نوسان ساز کنترل شده با سیگنال دیجیتال مبتنی بر کنترل جریان ۶۱
۴-۵-۴-۲- نوسان ساز کنترل شده با سیگنال دیجیتال با کنترل مسیر تاخیر ۶۴
۴-۶ تحلیل حلقه PLL با استفاده از مدل Z ۶۶
۴-۷- طراحی با ولتاژ کم ۶۸
۴-۸- جمع بندی ۷۰

فصل ۵- نتایج شبیه سازی ۷۲
۵-۱- نتایج شبیه سازی ۷۲
۵-۲- مقایسه نتایج ۷۶

فصل ۶- نتیجه گیری و پیشنهادات ۷۹
۶-۱- پیشنهادات و کارهای آتی ۸۰

مراجع **۸۱**

فهرست جدول‌ها

عنوان **صفحه**

جدول ۴-۱- رابطه اندازه خازن های Fine با مساحت کانال ترانزیستور..... ۶۶
جدول ۴-۲- نتایج شبیه سازی مدار طراحی شده با ولتاژ پایین..... ۶۹
جدول ۵-۱- مقایسه نتایج شبیه سازی DCOهای به کار رفته در مدار با برخی کارهای دیگر..... ۷۶
جدول ۵-۲- مقایسه پارامترهای ADPLLهای پیشنهادی با برخی کارهای اخیر..... ۷۷

فهرست شکل‌ها

عنوان **صفحه**

شکل ۲-۱- ساختار کلی مدار ADPLL [۱۴] ۱۰
شکل ۲-۲- دیاگرام بلوکی ADPLL بدون فراجهش [۱۷] ۱۲
شکل ۲-۳- شکل موج های مربوطه [۱۷] ۱۳
شکل ۲-۴- ساختار ADPLL دودویی [۱۸] ۱۴
شکل ۲-۵- شمای جستجوی دودویی برای رسیدن به فرکانس هدف در حالت محاسبه فرکانس [۱۰] ۱۵
شکل ۲-۶- فلوچارت حالت محاسبه فاز[۱۸] ۱۶
شکل ۲-۷- نمودار حالت ماشین حالت [۱۰] ۱۷
شکل ۲-۸- نمودار زمانی سیگنال های مدار [۱۰] ۱۹
شکل ۲-۹- شمای ساده ADPLL [۱۹] ۱۹
شکل ۲-۱۰- شماتیک مدار P2D [۱۹] ۲۰
شکل ۲-۱۱- مشخصه انتقالی P2D و مدل خطی آن [۱۹]. ۲۱
شکل ۲-۱۲- ساختار کلی ADPLL ارائه شده توسط TI [۲۱]. ۲۱
شکل ۲-۱۳- اولین ADPLL سنتز کننده فرکانس ساخته شده [۲۱]. ۲۲
شکل ۲-۱۴- شماتیک نوسان ساز با تانک LC. الف) VCO ب) DCO [۲۱]. ۲۲
شکل ۲-۱۵- جدا کردن خازن به بخش های کوچک جهت دستیابی به دقت بالا [۲۱]. ۲۳
شکل ۲-۱۶- سنتز کننده فرکانس مبتنی بر ADPLL با توانایی مدولاسیون پهن-باند [۲۱]. ۲۴
شکل ۲-۱۷- نحوه تخمین خطای کسری توسط TDC [۲۱]. ۲۵
شکل ۲-۱۸- مدار مربوط به تخمین خطای کسری توسط TDC [۲۱]. ۲۶
شکل ۲-۱۹- دیاگرام زمانی خروجی های TDC [۲۱]. ۲۶
شکل ۲-۲۰- دیاگرام بلوکی ADPLL[۵]. ۲۷
شکل ۲-۲۱- مبانی محاسبه فرکانس [۵]. ۲۸
شکل ۲-۲۲- عدم هم ترازی فاز به خاطر بلوک های منطقی بین DCO_clock و DCO_output. [۵] ۲۹
شکل ۲-۲۳- پروسه محاسبه فاز جدید در دو دوره ۳۰
شکل ۳-۱- چند نمونه آشکارساز فاز پایه الف) دروازه XOR، ب) JK-FF، ج) آشکار فاز-فرکانس (PFD) [۲۳] ۳۳
شکل ۳-۲- شکل موج های XOR. الف) شکل موج در خطای صفر. ب) شکل موج در خطای مثبت. [۲۳] ۳۴
شکل ۳-۳- نمودار میانگین سیگنال خروجی در برابر خطای فاز. الف) حالت عادی. ب) حالتی که سیگنال ورودی متقارن نباشد [۲۳]. ۳۵

شکل ۳-۴- شکل موج های JK-FF الف) شکل موج در خطای صفر. ب) شکل موج در خطای مثبت [۲۳]..... ۳۶
شکل ۳-۵- دیاگرام حالت PFD [۲۳]..... ۳۷
شکل ۳-۶- الف) نمودار شماتیک مدار PFD. ب) تقویت کننده پالس دیجیتال [۱۰]..... ۳۸
شکل ۳-۷- شماتیک مداری سلول DCO [۲۴]..... ۴۰
شکل ۳-۸- DCO مبتنی بر کنترل جریان الف-ساختار کلی ب- سلول DCO [۲۸]..... ۴۱
شکل ۳-۹- شماتیک DCO مبتنی بر سلول تاخیر [۱۰]..... ۴۲
شکل ۳-۱۰- سلول Fine مدار DCO، مبتنی بر سلول تاخیر [۱۰]..... ۴۳
شکل ۳-۱۱- مدار DCO با استفاده از ورکتور دیجیتالی [۲۶]..... ۴۴
شکل ۳-۱۲- ساختار DCO مبتنی بر AOI الف- بخش Coarse ب- بخش Fine [۱۴]..... ۴۵
شکل ۴-۱- دیاگرام بلوکی ADPLL پیشنهادی..... ۴۹
شکل ۴-۲- پاسخ گذرای ADPLL پیشنهادی با شبیهساز MATLAB..... ۵۰
شکل ۴-۳- نتایج شبیه سازی در سطح دروازه با کد وریلاگ..... ۵۰
شکل ۴-۴- سیگنال های داخلی مدار PFD..... ۵۲
شکل ۴-۵-علت تولید گلیچ در خروجی UP..... ۵۳
شکل ۴-۶- فلیپ فلاپ تاخیر (D-FF) به کار رفته در مدار PFD..... ۵۴
شکل ۴-۷- ساختار مداری فیلتر طراحی شده برای حذف گلیچ..... ۵۵
شکل ۴-۸- نمای شماتیک روند حذف گلیچ در خروجی..... ۵۵
شکل ۴-۹- شماتیک لحظه برخورد دو گلیچ اعمالی به دروازه AND..... ۵۶
شکل ۴-۱۰- مدار حذف گلیچ همراه با خازن ها و مقاومت های پارازیتی..... ۵۶
شکل ۴-۱۱- روند حذف گلیچ. الف) نمای نزدیک. ب) نمای باز..... ۵۸
شکل ۴-۱۲- مدار کنترل کننده..... ۵۸
شکل ۴-۱۳- نمونه ای از انتخاب زمان مناسب برای انتقال. الف) انتقال در t_1. ب) انتقال در t_2..... ۶۰
شکل ۴-۱۴- ساختار مدار DCO به همراه معادل مداری آن [۲۵]..... ۶۲
شکل ۴-۱۵- الف- ساختار رایج [۲۵]. ب- ساختار پیشنهادی [۲۹]..... ۶۳
شکل ۴-۱۶- مقایسه تاخیر وارون ساز اشمیت تریگر و وارون ساز معمولی..... ۶۴
شکل ۴-۱۷- مدار DCO مبتنی بر سلول تاخیر پیشنهادی..... ۶۵
شکل ۴-۱۸- مدل تبدیل Z مدار ADPLL پیشنهادی..... ۶۷
شکل ۵-۱- پاسخ گذرای ADPLL پیشنهادی با فرکانس مرجع الف- ۴۱٫۶۷ MHz ، ب- ۹۱ MHz، ج- ۷۷MHz..... ۷۳
شکل ۵-۲- فوریه سیگنال خروجی شکل۵-۱-الف که نشان میدهد فرکانس خروجی ۳۳۳MHz است. ۷۴
شکل ۵-۳- شبیه سازی مونته کارلوی خروجی برای محاسبه جیتر DCO الف- DCO مبتنی بر سلول تاخیر ب- DCO مبتنی بر کنترل جریان..... ۷۵
شکل ۵-۴- وضعیت خطینگی DCO مبتنی بر تاخیر (تغییرات دوره تناوب در برابر تغییرات کد)..... ۷۶

فصل اول

فصل ۱– مقدمه

۱–۱– دیباچه

حلقه‌های قفل فاز (PLL[1]) کمک می‌کنند تا اجزای دنیای ما منظم باشند. وقتی تلویزیون خانه‌مان را روشن می‌کنیم آنچه که موجب می‌شود تمام نقاط تصویر سرجایشان باشند، حلقه‌های قفل فاز هستند. در تلویزیون‌های رنگی PLL دیگری کمک می‌کند تا رنگ سبز، سبز و رنگ قرمز نیز قرمز بماند [۱].

حلقه قفل فاز، مداری است که موجب می‌شود یک سیستم خاص بتواند سیستم دیگر را پی‌گیری کند. در واقع PLL، سیگنال خروجی را با یک سیگنال مرجع، از نظر فرکانس و فاز هم‌زمان می‌کند [۱]. حلقه قفل فاز کاربردهای متعددی دارد. از این مدار برای فیلتر کردن فرکانس و فاز سیگنال‌ها، مدولاسیون و دمدولاسیون آنها، سنتز فرکانس و همچنین بازیابی داده‌ها و پالس ساعت استفاده می‌شود [۲].

۱–۲– پیشگفتار

در سال‌های اخیر، PLLها یکی از پرکاربردترین اجزای مدارات مجتمع بوده‌اند. یکی از کاربردهای مهم PLLها بازیابی داده و ساعت و نیز تولید پالس ساعت در مدارات الکترونیکی است. برخی رشته‌های داده، علی‌الخصوص رشته‌های داده با سرعت بالا، بدون همراهی پالس ساعت فرستاده می‌شوند. گیرنده، یک پالس ساعت از فرکانس مرجع تولید می‌کند، سپس با یک PLL، فازش با گذارها[2] یکی می‌شود. به این پروسه بازسازی پالس ساعت گویند [۳].

این روش در مداراتی مانند راه‌انداز لوح سخت و لوح‌های ویدئوی دیجیتال به کار می‌رود. مشخصه‌های کانال این مدارات در طول زمان تغییر می‌کند. لذا برای آنکه بتوانیم پاسخگوی نوسانات غیرقابل پیش-بینی فاز، شیفت‌های فرکانسی ناگهانی و جیترهای متغیر با زمان باشیم، به یک PLL نیاز داریم [۴].

[1] Phase Locked Loop
[2] Transition

بسیاری از سیستم‌های الکترونیکی، پردازنده‌هایی دارند که در فرکانس‌های چند صد مگاهرتز کار می-کنند. نوعا، پالس‌های ساعت این پردازنده‌ها از PLLهای مولد پالس ساعت می‌آید، که می‌توانند فرکانس-های مختلفی را تولید کنند. که فرکانس خروجی آنها چندین برابر فرکانس مرجعی است که توسط کریستال تولید می‌شود. [۳]

باتوجه به کاربردهای فزاینده PLL، طراحان توجه ویژه‌ای به آن نشان می‌دهند و پژوهش‌گران در پی معرفی راه‌های جدیدی برای ساخت PLL هستند. با توجه به اینکه اخیرا طراحی و ساخت مدارات سیگنال مختلط، پیشرفت قابل توجهی داشته، در طراحی حلقه‌های قفل فاز نیز گرایش به سمت دیجیتال ویا نیمه‌دیجیتال کردن ساختار مورد توجه قرار گرفته است. حلقه‌های قفل فاز تمام دیجیتال (ADPLL[1]) نیز می‌توانند هم برای سنتز فرکانس و هم برای بازیابی داده و ساعت استفاده شوند.

در طراحی‌های مرسوم، حلقه‌های قفل فاز معمولا با روش‌های آنالوگ ساخته می‌شوند. حال آن که در عصر SoC[2]، برای مجتمع‌سازی PLLهای آنالوگ باید بر مشکلات عدیده‌ای مانند تزویج نویز سوئیچ‌های دیجیتال، از طریق منبع تغذیه و نویز القایی بدنه فائق آیند. علاوه بر این PLLهای آنالوگ به پارامترهای پروسس حساس هستند و بنابراین باید برای هر تکنولوژی جدید مجددا طراحی شوند [۶،۵]. ضمنا مقاومت و خازن‌هایی که در فیلتر به کار می‌روند، مساحت سیلیکون مصرفی را افزایش می‌دهند [۷،۸].

با افزایش کارآیی، و همچنین کاهش بهای فناوری VLSI[3] ، حلقه قفل فاز تمام دیجیتال توجه بیشتری را به خود جلب کرد [۵]. ADPLLها، برخلاف PLLهای آنالوگ از اجزای دیجیتال ساخته شده‌اند و مقاومت بالایی در مقابل نویز منبع تغذیه و نیز تغییرات دما دارند. علاوه بر این ADPLLها را می‌توان با استفاده از زبان‌های توصیف سخت افزار (HDL[4]) طراحی نمود. این خاصیت موجب می‌شود تا سرعت طراحی بالا رود و مشکلات طرح در مرحله رفتاری برطرف شود. در ادامه برای طراحی در سطوح

[1] All Digital PLL
[2] System on CHIP
[3] Very Large System Integration
[4] Hardware Description Language

پایین‌تر نیز می‌توان از کتابخانه سلول‌های استاندارد بهره برد. بنابراین انتقال به تکنولوژی‌های مختلف نیز آسان‌تر است و زمان بسیار کمتری برای طراحی مجدد نیاز داریم [۹]

علیرغم تمامی موارد فوق، ADPLL یک مشکل جدی دارد و آن توان مصرفی بالای آن است که ناشی از نوسان‌ساز کنترل شونده دیجیتال (DCO[1])، است. لذا طراحی یک مدار DCO، با توان مصرفی پایین مسئله‌ای مهم در طراحی مدار ADPLL است. [۱۰]

۱-۳- طراحی کم‌مصرف

با توجه به گرایش روز افزون کاربران به مدارات بی‌سیم، اهمیت طراحی کم‌مصرف بیش از پیش نمود پیدا می‌کند. بسیاری از حساسه‌ها، دستگاه‌های کمک پزشکی مانند فشارسنج، سمعک، ساعت، تلفن‌های همراه و دستگاه‌هایی مانند اینها ممکن است مدت زیادی دور از منابع برق شهری باشند لذا کم مصرف بودن این دستگاه‌ها بسیار مهم است. با پیشرفت طراحی دیجیتال و گرایش طراحان به ساخت پردازنده-های دیجیتالی بی‌سیم، اهمیت طراحی کم مصرف بیش از پیش روشن می‌شود.

روش‌های مختلفی برای کاهش توان مدارات دیجیتال معرفی شده است. از آن جمله کاهش ولتاژ منبع تغذیه، کاهش سایز تکنولوژی CMOS، استفاده از کدهایی که موجب کاهش گذر از صفر به یک می‌شوند، حذف گلیچ در مدارات دیجیتال، تغییر ساختار طراحی مدار و غیره.

برای نمونه، پایش دائمی وضعیت سلامتی[2] یک بیمار، نقش مهمی در ثبت و پیگیری وضعیت فیزیکی او دارد. این سیستم امکان ارائه خدمات درمانی را از محدوده بسته بیمارستان، به هر مکان تحت قرارداد دیگری گسترش می‌دهد [۱۱]. در طراحی چنین سیستمی مصرف کم توان اهمیت بیشتری نسبت به سرعت پردازش اطلاعات دارد، لذا کاهش ولتاژ تغذیه به عنوان یکی از راه‌های کاهش توان مد نظر قرار می‌گیرد. این سیستم با استانداردهای شبکه‌های حسگر بی‌سیم (WSN[3]) طراحی شده است. مبنای این

[1] Digitally Controlled Oscillator
[2] Ubiquitous Healthcare Monitoring
[3] Wireless Sensor Network

استاندارد بر پهنای باند کم و توان مصرفی حداقلی می‌باشد. چرا که حسگرهای این سامانه‌ها باید حتی-الامکان مدت زیادی بدون نیاز به شارژ باتری به کار بپردازند.

شبکه WSN، شامل قطعاتی با توزیع در نقاط مختلف است که با استفاده از حسگرها شرایط محیطی یا فیزیکی، مانند دما، صدا، لرزش، فشار، حرکت را نمایش می‌دهند [۱۲]. گسترش WSNها با انگیزه‌های نظامی برای نظارت میدان جنگ انجام شد. اگرچه WSNها هم اکنون در بسیاری از مکان‌های صنعتی و غیرنظامی مانند مونیتورینگ و کنترل پروسه ساخت صنعتی، مونیتورینگ سلامت ماشین، مونیتورینگ محیط و محل مسکونی، اتوماسیون خانه و کنترل ترافیک کاربرد دارد. علاوه بر این هر گره در یک شبکه حسگر به یک رادیو فرستنده-گیرنده و یک منبع انرژی، معمولا یک باتری مجهز است [۱۳].

۱-۴- انگیزه‌ها و اهداف پایان‌نامه

در کنار گرایش به ساخت ADPLL، چالش‌های متعددی نیز پیرامون آن وجود دارد. ساخت یک ADPLL با مصرف پایین، مساحت کم، زمان قفل کوتاه، رزولوشن بالا و پهنای باند وسیع از جمله چالش‌هایی است که باید در این راستا مد نظر قرار گیرد. هرچند فراهم کردن تمامی چالش‌های فوق به طور هم‌زمان در یک مدار احتمالا ممکن نیست، اما با توجه به شرایط باید به صورت انتخابی عمل نمود. در این پایان نامه مصرف پایین مدار، سادگی طراحی، مساحت کم و پهنای باند وسیع به عنوان هدف مد نظر قرار گرفته است که این با توجه به درخواست کاربران برای استفاده از سیستم‌های بی سیم است. در این سیستم‌ها مصرف پایین مدار اولویتی بسیار مهم است، در کنار آن ارزان بودن دستگاه نیز می‌تواند با کاهش مساحت مصرفی کمتر شود. سادگی و کم بودن مساحت هم‌چنین کمک شایانی به مجتمع کردن سیستم‌ها در یک تراشه (SoC[1]) می‌کند. با نگاهی گذرا به آن‌چه تاکنون در این زمینه ارائه شده است، طراحی‌های موجود را بررسی می‌کنیم.

در مدارهای ADPLL مختلف روش‌های متفاوتی برای پروسه قفل ارائه شده است. در مراجع [۱۰]، [۱۴] و [۱۵] از روش جستجوی دودویی برای قفل فاز استفاده شده است. و هرکدام از ایده متفاوتی برای

[1] System on a Cheap

جستحوی دودویی استفاده کرده‌اند. در مرجع [۵] نیز از یک روش ریاضی برای قفل فاز استفاده شده است. در مراجع فوق روش‌های عمدتاً پرمصرف و پیچیده‌ای برای انطباق دو سیگنال ارائه شده است. در این پایان‌نامه، روش جدیدی برای طراحی ADPLL ارائه شده است که فاز و فرکانس سیگنال مرجع و سیگنال خروجی با روشی ساده منطبق می‌شوند و توان مصرفی آن در مقایسه با فرکانس کار آن پایین است. از آنجا که پروسه قفل با پیچیدگی کم و در نتیجه مصرف بسیار پایینی انجام می‌شود در نتیجه بخش اعظم مصرف توان ناشی از DCO است.

در اینجا همچنین دو نوع DCO با دو ایده متفاوت طراحی شده است: DCO مبتنی بر کنترل جریان و مبتنی بر سلول تاخیر. روش اول مصرف توان بیشتر و خطی کردن آن سخت‌تر است، اما مساحت سیلیکون آن کمتر و به دست آوردن رزولوشن بالا در آن راحت‌تر است. روش دوم روشی معروف‌تر برای ساخت DCO است و ضمن آنکه توان مصرفی پایینی دارد برای افزایش فرکانس سلول‌های تاخیر مسیر کاهش می‌یابد لذا مصرف توان نیز متناسب با افزایش فرکانس، زیاد نمی‌شود. توان مصرفی مدار پیشنهادی ۸۲۰ µW در ۵۰۰ MHz است.

ساختار پایان‌نامه بدین شکل است که در فصل دوم نگاهی داریم به روش‌های مختلف قفل فاز که در مدارهای مختلف معرفی شده است. در فصل سوم اجزای داخلی مدار معرفی شده و ساختارهای مختلف آنها ارائه می‌شود. در فصل چهارم ADPLL پیشنهادی به طور کامل معرفی شده و در فصل پنجم نتایج شبیه‌سازی نشان داده خواهد شد در نهایت نیز جمع‌بندی و نتیجه‌گیری از کل پایان‌نامه ارائه خواهد شد.

فصل دوم

فصل ۲– حلقه‌های قفل فاز تمام دیجیتال

۲–۱– مقدمه

حلقه‌های قفل فاز تمام دیجیتال، مداراتی هستند که برای تولید، سنتز، هم‌زمان‌سازی و پیگیری یک فرکانس مرجع به کار می‌روند و هم اکنون در بسیاری از گیرنده‌ها برای سنتز فرکانس و همچنین تولید پالس ساعت با فرکانس‌های مختلف برای پردازشگرها استفاده می‌شوند. با توجه به رشد روز افزون استفاده از ADPLL در مدارات، نیاز به یک ADPLL کم مصرف با رزولوشن و بازه فرکانسی و سرعت قفل کردن مناسب به شدت احساس می‌شود. لذا تا کنون ساختارهای متفاوتی با مشخصات متفاوت ارائه شده است که با توجه به کاربرد و اهمیت هر کدام از فاکتورها، اعم از توان، محدوده فرکانسی، رزولوشن و سرعت، یک ساختار برای کار در سیستم استفاده می‌شود و به نوعی بده-بستان[1] بین این فاکتورها وجود دارد.

در سال‌های اخیر سیستم‌های الکترونیکی به سمت کوچک‌تر و ارزان‌تر شدن پیش رفته‌اند لذا شرکت-های سازنده سعی دارند، تمامی مدارات را اعم از آنالوگ و دیجیتال درون یک تراشه واحد مجتمع کنند. تکنولوژی‌های طراحی مدارات دیجیتالی، پیشرفت زیادی داشته است. چرا که تقاضا برای ساخت مدارات دیجیتال بسیار زیاد بوده و بخش عمده مدارات سیگنال مخلوط را شامل می‌شود. اما این تکنولوژی‌ها مشخصه‌های لازم را در جهت طراحی بهینه مدارات آنالوگ دارا نیستند [۱۶]. در ADPLL نیز اگر چه ساختار مدار تماما دیجیتالی است، اما مجموعه مدار را نمی‌توان به صورت یک مدار منطقی در نظر گرفت و در بخش‌هایی از آن مانند DCO قسمت‌هایی وجود دارند که کارکرد آنها منطقی نیست.

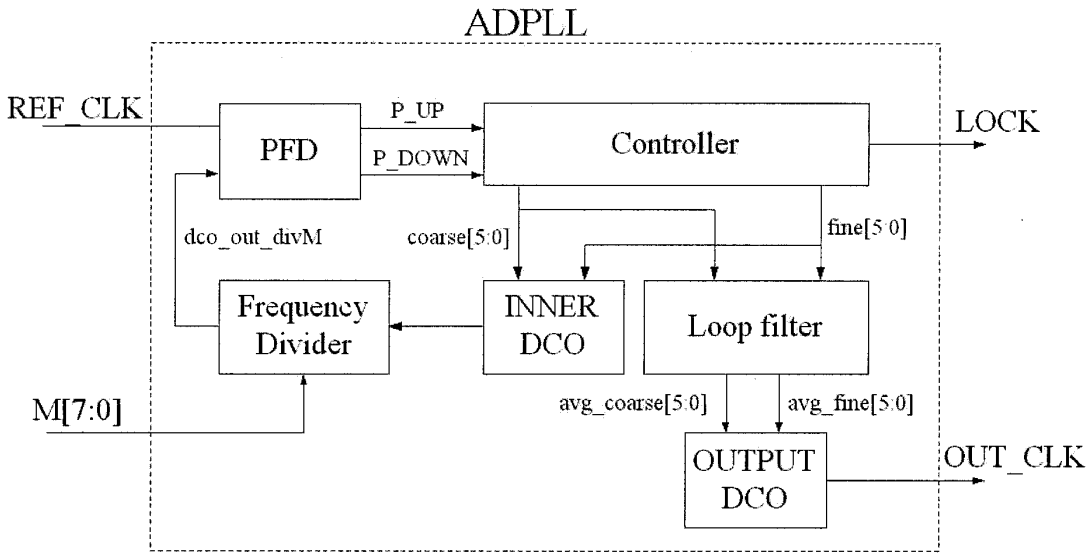
در این فصل انواع ساختارهای ارائه شده برای مدار ADPLL بررسی می‌شود. مضمون این بخش بیشتر معطوف به ساختار مدار ADPLL و روش‌های قفل کردن است و تحلیل زیربخش‌های داخلی آن در فصل آتی انجام خواهد شد.

[1] Trade-off

۲-۲- ساختار کلی حلقه‌های قفل فاز تمام دیجیتال و انواع آن

به طور کلی ADPLLها به دو دسته تقسیم می‌شوند. یک نوع برای سنتز فرکانس به‌کار می‌رود و در گیرنده‌ها استفاده می‌شود، و نوع دیگر آن برای تولید و بازیابی پالس ساعت و داده است. تفاوت عمده بین این دو نوع ADPLL در طراحی DCO آن است. DCOهای به‌کار رفته در سنتزکننده‌های فرکانس به صورت مجموعه‌ای از تانک LC ساخته می‌شود که با تغییر کد فرکانس تشدید تانک عوض شده و فرکانس‌های مختلفی را سنتز می‌کند و در گیرنده‌ها برای مدولاسیون، دمدولاسیون یا تغییر کانال استفاده می‌شود. اما در ADPLLهایی که کاربردشان بازیابی ساعت و داده است، DCOها عمدتا به صورت نوسان‌سازهای حلقوی‌اند که با تغییر کد، فرکانس خروجی‌شان تغییر می‌کند.

ساختار مدار ADPLL به طور کلی در شکل ۲-۱ نشان داده شده است.



شکل ۲-۱- ساختار کلی مدار ADPLL [۱۴]

پالس ساعت مرجع همراه با پالس ساعت فیدبک به مدار آشکارساز فاز و فرکانس (PFD[1]) اعمال می‌شوند. این مدار تاخیر این دو سیگنال را تشخیص داده و به سیستم دستور می‌دهد که فرکانس خروجی را کاهش یا افزایش دهد. کنترل کننده با دستوری که از PFD می‌گیرد کد جدیدی برای DCO تولید می-

[1] Phase Frequency Detector