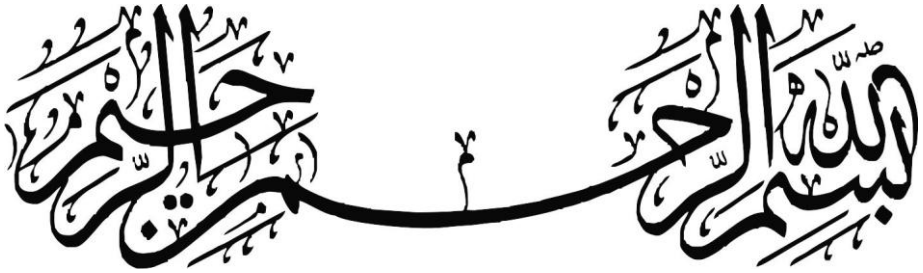


دانشکده فنی مهندسی برق
گروه برق-الکترونیک

پایان نامه جهت اخذ درجه کارشناسی ارشد رشته ی مهندسی برق

گرایش الکترونیک

ارائه ،طراحی و شبیه سازی تکنیکهای مختلف کاهش تلفات توان در مدارات CMOS VLSI

استاد راهنما:
دکتر غلامرضا کریمی

نگارش:

عادل علیمرادی

مهر ماه ۱۳۸۸

کلیه حقوق مادی مترتب بر نتایج مطالعات ، ابتکارات و
نوآوری های ناشی از تحقیق موضوع این پایان نامه
متعلق به دانشگاه رازی است

دانشکده فنی مهندسی

گروه مهندسی برق-الکترونیک

پایان‌نامه جهت اخذ درجه کارشناسی ارشد مهندسی برق گرایش الکترونیک

دانشجو: عادل علیمرادی

تحت عنوان

ارائه، طراحی و شبیه سازی تکنیکهای کاهش تلفات توان در مدارات CMOS VLSI

در تاریخ **1388/7/15** توسط هیأت داوران زیر بررسی و با درجه **عالی** به تصویب نهایی رسید.

1- استاد راهنمای پایان‌نامه : دکتر **غلامرضا کریمی** با مرتبه علمی استاد یار امضاء

2- استاد داور داخل گروه : دکتر **محسن حیاتی** با مرتبه علمی دانشیار امضاء

3- استاد داور خارج از گروه : دکتر **مصطفی صدیقی‌زاده** با مرتبه علمی استادیار امضاء

سپاسگزاری :

درابتدا خداوند را شاکر و سپاسگذارم که با توکل به نام باری تعالی توانستم این پایان نامه را به اتمام برسانم .

از راهنمایی های جناب آقای دکترعلیرضا کریمی به عنوان استاد راهنمای بنده در تمام مراحل این پایان نامه تشکر و قدردانی می کنم و از آقای دکتر حیاتی به عنوان استاد بنده داور داخلی پایان نامه و نیز جناب آقای صدیقی زاده ، به عنوان داور خارجی پایان نامه از دانشگاه خواجه نصیر تهران کمال مسئلت و قدردانی را دارم .

با تشکر علیمرادی

تقدیم به :

پدر و مادر مهربانم بهترین واژه های زندگی

و تقدیم به

همسر مهربانم که تمام زندگیم به خاطر اوست .

چکیده:

هدف اصلی از این پایان نامه پیدا کردن راه حل جدیدی برای کاهش تلفات در مدارات CMOS VLSI می باشد . بطور ویژه تمرکز بر ما بر کاهش تلفات نشتی است . اگر چه تلفات توان نشتی در تکنولوژی ۱۸0 نانومتر و بالاتر ناچیز است با این حال در تکنولوژی زیر ۶۵ نانو متر مقدار آن قابل صرف نظر نیست و تقریبا با تلفات توان دینامیکی برابری می کند .

در این پایان نامه یک ساختار جدید مداری جهت کاهش تلفات توان نشتی ارایه گردیده است . این ساختار تحت عنوان MTSCStack نامگذاری شده اشت. این تکنیک یک ساختار ترکیبی از سه تکنیک شناخته شده MTCMOS ، SCCMOS و Forced Stack می باشد.

تکنیک MTCMOS توان نشتی مدار را با قطع تغذیه بواسطه استفاده ازترانزیستورهای با ولتاژ آستانه بالا فقط در حالت استراحت مدار کاهش می دهد . از طرفی حالت منطقی مدار در خلال مد استراحت مدار از دست می رود . تکنیک SCCMOS توان نشتی مدار را با قطع تغذیه بواسطه استفاده ازترانزیستورهای با ولتاژ آستانه پایین ولی با اعمال ولتاژ منفی به گیت آنها فقط در حالت استراحت مدار کاهش می دهد . اما مشابه با تکنیکMTCMOS حالت منطقی مدار در خلال مد استراحت مدار از دست می رود .

تکنیک Forced Stack توان نشتی مدار را فقط در مد فعال با استفاده از ترانزیستورهای پشته ای(Stack شده) بواسطه اثر Stack کاهش می دهد. اثر Stack یا بایاس خود معکوس[1] پدیده ای است که جریان نشتی به سبب خاموش شدن ۲ یا تعداد بیشتر ترانزیستورهای سری شده با همدیگر کاهش می یابد . تکنیک ترانزیستورهای پشته شده از وابستگی جریان زیر آستانه (Isub) به ولتاژ ترمینال سورس (Vs) ترانزیستور بهره می گیرد . بدین معنا که در صورت افزایش ولتاژ سورس ترانزیستور، جریان زیرآستانه بصورت نمایی کاهش می یابد.

تکنیک MTSCStack می تواند توان نشتی مدار را هم در مد فعال و هم در مد استراحت کاهش دهد . در مد فعال به کمک شبکه Stack و در مد استراحت با استفاده ازترانزیستورهای با ولتاژ آستانه بالا واعمال ولتاژ منفی به گیت ترانزیستور ایزوله NPN توان نشتی مدار کاهش می دهد . برای حفظ حالت منطقی مدار در مد Standby با استفاده از ترانزیستورهای نگه دارنده موازی شده با ترانزیستورهای ایزوله از حالت امپدانس بالای مدار جلوگیری می شود . از طرف دیگر مقاومت ناشی از ترانزیستورهای ایزوله به علت موازی شدن با ترانزیستورهای نگه دارنده کاهش می یابد و به تبع آن تاخیر مدار کاهش می یابد در نتیجه سرعت بهبود می یابد.

فهرست مطالب

عنوان **صفحه**

فصل اول:مقدمه..... ۱۸
۱-۱:انگیزه و بیان مسأله..... ۱۹
۱-۲:ساختار بندی پایان نامه..... ۲۴
فصل دوم:بررسی تلفات توان در مدارا ت CMOS VLSI..... ۲۶
۲-۱:تلفات توان دینامیکی..... ۲۷
۲-۱-۱تلفات توان سویچینگ..... ۲۷
۲-۱-۱-۱:محاسبه تلفات توان سویچینگ..... ۲۸
۲-۱-۱-۲: پارامتر فعالیت سویچینک..... ۲۸
۲-۱-۱-۳: خازن های MOSFET ۳۰
۲-۱-۱-۳-۱: خازن های مربوط به اکسید..... ۳۲
۲-۱-۱-۳-۲: خازن های پیوندی..... ۳۵
۲-۱-۲:تلفات توان اتصال کوتاه..... ۴۲
۲-۱-۲-۱:محاسبه تلفات توان اتصال کوتاه معکوس کننده ۴۳
۲-۲: تلفات توان استاتیکی..... ۴۴
۲-۲-۱:جریان زیر آستانه..... ۴۶
(۲-۲-۱-۱)اثر لایه وارون ضعیف ۴۶
(۲-۲-۱-۲)کاهش سد ناشی از درین(پدیدهDIBL) ۴۷
(۲-۲-۱-۳)اثر بدنه ۴۸
(۲-۲-۱-۴)اثر طول کانال..... ۴۹
(۲-۲-۱-۵):اثردما..... ۴۹
۲-۲-۲:جریان نشتی گیت ۵۰
۲-۲-۲-۱:جریان تونل زنی اکسید ۵۰
۲-۲-۲-۲:تزریق حاملها داغ..... ۵۱
۲-۲-۳:جریان نشتی پیوند بایاس معکوسPNو تونل زنی باند به باند(BTBT)..... ۵۲
۲-۲-۴:جریان نشتی درین ناشی از گیت..... ۵۲

۲-۲-۵: Punch-Through ۵۳
۲-۳:پارامتر های وابسته به نشتی ۵۳
۲-۴:مدل تاخیر ۵۴
فصل سوم: مقیاس گذاری تکنولوژی ۵۷
۳-۱:مقیاس گذاری تکنولوژی ومحدودیتهای آن ۵۸
۳-۲:مقیاس بندی(Scaling) ۶۰
۳-۲-۱:تئوری مقیاس بندی ۶۱
۳-۲-۲:معادلات اصلی مقیاس بندی ۶۲
۳-۳:مقیاس بندی کامل یا مقیاس بندی میدان ثابت(مرتبه اول) ۶۳
۳-۴:مقیاس بندی با ولتاژ ثابت ۶۶
۳-۵:مقیاس بندی افقی ۶۹
۳-۶:مقیاس بندی اتصالات ۷۲
۳-۷:کاهش پارامتر فعالیت سویچینگ ۷۳
فصل چهارم: تکنیکهای کاهش تلفات توان نشتی ۷۸
۴-۱:دسته بندی تکنیکهای کاهش تلفات توان نشتی ۷۹
۴-۱-۱: کنترل نشتی در مد استراحت ۷۹
۴-۱-۲: کنترل نشتی در مد فعال ۸۰
۴-۲: مهمترین تکنیکهای کاهش تلفات نشتی در مد استراحت ۸۰
۴-۲-۱: قطع توان تغذیه با استفاده از ترانزیستورهای با ولتاژ آستانه بالا ۸۰
۴-۲-۱-۱:عملکرد تکنیک MTCMOS ۸۲
۴-۲-۱-۲:عیوب روش MTCMOS ۸۳
۴-۲-۱-۳:تاثیر اندازه گذاری ترانزیستور Sleep ۸۳
۴-۲-۱-۴:اندازه گذاری ترانزیستور Sleep ۸۴
۴-۲-۲:تکنیک SCCMOS ۸۶
۴-۳: مهمترین تکنیک های کاهش تلفات نشتی در مد فعال ۸۷
۴-۳-۱: پشته کردن ترانزیستورها ۸۷
۴-۳-۱-۱: کاهش نشتی با استفاده از اثر Stack ۸۸
۴-۳-۱-۲:معکوس کننده Stack ۹۱
۴-۳-۲:تکنیک کنترل بردار ورودی ۹۱
۴-۳-۳:تکنیک جایگزینی گیت ۹۲
۴-۴:انگیزه وایده تکنیک پیشنهادی ۹۴
۴-۵:تکنیک MTSCStack ۹۵
۴-۵-۱:ساختارتکنیک MTSCStack با استفاده از معکوس کننده ۹۵
۴-۵-۲:عملکرد MTSCStack ۹۷
۴-۵-۳:مقایسه بین تکنیک MTSCStack و MTCMOS و SCCMOS ۹۹

۴-۵-۴:مقایسه بین تکنیک MTSCStack و Forced Stack ۹۹
۴-۶:شبیه سازیها ۱۰۰
ضمیمه ۱۱۶
۲-۵مراجع ۱۲۴

فهرست شکلها

شکل **صفحه**

شکل ۱-۱: روند رشد صنعت ۱۹
شکل ۱-۲ : نمایش قانون مور ۱۹۶۵ ..... ۲۰
شکل ۱-۳ : رشد تلفات توان ۲۲
شکل ۲-۱: نمایش خازن خروجی در مدارا ت CMOS ۲۷
شکل۲-۲ : نمای مقطعی و از بالای یک MOSFET کانال n ۳۱
شکل۲- ۳: نمایش فشرده ای از خازن های پارازیتی MOSFET ۳۱
شکل۲- ۴: نمایش شماتیک خازن های اکسیدMOSFET ۳۳
شکل ۲-۵ : تغییرات ظرفیت خازن های اکسید توزیعی بر حسب ولتاژ گیت به سورس ۳۴
شکل ۲-۶ : نمایش خازن های پیوندی ۳۵
شکل ۲-۷ : نمای سه بعدی از ناحیه نفوذ n با زیر لایه نوع p) ۳۵
شکل ۲-۸ : مثال ۲-۱ ..... ۳۹
شکل ۲-۹ : مثال ۲-۲ ..... ۴۰
شکل۲- ۱۰: نمایش خازن های مثال ۲-۲ ..... ۴۲
شکل۲-۱۱: جریان اتصال کوتاه ۴۲
شکل۲-۱۲: جریان اتصال کوتاه معکوس کننده ۴۳
شکل۲-۱۳: محاسبه جریان اتصال کوتاه معکوس کننده ۴۴

شکل۲-۱۴: افزایش تلفات استاتیکی نسبت به روند تکنولوژی).....۴۵

شکل۲-۱۵: نمایش مکانیسم های متفاوت نشتی ۴۵

شکل ۲-۱۶: اثر پدیده DIBL در ترانزیستور های کانال کوتاه ۴۸

شکل ۲-۱۷: افزایش تلفات توان نشتی با افزایش دما.....۴۹

شکل۳-۱: مقیاس بندی متداول ترانزیستور *Mos* با فاکتور مقیاس بندیS ، ترانزیستور اولیه پیش از مقیاس بندی.....۶۱

شکل۳-۲: مقیاس بندی متداول ترانزیستور *Mos* با فاکتور مقیاس بندیS ، ترانزیستور اولیه پس از مقیاس بندی.....۶۱

شکل ۳- ۳: الگوریتم کاهش پارامتر سویچینگ.....۷۵

شکل ۳-۴ : شکل مثال۳-۱.....۷۶

شکل۳-۵ : مدار تغییر یافته مثال۳-۱ طبق الگوریتم.....۷۶

شکل ۳-۶ : مدار بهینه مثال۳-۱.....۷۷

شکل۴-۱ : تکنیک VDD – Gated ، قرار گرفتن ترانزیستور PMOS با ولتاژ آستانه بالا بین شبکه منطقی با ولتاژ آستانه پایین و تغذیه).....۸۱

شکل۴-۲ : تکنیک GND – Gated (قرار گرفتن ترانزیستور NMOS با ولتاژ آستانه بالا بین شبکه منطقی با ولتاژ آستانه پایین و زمین.....۷۷

شکل ۴-۳ : تکنیک MTCMOS ، قرار گرفتن ترانزیستور PMOS با ولتاژ آستانه بالا بین شبکه منطقی با ولتاژ آستانه پایین و تغذیه و ترانزیستور NMOS با ولتاژ آستانه بالا بین شبکه منطقی با ولتاژ آستانه پایین و زمین.....۸۲

شکل ۴- ۴ : مدل کردن ترانزیستورهای ایزوله توان به صورت مقاومت.....۸۳

شکل ۴-۵ : تکنیک SCCMOS.....۸۶

شکل ۴-۶ : محاسبه جریان نشتی برای یک ترانزیستور خاموش.....۸۸

شکل ۴-۷ : ۲ ترانزیستور Stack شده با هم.....۸۹

شکل ۴-۸ : جریان نشتی زیر آستانه برحسب تعداد ترانزیستورهای stack شده..... ۹۰
شکل ۴-۹ : معکوس کننده a:طراحی معمولی b: طراحی با تکنیک Forced Stack..... ۹۱
شکل۴-۱۰ :جایگزینی گیت AND دو ورودی با سه ورودی..... ۹۳
شکل۴- ۱۱ : جایگزینی گیت AND دو ورودی۱ با سه ورودی..... ۹۳
شکل۴-۱۲ :جایگزینی هر دوگیت AND دو ورود۱ با سه ورودی..... ۹۳
شکل۴- ۱۳ : جایگزینی گیت AND دو ورودی۱ با سه ورودی..... ۹۳
شکل۴- ۱۴: جایگزینی گیت AND دو ورودی۱ با سه ورودی در حالت خروجی یک به..... ۹۳
شکل ۴-۱۵: جایگزین کردن گیت G_3 با گیت $\breve{G}_3$..... ۹۳
شکل ۴-۱۶: پیاده کردن الگوریتم برنامه ریزی روی مدار..... ۹۴
شکل ۴-۱۷ : معکوس کننده Forced Stack ۹۵
شکل ۴-۱۸ : معکوس کننده MTCMOS..... ۹۶
شکل ۴-۱۹: معکوس کننده MTSCStack..... ۹۶
شکل ۴-۲۰ : الف (مد فعال ب(مدStandby و حفظ حالت یک ۹۸
شکل ۴-۲۱ : مد Standby و حفظ حالت صفر منطقی..... ۹۸
شکل ۴-۲۲ : تاخیر و توان دینامیکی در تکنولوژی ۰/۱۸µm..... ۱۰۱
شکل ۴-۲۳ : تاخیر و توان دینامیکی در تکنولوژی۰/۶۵ µ m..... ۱۰۱
شکل ۴-۲۴ : جریان نشتی زیر آستانه مدار Full Adder در تکنولوژی ۰/۱۸µm..... ۱۰۲
شکل ۴-۲۵ : جریان نشتی زیر آستانه مدار Full Adder در تکنولوژی ۰/۶۵ µm..... ۱۰۲
شکل ۴-۲۶ : خروجی و توان دینامیکی مدار NAND با تکنولوژی ۰/۰۶۵ µm..... ۱۰۳
شکل ۴-۲۷ : خروجی و توان دینامیکی مدارNAND با تکنیک Stack با تکنولوژی ۰/۰۶۵ µm..... ۱۰۴
شکل ۴-۲۸ : خروجی و توان دینامیکی مدارNAND با تکنیک MTCMOS در مد فعال با تکنولوژی µm ۰۶۵..... ۱۰۰

شکل ۴-۲۹ : *خروجی و توان دینامیکی مدار*NAND *با تکنیک SCCMOS در مد فعال* با تکنولوژی µm ۰/۰۶۵.....۱۰۵

شکل ۴-۳۰ : *خروجی و توان دینامیکی مدار*NAND *با تکنیک MTSCStack در مد فعال* با تکنولوژی µm ۰/۰۶۵.....۱۰۵

شکل ۴-۳۱ : جریان نشتی زیر آستانه مدار NAND در تکنولوژی µm ۰/۰۶۵.....۱۰۶

شکل ۴-۳۲ : جریان نشتی زیر آستانه مدار NAND در تکنولوژی µm ۰/۰۶۵ با تکنیک *Stack*.....۱۰۶

شکل ۴-۳۳ : جریان نشتی زیر آستانه مدار NAND در تکنولوژی µm ۰/۰۶۵ با تکنیک *MTCMOS*.....۱۰۷

شکل ۴-۳۴ : جریان نشتی زیر آستانه مدارNAND در تکنولوژی µm ۰۶۵/. با تکنیک *SCCMOS*.....۱۰۷

شکل ۴-۳۵ : جریان نشتی زیر آستانه مدارNAND در تکنولوژی µm ۰/۰۶۵ با تکنیک *MTSCStack* در مد فعال.....۱۰۸

شکل۴-۳۶ : جریان نشتی زیر آستانه مدارNAND در تکنولوژی µm ۰/۰۶۵ با تکنیک *MTSCStack* در مد استراحت.....۱۰۸

شکل۴-۳۷ : خروجی و توان دینامیکی مدار FULLADDER در تکنولوژی µm۰۶۵/. ۱۰۹

شکل ۴-۳۸ : خروجی و توان دینامیکی مدار FULLADDER در تکنولوژی µm ۰/۰۶۵ *با تکنیک* Stack.....۱۰۹

شکل ۴-۳۹ : خروجی و توان دینامیکی مدار FULLADDER در تکنولوژی µm ۰/۰۶۵ *با تکنیک MTCMOS*.....۱۱۰

شکل ۴-۴۰ : خروجی و توان دینامیکی مدار FULLADDER در تکنولوژی µm ۰/۰۶۵ *با تکنیک SCCMOS*.....۱۱۰

شکل ۴-۴۱ : خروجی و توان دینامیکی مدار FULLADDER در تکنولوژی µm ۰/۰۶۵ *با تکنیک MTSCStack*.....۱۱۱

شکل ۴-۴۲ : جریان نشتی زیر آستانه مدار FULLADDER در تکنولوژی µm ۰/۰۶۵.....۱۱۱

شکل ۴-۴۳ : جریان نشتی زیر آستانه مدار FULLADDER در تکنولوژی µm ۰/۰۶۵ *با تکنیک Stack*.....۱۱۲

شکل۴-۴۴ : جریان نشتی زیر آستانه مدارFULLADDER درتکنولوژیµm ۰/۰۶۵ *با تکنیکMTCMOS در مد استراحت*.....۱۱۲

شکل ۴-۴۵ : جریان نشتی زیر آستانه مدار FULLADDER در تکنولوژی µm ۰/۰۶۵ *با تکنیک SCCMOS در مد استراحت*.....۱۱۳

شکل ۴-۴۶ : جریان نشتی زیر آستانه مدار FULLADDER در تکنولوژی µm ۰/۰۶۵ *با تکنیک MTSCStack درمد فعال*.....۱۱۳

شکل ۴-۴۷ : جریان نشتی زیر آستانه مدار FULLADDER در تکنولوژی µm ۰/۰۶۵ با تکنیک MTSCStack درمد استراحت.....۱۱۴

شکل ۴-۴۸ : نمودارهای مقایسه بین تکنیکهای مختلف ۱۱۴

فهرست جدولها

جدول **صفحه**

جدول۱-۱ : روند تغییر تغذیه و توان).....۲۱

جدول ۲-۱ : جدول صحت برای NOR دو ورودی.....۲۹

جدول ۲-۲: مقادیر تقریبی خازن اکسید در سه حالت عملکردی ترانزیستور MOSFET.....۳۴

جدول ۲-۳ : نوع و ناحیه پیوندهای p-n نشان داده شده در شکل ۲-۷.....۳۶

جدول ۲-۴: وابستگی مکانیسم های نشتی به پارامتر های ترانزیستور.....۵۳

جدول ۲-۵ : وابستگی مکانیسم نشتی ترانزیستور به ولتاژ پایه های آن.....۵۳

جدول ۳- ۱: کاهش برخی مشخصه ها در طی سالها.....۶۰

جدول۳-۲ : مقیاس بندی کامل ابعاد ،پتانسیل و چگالی های آلایشMOSFET.....۶۴

جدول۳- ۳ : اثرات مقیاس بندی کامل بر روی مشخصه های کلیدی ترانزیستور).....۶۶

جدول۳-۴ : مقیاس بندی با ولتاژ ثابت را برای ابعاد,ولتاژ ها و چگالی های آلایش.....۶۷

جدول ۳-۵ : اثرات مقیاس بندی ولتاژ ثابت در مشخصه های کلیدی ترانزیستور.....۶۹

جدول ۳-۶ : اثرات مقیاس بندی افقی بر مشخصه های ترانزیستور).....۷۰

جدول ۳-۷ : اثرات اثر مقیاس بندی بر مشخصات اتصالات).....۷۲

جدول ۳-۸ : مقایسه بین حالات گفته شده از نظر فعالیت سویچینگ.....۷۷

جدول ۴-۱ : پارامترهای تکنولوژی ۰/۱۳ µm.....۹۰

جدول ۴-۲ : جریان نشتی گیت Nand سه ورودی ۹۲

جدول۴-۳ : مقایسه بین تکنیکهای مختلف در مدار جمع کننده.....۱۱۴

جدول۴-۴ : مقایسه بین تکنیکهای مختلف در مدار NAND.....۱۱۵

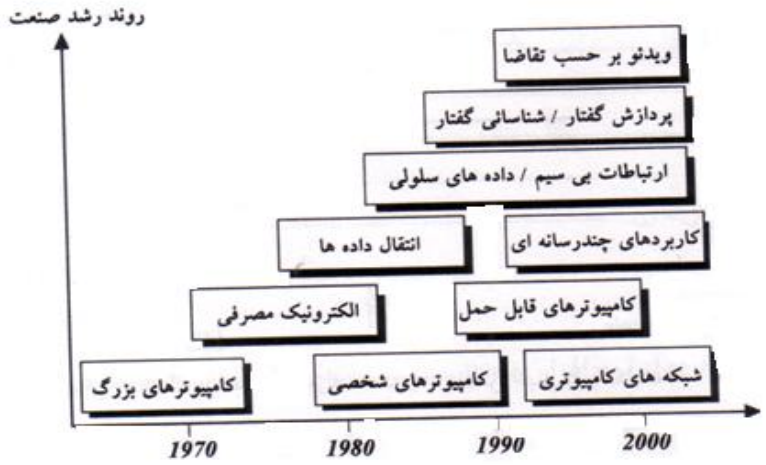
فصل اول

مقدمه

۱-۱:انگیزه و بیان مسأله

VLSI [1]یا مجتمع پذیری در مقیاس خیلی بزرگ ، حوزه ای است که با اجزای الکترونیکی بسیار بسیار فشرده در مساحتی بسیار کوچک سر و کار دارد . یعنی مدارها روی سطحی در حدود چند میلی متر مربع قرارگرفته اند . این حوزه امکان فوق العاده ای را برای انجام کارهایی که تا کنون مقدور نبوده فراهم کرده است . مدارهای VLSI در همه جا یافت می شوند:در کامپیوتر، در دوربین دیجیتالی ، در تلفن های همراه ، در تلویزیون و عملاً هر جا شما هستید,آن ها نیز هستند . مدارهای مجتمع برای مدت طولانی مطرح بوده اند . اما رشد فوق العاده سریع این فناوری و قابلیت های آن باعث گسترش کاربرد آن در زندگی شده است . با نگاهی به قانون مور می بینیم که توانایی ICها[2] بر حسب قدرت محاسباتی ، راندمان ، مساحت ، باروری و ...رشدی نمایی داشته است و در اثر ترکیب این مزایا است که انسان اکنون می تواند مدارهای مورد نیاز خویش را در IC بگنجاند.

[1] . Very Large Scale Integrated
[2] . Integrated Circuit

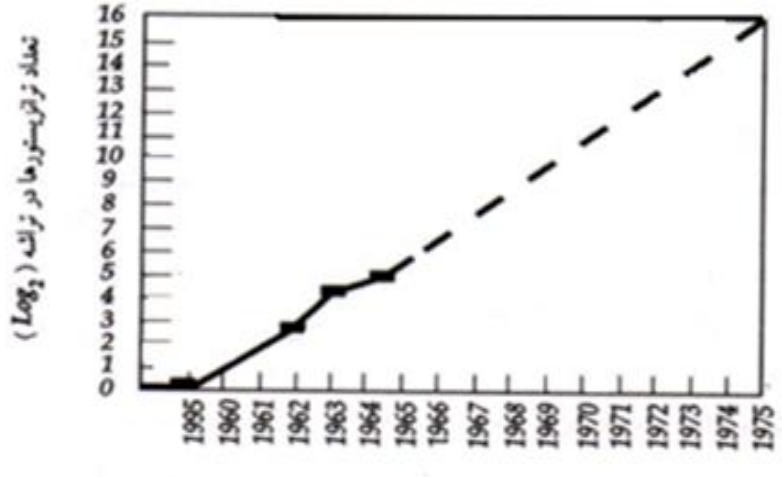


شکل ۱-۱(روند رشد صنعت)

مثال هایی از این دست ,سیستم ها و مدارهای هوشمندی هستند که در وسایل گوناگونی قرار داده می شوند و مانند کامپیوتر کوچک عمل می کنند. تعداد کاربردهای مدار مجتمع در محاسبات با کارایی بالا ,

,ارتباطات از راه دور و صنایع مصرفی الکترونیک رشد بسیاری یافته اند . نوعا نیاز به توان محاسباتی بالای این گونه کاربردها (یا به عبارت دیگر صنایع هوشمند) نیرویی برای تسریع این پیشرفت ها در حوزه های گوناگون بوده است . شکل ۱-۱ شمایی از گرایش های صنعتی فناوری های اطلاعاتی را طی دهه های گذشته نشان می دهد .[۱] [۲]

گوردن مور (Gordon Moore) در سال ۱۹۶۵ در مقاله ای روند افزایش چگالی مجتمع سازی را برسی کرد و نشان داد که تعداد ترانزیستورهایی که می توان روی سطح ثابتی از تراشه جای داد تقریبا هر ۱۸ تا ۲۴ ماه ، دو برابر می شود . او پیش بینی کرد این روند ادامه یابد.(به شکل ۱ -۲نگاه کنید)[۲]



شکل ۱-۲ (نمایش قانون مور ۱۹۶۵)

نکته مهمی که باید به آن اشاره کنیم آن است که پیچیدگی منطقی در تراشه ها رشدی نمایی داشته است. مجتمع سازی یکپارچه تعداد زیادی از توابع منطقی روی یک تراشه ، معمولا به دلایل زیر صورت می پذیرد:

* مساحت بسیار کم و فشردگی
* مصرف توان بسیار کمتر
* نیاز به آزمون پذیری کم در سطح منطقی
*اطمینان پذیری زیاد با توجه به کیفیت بالای اتصالات در تراشه ها
*سرعت زیاد با توجه به خازن های بار بسیار کوچک در تراشه ها
*هزینه ساخت کم در تولید انبوه

ولتاژ منبع تغذیه نیز طی سالهای گذشته کاهش یافته است .کاهش منبع تغذیه تاثیر بسیار زیادی در کاهش توان مصرفی اجزاء مدار دارد .اما به دلیل افزایش پیچیدگی مدارها (بنا بر قانون مور)توان مصرفی کل تراشه به آهستگی درحال افزایش است .

در واقع ، اگر ولتاژ منبع تغذیه کاهش نمی یافت ، بزرگ تر شدن سریع مدارها باعث افزایش قابل توجه توان می شد اما کاهش ولتاژ منبع تغذیه به مقدار زیادی این رشد را کنترل می کند .جدول ۱-۱ روند کاهش حداقل ولتاژ تغذیه ای را که در مدارهای مجتمع در هر سال استفاده می شود ، را نشان می دهد.

جدول۱-۱ (روند تغییر تغذیه و توان)

سال	۲۰۰۱	۲۰۰۲	۲۰۰۳	۲۰۰۴	۲۰۰۵	۲۰۰۶	۲۰۰۷	۲۰۱۰	۲۰۱۳
ولتاژ تغذیه(V)	۱/۲	۱/۲	۱/۱	۱/۱	۱	۱	/۹	/۸	/۷
توان(W)	۱۳۰	۱۴۰	۱۵۰	۱۶۰	۱۷۰	۱۸۰	۱۹۰	۲۱۸	۲۵۱

از زمان اختراع اولین ICها در چند دهه گذشته طراحان در جستجوی تکنیکهایی برای کاهش توان تلفاتی، افزایش سرعت مدارات دیجیتال و کاهش سطح اشغالی تراشه توسط ترانزیستور های بیشتری بوده اند .

در سیستمهای قابل حمل که تغذیه آنها با باتری انجام می گیرد ، قسمت اعظمی از انرژی ذخیره شده در سیستمهای قابل حمل که تغذیه آنها با باتری انجام می گیرد ، قسمت اعظمی از انرژی ذخیره شده در باتری محدود می شود . بنا براین تلفات توان برای سیستمهای قابل حمل به دلیل داشتن زمان شارژ بالا

و طول عمر بالای باتری بسیار مهم است . با کاهش توان تلفاتی در این وسایل انتظار می رود که باتری هایی به اندازه کوچکتر، وزن کمتر و طول عمر بالا داشته باشیم .

مسأله تلفات توان در مدارا ت VLSI یکی از مهمترین نکات طراحی می باشد.تمرکز بر این تنها به خاطر رشد سریع وسایل قابل حمل نمی باشد بلکه قبل از آن نیز این مسأله مطرح بوده است . تلفات توان همچنین برای تکنولوژی زیر میکرون[1] نیز ضروری است . به یمن پیشرفت در تکنولوژی ساخت ترانزیستور های ماسفت تعداد ترانزیستورها بر حسب سطح تراشه در هر سال دو برابر شده است ، این در حالی است که فرکانس عملکرد سیستم در هر۳ سال دو برابر شده است . نتیجه این که تلفات توان ، با توجه به افزایش تعداد ترانزیستور های مدار,افزایش فرکانس عملکرد سیستم و کاهش سطح تراشه دمای سطح چیپ را افزایش داده است این دمای اضافی قابلیت اعتبار و زمان عمر مدار را کاهش می دهد . بنابر این وسایل خنک سازی بزرگ و هزینه بالای بسته بندی نیاز است تا این گرمای اضافی را دفع کند . سیر صعودی سر سام آور به سمت سیستمهای محاسباتی گران با سرعت بالا در اندازه های کوچک مانند نوت بوک ها افزایش نمایی در فرکانس عمل سیستم را ایجاد کرده است . این در حالی است که این عمل منجر به افزایش نمایی در تلفات توان شده است که به تبع آن باعث کاهش قابلیت اعتبار سیستم و افزایش هزینه خنک سازی سیستم شده است . پیشرفت های اخیر در در تکنولوژی ساخت مدارا ت VLSI امکان ساخت کل سیستم روی چیپ[2] را مهیا کرده است . این امر باعث تسهیل در پیشرفت های کمک رسانی های دیجیتالی شخصی[3] ، تلفن های سلولی، لپ تاپ ها ، کامپیوتر ها ، سیستم های چند رسانه ای و موبایل شده است .

یکی دیگر از دلایل برای طراحی توان پایین از اتوماسیون اداری ناشی می شود . در سال ۱۹۹۳یک انجمن

امریکایی در مورد انرژی موثر اقتصادی گزارشی تهیه کرد که بر اساس آن تجهیزات اداری مقدار ٪۵ از کل انرژی تجاری را مصرف می کنند و این رقم برای سال ۲۰۰۰ به ۱۰٪ رسیده است . تولید این انرژی هزینه ۲ میلیارد دلاری سالانه را در بر دارد که آلودگی معادل با ۵ میلیون ماشین را تولید می کند . این مسأله لزوم پیشرفت در مفهوم کامپیوتر های سبز را باعث می شود که مقدار انرژی مصرف شده بوسیله تجهیزات اداری را کاهش می دهد . اگر چه تلفات توان برای وسایل قابل حمل مهم است ، سرعت نیز به عنوان یک هدف اصلی برای طراحان دیجیتال مهم است .کاربران انتظار سرعت های بالاتر، عاملیت بالاتر و سطوح بالاتر از یکپارچگی (هماهنگی) را از وسایل دیجیتالی همراه (مانند تلفن های سلولی) دارند . نتیجه این که کاهش تلفات توان نباید سرعت مدار را کاهش دهد . در واقع افزایش سرعت حین کاهش تلفات توان باید به مسأله طراحی توان پایین توجه کرد و بین این دو با توجه به نوع کاربرد مصالحه ای ایجاد کرد . از میان تکنولوژی های مختلف از قبیل ترانزیستور های دوقطبی ، اثرمیدان ، ماسفت وماسفت

[1] .Sub Deep Micron Technology
[2] .System On Chip
[3] . Personal Degital Assistanants