دانشگاه شهید چمران اهواز

دانشکده مهندسی

۹۳٤۲۰۰۱

پایان نامه کارشناسی ارشد مهندسی برق

گرایش الکترونیک

عنوان :

کالیبراسیون دیجیتال خطاهای زمان و بهره در مبدل‌های آنالوگ به دیجیتال میانگذاری شده در زمان

اساتید راهنما:

دکترابراهیم فرشیدی

دکترعلیمراد محمودی

استاد مشاور:

دکترکریم انصاری اصل

نگارنده :

محمد عیسوندنصیری

تیر ۹۳

باسمه تعالی

دانشگاه شهید چمران اهواز

دانشکده مهندسی

(نتیجه ارزشیابی پایان نامه ارشد)

پایان نامه آقای محمد عیسوندنصیری **دانشجوی رشته:** مهندسی برق

گرایش: الکترونیک

دانشکده مهندسی به شماره دانشجویی ۹۰۴۲۰۱۴

با عنوان :

کالیبراسیون دیجیتال خطاهای زمان و بهره در مبدل‌های آنالوگ به دیجیتال میانگذاری شده در زمان

جهت اخذ مدرک :کارشناسی ارشد در تاریخ : ۱۳۹۳/۴/۱۶ توسط هیأت داوران مورد ارزشیابی قرار گرفت و با درجه **عالی** تصویب گردید.

۱.	**اعضا ی هیأت داوران :**	**رتبه علمی**	**امضاء**
	استاد راهنمای اول: دکتر ابراهیم فرشیدی	دانشیار	
	استاد راهنمای دوم: دکتر علی مراد محمودی	استادیار	
	استاد مشاور : دکتر کریم انصاری اصل	استادیار	
	استاد داور : دکتر هومان کعبی	استادیار	
	استاد داور : دکتر محمد سروش	استادیار	
	نماینده تحصیلات تکمیلی :	.....	
۲.	**مدیرگروه :** دکتر ابراهیم فرشیدی	دانشیار	
۳.	**معاون پژوهشی و تحصیلات تکمیلی دانشکده :**	.....	
۴.	**مدیرتحصیلات تکمیلی دانشگاه :**	.....	

تقدیم به

پدر و مادر عزیزم

سپاسگذاری

بر خود لازم می دانم که از زحمات و راهنمایی های جناب آقای دکتر ابراهیم فرشیدی، جناب آقای دکتر علی مراد محمودی و جناب آقای دکتر کریم انصاری اصل، تشکر و قدردانی نمایم که به واسطه ی رهنمودهای ارزنده و صبر و حوصله ایشان توان پیشبرد این پایان‌نامه بر من میسر گشت. در پایان، از پدر و مادر و خانواده ی عزیزم و همه‌ی دوستانی که در این راه مشوق من بودند، قدردانی می نمایم.

چکیده

نام خانوادگی : عیسوندنصیری	**نام:** محمد	**شماره دانشجویی :** ۹۰٤۲۰۱٤
عنوان پایان‌نامه: کالیبراسیون دیجیتال خطاهای زمان و بهره در مبدل‌های آنالوگ به دیجیتال میانگذاری شده در زمان		
استاد/ اساتید راهنما: دکتر ابراهیم فرشیدی – دکتر علی مراد محمودی		
استاد/ اساتید مشاور: دکتر کریم انصاری اصل		
درجه تحصیلی: کارشناسی ارشد	**رشته:** مهندسی برق	**گرایش:** الکترونیک
دانشگاه : شهید چمران اهواز	**دانشکده:** مهندسی	**گروه :** برق
تاریخ فارغ‌التحصیلی : ۱۳۹۳/٤/۱٦		**تعداد صفحه:** ۸۹

کلیدواژه‌ها : کالیبراسیون، عدم تطابق، بهره، زمان، مبدل، آنالوگ به دیجیتال، میانگذاری شده در زمان، TI-ADC

امروزه کارایی سیستم‌های مخابراتی وابسته به مبدل‌های آنالوگ به دیجیتال است. به منظور انعطاف پذیری بیشتر تکنولوژی های مخابراتی نسل آینده، مبدل‌هایی با کارایی بیشتر نیاز است لذا ساختار میانگذاری شده در زمان مبدل‌ها، می‌تواند راه حل مناسبی برای افزایش کارایی تکنولوژی های مخابراتی باشد. یک مبدل آنالوگ به دیجیتال میانگذاری شده در زمان(TI-ADC) با موازی کردن M مبدل، توان عملیاتی اش را افزایش می‌دهد. با این حال، کارایی آن بدلیل وجود عدم تطابق بین کانال‌هایش کاهش می‌یابد. عدم تطابق بین کانال‌ها با ایجاد تن های اضافی طیف خروجی را دچار اعوجاج می‌کند. این پایان‌نامه، به کالیبراسیون پس زمینه‌ی دیجیتال عدم تطابق بهره و زمان می پردازد. در این پایان نامه، خطای عدم تطابق بهره و زمان با تقریب مرتبه‌ی اول سری تیلور مدل و با الگوریتم FxLMS ضرایب آن شناسایی شد سپس تقریب خطا از خروجی کم شد تا خطای عدم تطابق تصحیح شود سپس ضعف های کالیبراسیون با الگوریتم FxLMS در یک TI-ADCدو کاناله، مطرح و با نتایج شبیه‌سازی اثبات شد. در ادامه، طرح جایگزینی برای رفع ضعف‌های الگوریتم FxLMS پیشنهاد شد.این طرح بر اساس همبستگی بین تن ورودی و تصویر ناشی از عدم تطابق، در تمام پهنای باند مبدل TI-ADC دوکاناله عمل می کند و برای اثبات درستی عملکرد آن، در حالت هایی که روش کالیبراسیون با الگوریتم FxLMS دچار ضعف است، شبیه‌سازی شد. در شبیه‌سازی، ۳ تن ورودی در فرکانس های $0/188F_s$، $0/341F_s$ و $0/465F_s$ به یک مبدل TI-ADC دو کاناله به ترتیب با خطای عدم تطابق بهره و زمان ۰/۰۲ و ۰/۰۱- داده شد و در حالی که کالیبراسیون با الگوریتم FxLMS توانایی تصحیح خطای عدم تطابق هر سه تن را ندارد پس از تصحیح خطا با طرح پیشنهادی، ٦۰ دسی بل بهبود در SFDR خروجی بدست آمد. با این کار از هدر رفتن ۸۰ درصد کارایی افزودن کانال دوم به سیستم با کالیبراسیون با الگوریتم FxLMS جلوگیری شد.

فهرست مطالب

فصل اول

۱-۱ مقدمه ۱

۱-۲ تاریخچه ۲

۱-۳ انگیزه ی کار ۳

۱-٤ ساختار کلی پایان‌نامه ٤

فصل دوم

۲-۱ مقدمه ۵

۲-۲ روش‌های متداول تبدیل سیگنال آنالوگ به دیجیتال ۵

۲-۲-۱ مبدل فلاش ۵

۲-۲-۲ مبدل دو مرحله ای ٦

۲-۲-۳ مبدل فولدینگ ۷

۲-۲-٤ مبدل پایپ لاین ۷

۲-۲-۵ مبدل میانگذاری شده در زمان ۹

۲-۳ مبدل آنالوگ به دیجیتال میانگذاری شده در زمان ۱۰

۲-۳-۱-۱ مدل ریاضی یک کانال ADC ۱۱

۲-۳-۲ مبدل آنالوگ به دیجیتال میانگذاری شده در زمان ایده آل ۱۲

۲-۳-۳ مبدل آنالوگ به دیجیتال میانگذاری شده در زمان غیر ایده آل ۱٤

۲-۳-۳-۱ عدم تطابق آفست ۱۷

۲-۳-۳-۲ عدم تطابق بهره ۲۰

۲-۳-۳-۳ عدم تطابق زمان نمونه‌برداری ۲۲

فصل سوم

۳-۱ مقدمه ۲۵

۳-۲ روش‌های تصحیح خطا ۲۶

۳-۲-۱ دو دسته کردن نمونه گیر و نگه‌دار ۲۷

۳-۲-۲ تصادفی کردن کانال ۲۸

۳-۲-۳ کالیبراسیون ۲۹

۳-۲-۳-۱ کالیبراسیون پیش‌زمینه ۳۰

۳-۲-۳-۲ کالیبراسیون پس زمینه ۳۰

۳-۲-۳-۳ کالیبراسیون تمام آنالوگ ۳۰

۳-۲-۳-٤ کالیبراسیون تمام دیجیتال ۳۱

۳-۲-۳-۵ کالیبراسیون ترکیبی ۳۱

۳-۲-۳-٦ مقایسه روش‌ها ۳۲

۳-۳ کالیبراسیون پس زمینه‌ی کور وفقی عدم تطابق بهره و زمان[٤٨,٤٧] ۳۲

۳-۳-۱ معرفی کالیبراسیون پس زمینه ی کور وفقی ۳۳

۳-۳-۲ مدل سیستم زمان پیوسته ۳٤

۳-۳-۳ مدل سیستم زمان گسسته ۳۷

۳-۳-۳-۱ نمایش مدل با فیلترها و مدولاتورهای حقیقی ٤١
۳-۳-٤ مدل سیستم با تقریب سری تیلور ٤٣
۳-۳-٥ کالیبراسیون وفقی کور ٤٧
۳-۳-٥-۱ ایده‌ی اصلی ٤٧
۳-۳-٥-۲ تحلیل کالیبراسیون به روش مدل خطای تقریب شده با سری تیلور ٤٩
فصل چهارم
٤-۱ مقدمه ٥٣
٤-۲ معرفی ٥٣
٤-۳ ضعف های کار [٤٨,٤٧] ٥٤
٤-۳-۱ محدودیت بر روی پهنای باند سیگنال ورودی ٥٤
٤-۳-۲ عدم توانایی کالیبراسیون در تصحیح خطا در تمام پهنای باند مطرح شده ٥٥
٤-٤ طرح پیشنهادی ٥٧
٤-٤-۱ ایده‌ی اصلی ٥٨
٤-٤-۲ تخمین ضرایب تقریب مرتبه‌ی اول سری تیلور مدل سیستم زمان گسسته ی خطا ٥٨
٤-٤-۲-۱ تخمین ضریب خطای عدم تطابق بهره در مدل خطا ٥٩
٤-٤-۲-۲ تخمین ضریب خطای عدم تطابق زمان در مدل خطا ٦٦
٤-٥ فیلتر میان نگذر ٧١
فصل پنجم
٥-۱ مقدمه ٧٣

۵-۲ پارامترهای شبیه‌سازی.....۷۳

۵-۳ کالیبراسیون عدم تطابق بهره و زمان نمونه‌برداری با طرح پیشنهادی.....۷٤

۵-٤ مقایسه‌ی کارایی کالیبراسیون طرح پیشنهادی این کار با کار [٤٨ ,٤٧].....۷٦

فصل ششم

٦-۱ مقدمه ۷۹

٦-۲ پیشنهادها.....۸۰

فهرست شکل ها

شکل ۲-۱: مبدل فلاش[۱۷] ٦

شکل ۲-۲: مبدل دو مرحله ای[۱۷] ۷

شکل ۲-۳: الف) مبدل فولدینگ، ب)مشخصه ی یک فولدینگ با ضریب ۸[۱۷] ۸

شکل ۲-٤: مبدل پایپ لاین[۱۷] ۹

شکل ۲-۵: ساختار کلی یکTI-ADC ۱۰

شکل ۲-٦: سیگنال های φ_i ، کلاک های اعمالی به کانال‌های TI-ADC [۲٦] ۱۰

شکل ۲-۷ :مدل ریاضی یک کانال TI-ADC [۲۸] ۱۲

شکل ۲-۸: مدل سیمولینک یک TI-ADC چهار کاناله ی ایده آل[۲٦] ۱۳

شکل ۲-۹: طیف خروجی یک TI-ADC چهار کاناله ی ایده آل [۲٦] ۱٤

شکل ۲-۱۰: بلوک دیاگرام TI-ADC چهارکاناله با تزریق خطای عدم آفست[۳۱] ۱۹

شکل ۲-۱۱: طیف خروجی TI-ADC با خطای عدم تطابق آفست[۳۱] ۱۹

شکل ۲-۱۲: بلوک دیاگرام TI-ADC چهارکاناله با تزریق خطای بهره[۳۱] ۲۱

شکل ۲-۱۳: طیف خروجی TI-ADC چهارکاناله با خطای بهره[۳۱] ۲۱

شکل ۲-۱٤: بلوک دیاگرام TI-ADC چهارکاناله با تزریق خطای زمان نمونه‌برداری[۳۱] ۲۳

شکل ۲-۱۵: طیف خروجی TI-ADC چهارکاناله با خطای زمان نمونه‌برداری[۳۱] ۲٤

شکل ۳-۱: TI-ADC با دو دسته بلوک نمونه گیر و نگه‌دار(S&H)[۲٦] ۲۸

شکل ۳-۲: تصادفی کردن یک M TI-ADCکاناله با ΔM کانال ADC اضافه[۲٦]. ۲۹

شکل ۳-۳: مدل یک M TI-ADC کاناله با بهره‌هایg_m و انحراف زمانی نسبی $r_m T_s$ [٤٦] ۳٤

شکل ۳-٤: تأثیر عدم تطابق بهره و زمان نمونه برداری بر نمونه‌برداری TI-ADC[٤٦] ۳٤

شکل ۳-۵: مدل خطی از یک ADC[٤٦] ۳۵

شکل ۳-٦: مدل سیستم زمان پیوسته‌ی یک M TI-ADC کاناله[۵۵] ۳٦

شکل ۳-۷: مدل سیستم زمان گسسته ی یک TI-ADC، M کاناله[٤٦] ٤١
شکل ۳-۸: نمایش $q_k(n)$ با ترکیبی از فیلترهای مقادیر– حقیقی[٤٦] ٤٣
شکل ۳-۹: مدل تقریب شده ی سیستم زمان گسسته ی یک TI-ADC ، Mکاناله [٤٦] ٤٦
شکل ۳-۱۰: ساختار کالیبراسیون کور وفقی عدم تطابق بهره و زمان[٤٦] ٤٨
شکل ۳-۱۱: ایده‌ی اصلی شناسایی کور برای یک TI-ADC چهارکاناله[٤٦]. ٤٩
شکل ۳-۱۲: پاسخ دامنه‌ی فیلتر بالاگذر $f(n)$ با مرتبه‌ی ٤٠ و فرکانس عبور $0/8\pi$ ٥٠
شکل ٤-۱: طیف خروجی الف) TI-ADC ب)TI-ADC پس از کالیبراسیون به روش[٤٦] ٥٦
شکل ٤-۲: خروجی بلوک FxLMs برای $Cg(n)$ در بلوک دیاگرام شکل ۳-۱۰ ..... ٥٧
شکل ٤-۳: بلوک دیاگرام طرح پیشنهادی ٥٩
شکل ٤-٤: بلوک دیاگرام تخمین ضرایب تقریب سری تیلور مدل خطای عدم تطابق ٦٠
شکل ٤-٥: الف) طیف خروجی مبدل دو کاناله با عدم تطابق بهره ب) طیف بریده شده[۱۰] ٦١
شکل ٥-۱: طیف خروجی TI-ADC دو کاناله با عدم تطابق بهره و زمان نمونه‌برداری ٧٥
شکل ٥-۲: همگرایی تخمین ضریب بهره‌ی تقریب مرتبه‌ی اول سری تیلور مدل خطا ٧٦
شکل ٥-۳: همگرایی تخمین ضریب خطای تقریب مرتبه‌ی اول سری تیلور مدل خطا ٧٧
شکل ٥-٤: طیف خروجی TI-ADC دو کاناله پس از کالیبراسیون با طرح پیشنهادی این کار ٧٧

فهرست جدول ها

جدول ٥-۱: پارامترهای سیستم کالیبرسیون ٧٤

اختصارها

ADC	Analog to Digital Converter
TI-ADC	Time-Interleaved Analog to Digital Converter
SFDR	Spurious Free Dynamic Range
SNDR	Signal to Noise Distortion Ratio
FxLMS	Filtered-x Least Mean Square
S&H	Sample and Hold
LMS	Least Mean Square
PSD	Power Spectral Density
IT/SC	Impulse To Sequence Converter
FIR	Finite Impulse Response
Accum	Accumulator
CMOS	Complementary Metal Oxide Semiconductor
dB	DeciBels

فصل اول

مقدمه

۱-۱ مقدمه

امروزه، مبدل‌های آنالوگ به دیجیتال[1] به عنوان پل ارتباطی بین دنیای واقعی کمیت‌های آنالوگ و دنیای پردازش دیجیتال هستند و نقشی کلیدی در سیستم‌های الکترونیکی، مخابراتی و کنترلی ایفا می‌کنند. با افزایش کاربرد محاسبات دیجیتال و پردازش سیگنال در کاربردهایی چون تجهیزات پزشکی، اسیلوسکوپ های سریع و ... اهمیت مبدل‌های آنالوگ به دیجیتال، به عنوان یک ابزار ضروری برای ارتباط بین حوزه‌ی آنالوگ به دیجیتال، بیشتر می‌شود. این کاربردها نیازمند مبدل‌های آنالوگ به دیجیتال با پهنای باند، دقت و نرخ نمونه‌برداری بالا می باشند. برآوردن این نیازها در یک مبدل ADC واحد، دشوار است بنابراین بلاک و هادجس[2] ساختار میانگذاری شده در زمان[3] را در سال ۱۹۸۰ پیشنهاد دادند[۱]. از آن زمان، تحقیقات زیادی روی ساختار مبدل‌های آنالوگ به دیجیتال میانگذاری شده در زمان[4] صورت گرفته است[۲-٤]. این معماری مزیت بالاترین سرعت تبدیل کل را دارد هرچند، عدم تطابق[5] بین کانال‌ها، راندمان کل مبدل را محدود می‌کند. مبدل‌های TI-ADC به سه نوع عمده‌ی عدم تطابق حساس هستند: عدم تطابق آفست[6]، بهره[7] و زمان نمونه‌برداری بین کانال‌های TI-ADC.عدم تطابق آفست بین کانال‌های ADC به صورت یک الگوی جمع پذیر متناوب در خروجی آرایه‌ی ADC شرکت

[1] Analog to Digital Converters(ADCs)
[2] Black and Hodges
[3] Time-Interleaving
[4] Time-Interleaved Analog to Digital Converters(TI-ADCs)
[5] Mismatch
[6] Offset Mismatch
[7] Gain Mismatch

می‌کند. در حوزه‌ی فرکانس، این الگو به صورت تن[1] هایی در ضرایب صحیحی از نرخ نمونه‌برداری کانال ظاهر می‌شود[۵]. عدم تطابق بین کانال‌های موازی باعث مدولاسیون دامنه‌ی نمونه‌های ورودی توسط رشته‌ای از بهره‌های کانال می‌شود[٦]. در حوزه‌ی فرکانس، این عدم تطابق، تصویرهایی از طیف سیگنال ورودی تولید می‌کند که به صورت متمرکز، در حوالی ضرایب صحیحی از نرخ نمونه‌برداری کانال ظاهر می‌شوند[۵]. به طور ایده آل، هر کانال باید T ثانیه بعد از کانال قبلی نمونه‌گیری کند. انحراف[2] از زمان نمونه‌برداری[3] ایده آل، باعث مدولاسیون فاز در سیگنال نمونه‌برداری شده می‌شود[٦]. در حوزه‌ی فرکانس، این خطا تصویرهایی از طیف سیگنال ورودی در همان فرکانس‌هایی که اجزای تن های ناشی از عدم تطابق بهره ایجاد شدند، تولید می‌کند[۵]. تمامی این عدم تطابق‌ها بدلیل ایجاد تن های اعوجاج باعث کاهش SFDR[4] در خروجی مبدل می‌شوند. تحقیقات نشان می‌دهد که استفاده از ساختار میانگذاری شده در زمان بدون هیچ کالیبراسیونی به دلیل عدم تطابق بین کانال‌های میانگذاری شده در زمان، دقت تبدیل را ۷ تا ۸ بیت کاهش می‌دهد[۷].

۱-۲ تاریخچه

مبدل‌های آنالوگ به دیجیتال میانگذاری شده در زمان اولیه عمدتاً اهداف علمی داشتند اگر چه بعضی از آن‌ها برای اهداف تجاری به خوبی توسعه پیدا کردند مشکل اصلی آن‌ها برای مصارف تجاری، تضمین کارایی آن‌هاست. اولین بار ساختار TI-ADC ها توسط بلک[۱] در سال ۱۹۸۰ میلادی معرفی شد هر چند کارایی آن در قیاس با مبدل‌های امروزه متوسط است، به صورت چهار کاناله با نرخ نمونه‌برداری[5] ٤MS/s و دقت تفکیک[6] ۷ بیت کار می‌کند. یکی از اولین

[1] Tone
[2] Skew
[3] Sampling-Time
[4] Space Free Dynamic Range
[5] Sampling Rate
[6] Resolution

اولین طرح های TI-ADC کاربردی- تجاری توسط پولتون[1][۸] ابداع شد. طرح TI-ADC چهار کاناله ی او با ایده ی دو دسته کردن بلوک نمونه گیر و نگه دار کار می‌کند. در سال ۱۹۹۲، کنروی[2] یک مبدل چهار کاناله با جبران سازی عدم تطابق را ساخت[۲]. نرخ نمونه‌برداری سیستم او ۸۵MS/s با دقت تفکیک ۸ بیت بود. در سال ۱۹۹۷، پولتون یک مبدل چهار کاناله با نرخ تبدیل ٤GS/s و دقت تفکیک ۸ بیت را توسعه داد. یک مبدل چهار کاناله با دقت تفکیک ۱۰بیت و نرخ تبدیل ۲۰۰MS/s در [۹] ارائه شد. سومانن[3] از یک روش جبرانسازی[4] آفست دیجیتال برای کاهش اثر خطای عدم تطابق استفاده کرد. برای یک سیگنال ورودی با فرکانس ۷۱/۳MHz، SFDR برابر با ٤٤dB را گزارش داد. شفیق جمال[5] یک TI-ADC چهار کاناله با کالیبراسیون پس زمینه‌ی دیجیتال[6] را توسعه داد[۱۰] و برای یک سیگنال ورودی با فرکانس ۹۰۰KHz، SFDR برابر با ۷۰dB را گزارش داد. از جمله سریع ترین TI-ADCها با تکنولوژی CMOS توسط پولتون در سال ۲۰۰۳ معرفی شد[۱۱]. پولتون به سرعت ۲۰GS/s با دقت تفکیک ۸ بیت دست یافت. یک TI-ADC سریع با مصرف توان کم در [۱۲] معرفی شد که با سرعت نمونه‌برداری ٦۰۰MHz کار می‌کند و دقت تفکیک آن ٦ بیت و توان مصرفی آن ۱۰mW است.

۱-۳ انگیزه ی کار

امروزه، ارتباطات به سرعت در حال رشد است و تقاضا برای تبادل اطلاعات با نرخ بالا، زیاد است. رسیدن به این نرخ اطلاعات، با نرخ نمونه‌برداری و دقت مبدل‌ها محدود شده است. برای تبادل اطلاعات با نرخ بالا به مبدل‌های آنالوگ به دیجیتال(ADC) با پهنای باند، نرخ نمونه‌برداری و دقت بالا نیاز است که رسیدن به این نیازها، با پیاده‌سازی تنها یک ADC دشوار است بنابراین برای رفع این نیازها، بلک و هادجس ساختار مبدل‌های آنالوگ به دیجیتال

[1] Poulton
[2] Conroy
[3] Sumanen
[4] Compensation
[5] Shafiq Jamal
[6] Digital Background Calibration

میانگذاری در زمان(TI-ADC) را پیشنهاد کردند[۱]. به دلیل عدم ایده آل بودن پارامترهای مبدل‌های این ساختار، عدم تطابق بین کانال‌ها وجود دارد. سه عدم تطابق عمده: عدم تطابق بهره، عدم تطابق زمانی و عدم تطابق آفست هستند. TI-ADC ها عمدتاً در فرکانس‌های بالا کار می‌کنند لذا عدم تطابق زمانی غالب است و همچنین با افرایش دامنه‌ی سیگنال ورودی اثر خطای عدم تطابق بهره بیشتر می شود. بنابراین، در این کار، خطای عدم تطابق بهره و زمان به عنوان مهمترین پارامترهای عدم تطابق در نظر گرفته شده و با یک روش پیشنهادی از بین می‌روند.

۱-٤ ساختار کلی پایان‌نامه

این پایان‌نامه شامل ٦ فصل است. فصل دوم مروری بر ساختارهای کلی متداول مبدل‌های آنالوگ به دیجیتال، همچنین ساختار مبدل TI-ADC و عدم تطابق بین کانال‌های این ساختار است. فصل سوم یک کالیبراسیون دیجیتال پس زمینه‌ی وفقی کور را برای تصحیح خطای عدم تطابق بهره و زمان نمونه‌برداری معرفی می‌کند. فصل چهارم، ضعف‌های کالیبراسیون به روش بیان‌شده در فصل سوم را برای یک TI-ADC دو کاناله شرح می دهد و در ادامه، یک راه‌حل برای رفع آن‌ها معرفی می شود. در فصل پنجم نتایج شبیه‌سازی طرح کالیبراسیون پیشنهادی بررسی می‌شود و سر انجام در فصل ششم نتیجه‌گیری و پیشنهادهایی برای کارهای آینده ارائه می‌شود.

فصل دوم

مبدل آنالوگ به دیجیتال میانگذاری شده در زمان

۲-۱ مقدمه

در این فصل، ابتدا ساختار مبدل‌های آنالوگ به دیجیتال سرعت بالا معرفی می‌شوند سپس ساختار مبدل آنالوگ به دیجیتال میانگذاری شده در زمان به عنوان یک مبدل سرعت بالا تشریح می‌شود. بخش ۲-۲ خلاصه ای از شرح کار انواع مبدل‌های آنالوگ به دیجیتال سرعت بالا بیان خواهد شد. در بخش ۲-۳، ساختار مبدل های آنالوگ به دیجیتال میانگذاری شده در زمان بررسی می شوند و در بخش ۲-۳-۳ به یک مبدل TI-ADC غیر ایده آل پرداخته می‌شود.

۲-۲ روش‌های متداول تبدیل سیگنال آنالوگ به دیجیتال

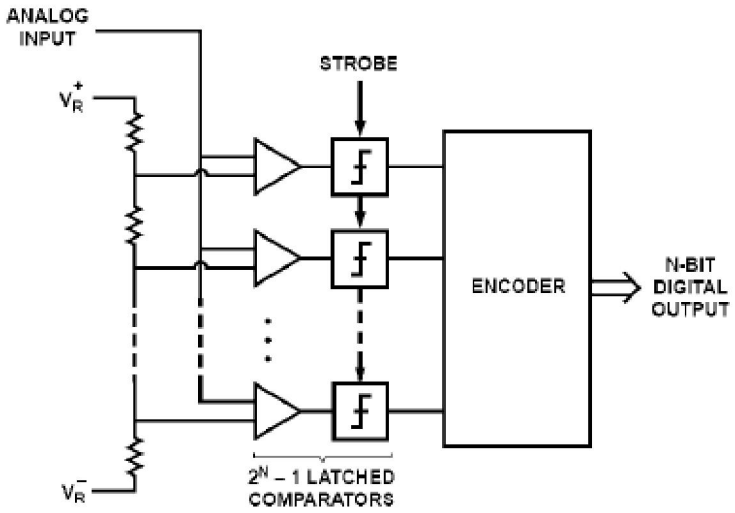
بر اساس نیازهای مختلف به سرعت پردازش بالا و یا دقت بالا در تبدیل سیگنال آنالوگ به دیجیتال، مبدل هایی با ساختار گوناگون طرح شده است. هر کدام از مبدل های طرح شده، کاربری خاص خود را بر حسب نیاز به دقت و یا سرعت دارد.

۲-۲-۱ مبدل فلاش[1]

در یک مبدل فلاش با درجه‌ی تفکیک N بیت، $2^N - 1$ مقایسه گر[2] وجود دارد که سیگنال آنالوگ ورودی برای تبدیل به دیجیتال، به ورودی این مقایسه گرها داده می‌شود. خروجی این مقایسه گرها به وسیله‌ی یک مدار منطقی مناسب، به کد باینری[3] تبدیل می‌گردد. از آنجایی که

[1] Flash
[2] Comparator
[3] Binary Code

تعداد مقایسه گرها متناسب با درجه‌ی تفکیک است، با افزایش درجه‌ی تفکیک، توان مصرفی و سطح تراشه به طور نمایی افزایش می‌یابد لذا این مبدل برای تبدیل با درجه‌ی تفکیک کم(٦بیت و کمتر) مناسب است[١٣-١٦]. تنها محدودیت در این مبدل‌ها، وجود مقایسه گر است که هم تعداد آن‌ها بر سطح تراشه و توان مصرفی تأثیر دارد و هم خازن های داخلی آن‌ها، سرعت کل مبدل را تعیین می‌کنند لذا این مقایسه گرها را از نوع تقویت کننده های تفاضلی با بهره‌ی کم و سرعت بالا انتخاب می‌کنند. شکل ٢-١ یک مبدل فلاش را نشان می‌دهد.



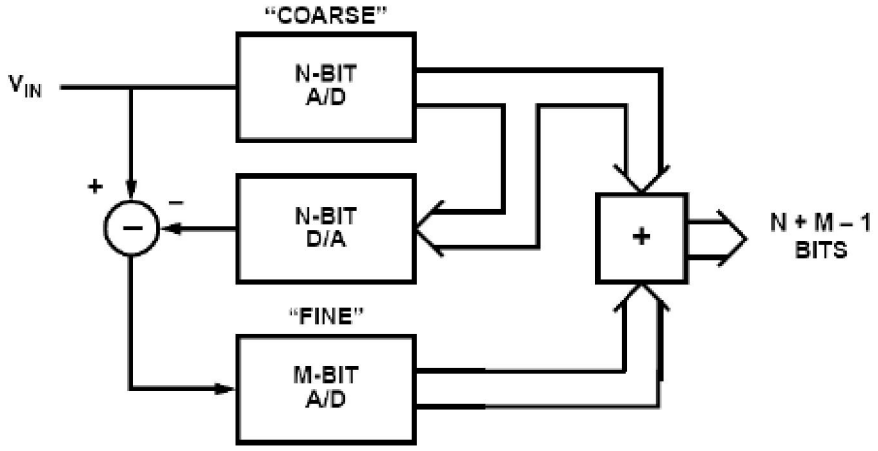
شکل ٢-١: مبدل فلاش[١٧]

٢-٢-٢ مبدل دو مرحله ای[1]

شکل ٢-٢ ساختار یک مبدل دو مرحله ی را نشان می‌دهد. ساختار مبدل دو مرحله ای، برای غلبه بر مشکل تعداد زیاد مقایسه گرها در مبدل فلاش، پیشنهاد گردید. در این ساختار، از دو مبدل فلاش استفاده می‌شود. برای افزایش سرعت این مبدل، می توان از ساختار پایپ لاین[2] کردن استفاده کرد[١٨, ١٩] و با هم پوشانی کردن محدوده ی دو مبدل نیز می توان دقت مدار را بالا

[1] Two-Step A/D converter
[2] Pipeline

برد[۲۰, ۲۱].



شکل ۲-۲: مبدل دو مرحله ای[۱۷]

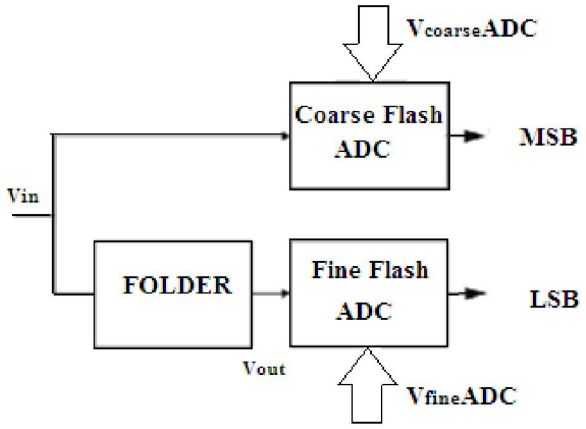
۲-۲-۳ مبدل فولدینگ[1]

در مبدل فولدینگ ، یک نگاشت غیرخطی از ورودی مدار به ورودی مقایسه گر[2]ها وجود دارد. مداری که کار نگاشت غیر خطی را در مبدل فولدینگ انجام می‌دهد فولدر[3] نام دارد[۲۲] که در شکل ۲-۳ نشان داده شده است. هدف از این نگاشت غیرخطی، تهیه ی اطلاعات بیشتری از سیگنال ورودی توسط هر کدام از مقایسه گرها است که نتیجه ی این نگاشت غیر خطی، کاهش تعداد کل مقایسه گرها در مبدل فولدینگ، در مقایسه با به مبدل فلاش است هر چند تأخیر ناشی از فولدرها، سرعت نمونه‌برداری این مبدل را نسبت به مبدل فلاش کمتر می‌کند.

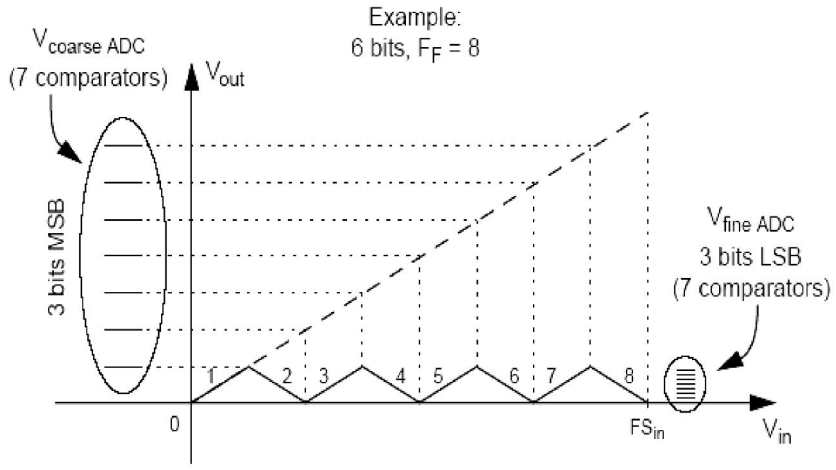
۲-۲-٤ مبدل پایپ لاین

ایده‌ی اصلی این مبدل، افزایش سرعت به بهای افزایش تأخیر کل مبدل است. همان گونه که در شکل ۲-٤ نمایان است، M طبقه به طور همزمان در حال پردازش M نمونه ی متوالی از سیگنال

[1] Folding
[2] Comparator
[3] Folder



(الف)



(ب)

شکل ۲-۳: الف) مبدل فولدینگ، ب)مشخصه ی یک فولدینگ با ضریب ۸[۱۷]

ورودی هستند. در هرطبقه، ورودی توسط یک مبدل با دقت تفکیک[۱] کم کوانتیزه[۲] می‌شود سپس اختلاف ورودی و مقدار معادل کد دیجیتال بدست آمده، محاسبه می‌شود و پس از تقویت به طبقه ی بعد می رود. پس از تقویت، محدوده ی ورودی تمام طبقات یکسان می‌گردد[۲۳-۲۵].

[1] Resolution
[2] Quantized