بسم الله الرحمن الرحيم

دانشکده مهندسی برق

رساله دکتری مهندسی برق- الکترونیک

طراحی مدارهای دینامیک توان پایین، مقاوم در برابر نشتی برای گیتهای عریض در تکنولوژیهای CMOS مقیاس نانو

محمد آسیایی

استاد راهنما:

دکتر علی پیروی

زمستان ۱۳۹۱

تصویب نامه

دانشگاه فردوسی مشهد

دانشکدهٔ مهندسی برق

تاییدیهٔ هیئت داوران

این رساله که توسط

محمد آسیایی

تهیه و جهت اخذ درجه دکتری تخصصی در رشته مهندسی برق گرایش الکترونیک به هیات داوران ارائه گردیده، مورد تایید شورای تحصیلات تکمیلی گروه برق دانشکده مهندسی دانشگاه فردوسی مشهد می باشد.

تاریخ دفاع: ۱۳۹۱/۱۲/۱۷

اعضا هیات داوران

۱- آقای دکتر علی پیروی	استاد راهنما
۲- آقای دکتر سید مهدی فخرایی	استاد دفاع خارجی
۳- آقای دکتر محمد شریف خانی	استاد دفاع خارجی
۲- آقای دکتر سعید حسینی خیاط	استاد دفاع داخلی
۳- آقای دکتر محمد میمندی نژاد	استاد دفاع داخلی
٤- آقای دکتر پژمان پورمحمدیان	نمایندهٔ تحصیلات تکمیلی

تعهد نامه

عنوان رساله:

طراحی مدارهای دینامیک توان پایین، مقاوم در برابر نشتی برای گیتهای عریض در تکنولوژیهای CMOS مقیاس نانو

اینجانب محمد آسیایی دانشجوی دوره دکتری رشته مهندسی برق- الکترونیک دانشکده مهندسی دانشگاه فردوسی مشهد تحت راهنمایی آقای دکتر علی پیروی متعهد می شوم:

- نتایج ارائه شده در این پایان نامه حاصل مطالعات علمی و عملی اینجانب بوده، مسئولیت صحت و اصالت مطالب مندرج را به طور کامل بر عهده می گیرم.
- در خصوص استفاده از نتایج پژوهشهای محققان دیگر به مرجع مورد نظر استناد شده است.
- مطالب مندرج در این پایان نامه را اینجانب یا فرد یگری به منظور اخذ هیچ نوع مدرک یا امتیازی تاکنون به هیچ مرجعی تسلیم نکرده است.
- کلیه حقوق معنوی این اثر به دانشگاه فردوسی مشهد تعلق دارد. مقالات مستخرج از پایان نامه، ذیل نام دانشگاه فردوسی مشهد (Ferdowsi University of Mashhad) به چاپ خواهد رسید.
- حقوق معنوی تمام افرادی که در به دست آمدن نتایج اصلی پایان نامه تاثیر گذار بوده اند در مقالات مستخرج از رساله رعایت خواهد شد.
- در خصوص استفاده از موجودات زنده یا بافتهای آنها برای انجام پایان نامه، کلیه ضوابط و اصول اخلاقی مربوطه رعایت شده است.

تاریخ

نام و امضاء دانشجو

مالکیت نتایج و حق نشر

کلیه حقوق معنوی این اثر و محصولات آن (مقالات مستخرج، برنامه های رایانه ای، نرم افزارها و تجهیزات ساخته شده) به دانشگاه فردوسی مشهد تعلق دارد و بدون اخذ اجازه کتبی از دانشگاه قابل واگذاری به شخص ثالث نیست.

استفاده از اطلاعات و نتایج این پایان نامه بدون ذکر مرجع مجاز نیست.

تقدیم به:

شهدای هشت سال دفاع مقدس

مخصوصا شهید غلامعلی صداقتی

و پیشکش به:

پدر و مادر بسیار دلسوزم

و خانواده مهربانم

که تمام موفقیتهای

خود را مدیون آنها هستم.

تشکر وقدردانی

سپاس خدایی را که سخنوران در ستودن او بمانند و شمارگان، شمردن نعمت های او ندانند و سپاس خدایی را که توفیق تحصیل و همجواری با آقا امام هشتم (ع) را عطا فرمود.

اکنون که با یاری خداوند متعال موفق به اتمام این مقطع تحصیلی شده ام، بر خود لازم می‌دانم از زحمات بی‌شائبه و راهنمایی-های دلسوزانه استاد گرانقدر جناب آقای دکتر پیروی که در انجام این رساله به عنوان استاد راهنما نهایت همکاری را داشته اند صمیمانه تشکر و قدردانی کنم.

از داوران گرامی، آقایان دکتر مهدی فخرایی، دکتر محمد شریف خانی، دکتر سعید حسینی خیاط و دکتر محمد میمندی نژاد به خاطر دقت نظر در مطالعه رساله و ارائه پیشنهادات سازنده و مفید، نهایت سپاسگزاری و امتنان را دارم.

در انتها مراتب سپاس و قدردانی خود را نسبت به پدر و مادر عزیزم و خانواده همسرم بابت کمکهای بی دریغی که به اینجانب داشته اند، اعلام می‌دارم.

فرم چکیده پایان نامه تحصیلی دوره تحصیلات تکمیلی

نام خانوادگی دانشجو: آسیایی **نام:** محمد

استاد یا اساتید راهنما: دکتر علی پیروی **استاد یا اساتید مشاور:**-

دانشکده: مهندسی **رشته:** برق **گرایش:** الکترونیک **مقطع:** دکترای تخصصی Ph.D

تاریخ دفاع: ۱۳۹۱/۱۲/۱۷ **تعداد صفحات:** ۱۱۳

عنوان رساله: طراحی مدارهای دینامیک توان پایین، مقاوم در برابر نشتی برای گیتهای عریض در تکنولوژیهای CMOS مقیاس نانو

کلید واژه‌ها: منطق دومینو، گیتهای با درون دهی بسیار زیاد، مصونیت در برابر نویز جریان نشتی، جریان تنازعی

چکیده:

با ادامه روند کوچک شدن طول کانال ترانزیستورها در تکنولوژیهای CMOS مقیاس نانو، جریان نشتی افزایش می یابد بطوریکه توان نشتی، مخصوصا در گیتهای عریض، مولفه بسیار زیادی از کل توان تلفاتی سیستم را تشکیل می دهد. از سوی دیگر افزایش جریان نشتی منجر به کاهش مصونیت در برابر نویز مخصوصا در گیتهای دینامیکی عریض (با درون دهی زیاد) می گردد. بنابراین کاهش توان نشتی و افزایش مصونیت در برابر نویز به موضوع مهمی در کاربردهای توان- پایین و عملکرد بالا مانند وسایل قابل حمل تبدیل شده است. طرحهای بسیاری جهت کاهش توان ارائه شده‌اند، اما کاهش توان به بهای از دست دادن سرعت و یا کاهش حاشیه نویز است. در نتیجه تکنیکهای جدیدی برای طراحی مدارهای با عملکرد مناسب و توان پایین لازم است.

با توجه به اینکه گیتهای عریض در واحدهای بحرانی ریزپردازنده ها شامل رجیستر فایلها، حافظه های با آدرس پذیری محتوایی مورد استفاده در حافظه های نهان و غیره کاربرد دارند، در این رساله چند طرح مداری جهت کاهش توان و افزایش مصونیت در برابر نویز گیتهای عریض ارائه می گردد تا در ریزپردازنده های جدید مورد استفاده واقع شود. نوآوری های انجام شده در سطح مدار می باشند و با مدارهای دیگر در منطق دومینو تفاوت ساختاری دارند.

در مدار پیشنهادی اول، از اختلاف بین جریان نشتی ترانزیستورهای خاموش و جریان موجود در ترانزیستورهای روشن شبکه پایین کش استفاده می شود تا جریان ترانزیستور نگهدارنده کنترل گردد و توان مصرفی تا ٪۳۹ نسبت به مدار دومینو متداول کم شود. در مدار پیشنهادی دوم، ولتاژ گره دینامیکی با ولتاژ مرجع مقایسه می شود تا دو خروجی مکمل تولید گردد. با کاهش نوسان ولتاژ گره دینامیکی توان مصرفی ٦٧٪ نسبت به مدار دومینو دو خطی متداول کاهش می یابد. مدار پیشنهادی سوم نیز براساس مقایسه جریان آینه شده شبکه ارزیابی با جریان نشتی آن شبکه در بدترین حالت می باشد. بدلیل کاهش ظرفیت خازنی گره متصل به ترانزیستور نگهدارنده، این مدار به نگهدارنده کوچکتری برای پیاده سازی گیتهای عریض نیاز دارد که در نتیجه آن توان مصرفی تا ٪۵۱ نسبت به مدار دومینو متداول کاهش می یابد. در نهایت، دو رجیستر فایل و یک مقایسه کننده نشانه به ترتیب با استفاده از مدارهای پیشنهادی اول، سوم و دوم طراحی شدند که بدون کاهش چشمگیر سرعت، توان مصرفی را ٪۱٤، ٪۱۹ و ٪۳۸ کم کردند. با توجه به معیار شایستگی تعریف شده که شامل توان، تاخیر، مساحت و مصونیت در برابر نویز می باشد، مدارهای پیشنهادی اول، دوم و سوم به ترتیب ۲/۵٦، ۸٦/۲۸ و ۲/۲٤ برابر بهبود در معیار شایستگی را نسبت به مدارهای دومینو متداول نشان می دهند.. رجیستر فایل طراحی شده با مدار پیشنهادی اول و مقایسه کننده نشانه طراحی شده با مدار پیشنهادی دوم به ترتیب ۱/۸۷ و ۱/۵۷ برابر بهبود را نسبت به طرحهای پیاده سازی شده با مدار دومینو متداول نشان می دهند. در نتیجه این طرحها، برای کاهش توان ریزپردازنده هایی که از رجیستر فایلهایی با تعداد پورت زیاد و حافظه های نهان با تعداد زیاد مقایسه کننده های نشانه استفاده می کنند، مناسب هستند.

فهرست مطالب

۱- مقدمه ۱

۱-۱ هدف از نگارش این رساله ۳

۱-۲ عوامل موثر در توان مصرفی ۵

۱-۳ کاهش مصرف توان در مدارهای دیجیتال ۷

۲- مروری بر کارهای پیشین ۱۰

۲-۱ روشهای کاهش جریان نشتی در مدارهای VLSI توان- پایین ۱۰

۲-۲ خانواده منطقی دومینو ۱۲

۲-۳ مروری بر کارهای انجام شده در منطق دومینو ۱۳

۲-۳-۱ منطق دومینو سرعت بالا (HS-Domino) ۱٤

۲-۳-۲ منطق دومینو با نگهدارنده شرطی (CKD) ۱۵

۲-۳-۳ منطق دومینو با ترانزیستور پایه در حالت دیودی (DFD) ۱٦

۲-۳-٤ منطق دومینو دارای ترانزیستور نگهدارنده با المثنی جریان نشتی (LCR) ۱۷

۲-۳-۵ منطق دومینو قسمت بندی شده دیودی (DPD) ۱۷

۲-۳-٦ منطق دومینو با ولتاژ تعدیل شده برای ترانزیستور نگهدارنده ۱۸

۲-۳-۷ سایر تکنیکهای مداری موجود در منطق دومینو ۱۹

۲-٤ مدارهای دومینو دو خطی یا تفاضلی ۲۱

۲-٤-۱ منطق سوئیچ ولتاژ کسکود تفاضلی (DCVS) ۲۲

۲-٤-۲ منطق DCVS ارتقا یافته (EDCVS) ۲۳

۲-٤-۳ منطق دومینو با کوپلینگ تقاطعی (XC-Domino) ۲٤

۲-٤-٤ نوع دومینویی منطق DCVS (DDL) ۲۵

۲-٤-۵ سایر مدارهای منطق تفاضلی ۲۵

۳- طرح پیشنهادی اول: مدار دومینو با نگهدارنده کنترل شونده با رقابت جریان ۲۷

۳-۱ ایده مداری طرح اول ۲۸

۳-۲ بهره نویز واحد ۳۱

۳-۳ تعریف یک معیار شایستگی ۳۲

۳-٤ تجزیه و تحلیل طرح اول ۳۳

۳-۵ تعیین اندازه ترانزیستورها ۳٦

۳-٦ نتایج شبیه سازی ۳۷

۳-۷ اثر تغییرات فرآیند، دما و ولتاژ روی مدار پیشنهادی اول CKCCD ٤۲

٤- طرح پیشنهادی دوم: مدار دومینو مبتنی بر مقایسه ولتاژ ٤۷

٤-۱ مدار ولتاژ مرجع ۵۲

٤-٢ تجزیه و تحلیل طرح دوم ٥٤
٤-٣ تعیین اندازه ترانزیستورها ٥٧
٤-٤ نتایج شبیه سازی و مقایسه ٥٨
٤-٥ نوع تک سر مدار پیشنهادی دوم ٦٢
٤-٦ اثر تغییرات فرآیند، دما و ولتاژ روی طرح پیشنهادی دوم (CDL) ٦٤

٥- طرح پیشنهادی سوم: مدار دومینو مبتنی بر مقایسه جریان ٦٨

٥-١ تجزیه و تحلیل طرح سوم ٧١
٥-٢ تعیین اندازه ترانزیستورها ٧٥
٥-٣ نتایج شبیه سازی و مقایسه ٧٧
٥-٤ اثر تغییرات فرآیند، دما و ولتاژ روی طرح سوم ٨٠

٦- استفاده از طرحهای پیشنهادی در کاهش توان ریزپردازنده ها ٨٥

٦-١ منابع توان تلفاتی در پردازنده ها ٨٥
٦-٢ طرحهای توان پایین ٨٦
٦-٢-١ طراحی رجیستر فایل توان پایین ٨٧
٦-٢-٢ مقایسه کننده نشانه توان پایین ٩١
٦-٣ تعیین اندازه ترانزیستورها ٩٤
٦-٤ نتایج شبیه سازی رجیستر فایل ها ٩٥
٦-٤-١ اثر تغییرات فرآیند، دما و ولتاژ روی رجیستر فایلها ٩٧
٦-٥ نتایج شبیه سازی مقایسه کننده های نشانه ٩٨
٦-٥-١ اثر تغییرات فرآیند، دما و ولتاژ روی مقایسه کننده های نشانه ١٠١

٧- نتیجه گیری و پیشنهادهایی برای کارهای آینده ١٠٣

٧-١ نتیجه گیری ١٠٤
٧-٢ پیشنهادهایی برای کارهای آینده ١٠٦
٧-٣ مقالات مستخرج از رساله ١٠٧

مراجع ١٠٩

فهرست شکل ها

شکل ۱-۱ بلوک دیاگرام پردازنده پنتیوم ٤ اینتل [۹] ٤
شکل ۱-۲ (الف) بلوک دیاگرام یک رجیستر فایل ساده و (ب) تحقق درگاه خواندن با استفاده از یک مالتی پلکسر ۱×٤ [۳].. ٤
شکل ۱-۳ بلوک دیاگرام یک مقایسه کننده نشانه [۸] ٥
شکل ۲-۱ منطق CMOS جهت پیاده سازی یک گیت AND [۲٤] ۱۲
شکل ۲-۲ پیاده سازی یک گیت AND با منطق دومینو NMOS [۲٤] ۱۲
شکل ۲-۳ گیتهای OR با درون دهی بالای متداول (الف) با ترانزیستور پایه (D1) و (ب) بدون آن (D2 یا SFLD) [۲] ۱۳
شکل ۲-٤ مدار منطق دومینو سرعت بالا (HSD) [۳۱] ۱٥
شکل ۲-٥ گیت OR عریض با استفاده از مدار منطق دومینو با ترانزیستور نگهدارنده شرطی (CKD) [۳۲] ۱٦
شکل ۲-٦ گیت OR عریض با استفاده از مدار دومینو با ترانزیستور در حالت دیودی (DFD) [۳۸] ۱٦
شکل ۲-۷ گیت OR عریض با استفاده از مدار دومینو دارای ترانزیستور نگهدارنده با المثنی جریان نشتی (LCR) [٥۰] ۱۷
شکل ۲-۸ مدار دومینو قسمت بندی شده دیودی (DPD) جهت پیاده سازی گیت OR با درون دهی زیاد [۸] ۱۸
شکل ۲-۹ گیت OR عریض با استفاده از مدار دومینو پیشنهادی توسط ونگ [٦۳] ۱۸
شکل ۲-۱۰ نوع ایستای منطق DCVS [٦۸] ۲۳
شکل ۲-۱۱ نوع دینامیک منطق DCVS با مدار تولید سیگنال اتمام [٦۹] ۲۳
شکل ۲-۱۲ منطق EDCVS نوع II [۷۰] ۲٤
شکل ۲-۱۳ منطق دومینو با کوپلینگ تقاطعی (XC-Domino) [٥] ۲٤
شکل ۲-۱٤ منطق DCVS دومینو (DDL) [۷۱] ۲٥
شکل ۳-۱ مفهوم مدار دومینوی پیشنهادی (CKCCD) ۲۹
شکل ۳-۲ مدار دومینوی پیشنهادی (CKCCD) ۳۰
شکل ۳-۳ شکل موجهای مدار پیشنهادی (CKCCD) ۳۸
شکل ۳-٤ مقایسه توان حالت آماده باش مدارها در تاخیر یکسان ٤۰
شکل ۳-٥ مقایسه FOM نرمالیزه شده ٤۱
شکل ۳-٦ بررسی مدار دومینو استاندارد (SFLD) و CKCCD در دو تکنولوژی متفاوت به ازای ورودیهای مختلف: (الف) تغییرات تاخیر، (ب) تغییرات توان و (ج) تغییرات UNG ٤۳
شکل ۳-۷ اثر تغییر فرآیند روی تاخیر و توان مصرفی نرمالیزه شده گیت AND-OR با ۳۲ ورودی پیاده سازی شده با تکنیک مداری CKCCD ٤٤
شکل ۳-۸ تغییرات تاخیر و توان مصرفی نرمالیزه شده در سه دمای متفاوت گیت AND-OR با ۳۲ ورودی پیاده سازی شده با تکنیک مداری CKCCD ٤٤
شکل ۳-۹ اثر تغییر ولتاژ تغذیه روی تاخیر و توان مصرفی نرمالیزه شده مدار پیشنهادی CKCCD ٤٥
شکل ٤-۱ مفهوم پایه ای مدار دینامیک دو خطی پیشنهادی ٤۷
شکل ٤-۲ یک گیت OR عریض با استفاده از نوع اول مدار پیشنهادی دوم (CDL-Type I) با استفاده از المان تاخیر ٤۸
شکل ٤-۳ یک گیت OR عریض با استفاده از نوع دوم مدار پیشنهادی دوم (CDL-Type II) بدون استفاده از المان تاخیر ٥۱
شکل ٤-٤ مدارهای پیشنهادی برای تولید ولتاژ مرجع ٥۳
شکل ٤-٥ شکل موجهای مدار پیشنهادی (CDL) مربوط به یک گیت OR با ۳۲ ورودی با استفاده از : (الف) نوع اول (CDL-Type I)، (الف) نوع دوم (CDL-Type II) ٥۹

شکل ٤-٦ مقایسه UNG های مدارهای مورد بررسی در تاخیر یکسان ٦٢
شکل ٤-٧ مقایسه ای از توان مصرفی نرمالیزه شده مدارها برحسب تعداد درون دهی در تاخیر یکسان..... ٦٢
شکل ٤-٨ نوع تک سر مدار پیشنهادی دوم با استفاده از خازن مجازی..... ٦٣
شکل ٤-٩ تاخیر و توان مصرفی نرمالیزه شده نوع تک سر مدار پیشنهادی برحسب تعداد درون- دهی در تاخیر یکسان ٦٣
شکل ٤-١٠ اثر تغییر فرآیند روی توان و تاخیر نرمالیزه شده مدار پیشنهادی نوع دوم در یک گیت OR با ٦٤ ورودی..... ٦٤
شکل ٤-١١ تغییرات توان و تاخیر نرمالیزه شده مدار پیشنهادی نوع دوم در اثر تغییر ولتاژ تغذیه ٦٤
شکل ٤-١٢ اثر تغییر دما روی توان و تاخیر نرمالیزه شده مدار پیشنهادی نوع دوم ٦٥
شکل ٥-١ مفهوم مدار دومینو پیشنهادی CCD..... ٦٨
شکل ٥-٢ مدار CCD برای پیاده سازی گیتهای عریض ٧٠
شکل ٥-٣ شکل موجهای یک گیت OR ٣٢ ورودی با استفاده از مدار پیشنهادی..... ٧٦
شکل ٥-٤ رابطه بین FOM نرمالیزه شده مدار پیشنهادی با تعداد ورودیها..... ٧٩
شکل ٥-٥ رابطه بین تاخیر و توان نرمالیزه شده مدار پیشنهادی با تعداد ورودیها در UNG یکسان..... ٧٩
شکل ٥-٦ مقایسه ای از توان نشتی نرمالیزه شده مدارها برحسب تعداد درون دهی در تاخیر یکسان ٨٠
شکل ٥-٧ رابطه بین تاخیر، توان و UNG نرمالیزه شده مدار پیشنهادی در دو تکنولوژی متفاوت..... ٨٢
شکل ٥-٨ اثر تغییرات روی تاخیر نرمالیزه شده CCD: (الف) اثر تغییر فرآیند و دما، (ب) اثر تغییر ولتاژ تغذیه..... ٨٣
شکل ٦-١ پیکره بندی رجیستر فایل ٦٤ کلمه ٣٢ بیتی (٢kb)..... ٨٨
شکل ٦-٢ درایورهای دومینو D1 برای سیگنالهای انتخاب خواندن / نوشتن ٨٨
شکل ٦-٣ سلول متقارن یک بیت از رجیستر فایل..... ٨٩
شکل ٦-٤ نمای مداری: (الف) خط بیت محلی (LBL) و (ب) خط بیت سراسری (GBL) ٩٠
شکل ٦-٥ پیاده سازی خط بیت محلی با استفاده از مدارهای پیشنهادی (الف) CKCCD و (ب) CCD..... ٩٠
شکل ٦-٦ سازمان دهی حافظه کش تداعیگر با استفاده از CAM برای ذخیره نشانه [٥]..... ٩٢
شکل ٦-٧ مدار سلول CAM [٥]: (الف) ٩ ترانزیستوری، (ب) ١٠ ترانزیستوری ٩٢
شکل ٦-٨ مقایسه کننده نشانه و SRAM حاوی نشانه [٨]..... ٩٣
شکل ٦-٩ مقایسه کننده نشانه ٤٠ بیتی با استفاده از دومینو استاندارد (SFLD) ٩٣
شکل ٦-١٠ مقایسه کننده نشانه ٤٠ بیتی با استفاده از نوع تک خروجی مدار پیشنهادی CDL ٩٤
شکل ٦-١١ شکل موجهای مربوط به رجیستر فایل پیاده سازی شده با مدار پیشنهادیCKCCD ٩٥
شکل ٦-١٢ درصد توان مصرفی رجیستر فایل پیاده سازی شده با SFLD ٩٥
شکل ٦-١٣ اثر تغییرات دما روی تاخیر و توان نرمالیزه شده در سه دمای مختلف در فرآیند نوعی و ولتاژ ١ V ٩٧
شکل ٦-١٤ اثر تغییر ولتاژ تغذیه روی تاخیر و توان نرمالیزه شده در دمای $110^{o}C$ و فرآیند نوعی..... ٩٧
شکل ٦-١٥ اثر تغییر فرآیند روی تاخیر و توان نرمالیزه شده رجیستر فایلهای مورد بررسی ٩٨
شکل ٦-١٦ شکل موجهای مقایسه کننده نشانه پیاده سازی شده با مدار پیشنهادی CDL..... ٩٩
شکل ٦-١٧ رابطه بین تاخیر و توان مصرفی مقایسه کننده نشانه طراحی شده با مدار پیشنهادی بر حسب تعداد ورودیها در UNG یکسان..... ١٠٠
شکل ٦-١٨ اثر تغییر دما روی تاخیر و توان مصرفی در سه دمای مختلف..... ١٠١
شکل ٦-١٩ اثر تغییر ولتاژ روی تاخیر و توان مصرفی در دمای $110^{o}C$..... ١٠١
شکل ٦-٢٠ اثر تغییر فرآیند روی تاخیر و توان مصرفی مقایسه کننده نشانه ١٠٢

فهرست جدول ها

جدول ۳-۱ اندازه همه ترانزیستورهای مدار پیشنهادی CKCCD برای گیتهای OR با ۸، ۱۶، ۳۲ و ٦٤ ورودی بر حسب حداقل طول (Lmin) ۳۷
جدول ۳-۲ تعداد ترانزیستورها و مقادیر نرمالیزه شده UNG، مساحت و توان طرحهای مداری مختلف برای گیت OR با ۳۲ ورودی ۳۹
جدول ۳-۳ مقایسه UNG های نرمالیزه شده در تاخیر یکسان ٤۰
جدول ۳-٤ مقایسه توان های مصرفی نرمالیزه شده در تاخیر یکسان ٤۱
جدول ٤-۱ اندازه ترانزیستورهای مدار پیشنهادی در گیتهای OR با تعداد ورودی متفاوت ۵۸
جدول ٤-۲ تعداد ترانزیستورها و مقادیر نرمالیزه شده UNG، سطح مصرفی، توان و FOM مربوط به گیتهای OR با ۳۲ ورودی ٦۰
جدول ۵-۱ اندازه ترانزیستورهای مدار پیشنهادی (CCD) برای گیت OR با ۸، ۱٦، ۳۲ و ٦٤ ورودی ۷٦
جدول ۵-۲ مقایسه UNG های نرمالیزه شده به UNG مدار SFLD در تاخیر یکسان ۷۷
جدول ۵-۳ مقایسه توان مصرفی نرمالیزه شده به طرح SFLD در تاخیر یکسان ۷۸
جدول ۵-٤ مقایسه FOM نرمالیزه شده گیت OR با ٦٤ ورودی در تاخیر یکسان ۷۸
جدول ۵-۵ اثر تغییرات ولتاژ آستانه ناشی از تغییرات فرآیند روی تاخیر گیت OR با ٦٤ ورودی ۸۱
جدول ۵-٦ اثر تغییرات ولتاژ آستانه ناشی از تغییرات فرآیند روی توان مصرفی گیت OR با ٦٤ ورودی ۸۲
جدول ٦-۱ مقایسه FOM های نرمالیزه شده مربوط به رجیستر فایلها ۹٦
جدول ٦-۲ مقایسه FOM نرمالیزه شده مقایسه کننده های نشانه ۹۹

فصل اول

مقدمه

۱- مقدمه

در سالهای اخیر، سیستم‌های الکترونیکی قابل حمل محبوبیت بسیاری پیدا کرده‌اند. یک فاکتور مهم در وزن و اندازه این‌گونه قطعات، حجم باتریها است که مستقیماً متاثر از مصرف توان مدارهای الکترونیکی آنها می باشد. بنابراین دستگاه های قابل حمل باید طوری طراحی شوند که به کمترین ولتاژ و توان مصرفی احتیاج داشته باشند چرا که توان مصرفی بالا باعث افزایش قطعات جانبی برای حذف اثرات دمایی و افزایش قابلیت اطمینان سیستم می‌شود و نیز باعث کاهش طول عمر قطعه و باتری می‌گردد. هزینه تولید توان و مسئله خنک‌سازی حتی در کاربردهای غیرقابل حمل (که به منبع توان دسترسی دارند)، انگیزه اصلی کاهش توان شده است. این مسئله در مورد سیستم‌های پیچیده‌تر مانند ریزپردازنده‌ها بدلیل حجم عملیات اجرایی بسیار زیاد آنها حادتر است چراکه مصرف توان و نیز گرمای تولیدی توسط آنها زیاد می‌باشد. بنابراین افزایش سطح تراشه و نیز استفاده از گرماخور و تجهیزات جانبی الزامی است.

در فناوریهای جدید کاهش توان مصرفی موضوع مهمی در کاربردهای ولتاژ- پایین، توان- پایین و عملکرد بالا شده است. این مساله در کاربردهای قابل حمل[1] مثل گوشیهای تلفن یا لپ تاپ ها که همواره به منبع توان نامحدود دسترسی ندارند اهمیت بیشتری پیدا کرده است زیرا ممکن است زمان زیادی بیکار باشند که در این حالت عمده توان مصرفی مربوط به توان نشتی می باشد. از سوی دیگر با ادامه روند کاهش طول کانال، جریانهای نشتی افزایش می یابند که بین این جریانها، جریان نشتی زیرآستانه بطور نمایی زیاد می شود. این امر باعث می شود که جریانهای نشتی زیرآستانه مولفه بسیار زیادی از کل توان تلفاتی را تشکیل بدهند. مشکل نشتی فناوریهای جدید در گیتهای با درون دهی[2] بسیار زیاد که نوعا در رجیستر فایلهای ریزپردازنده ها و سایر مدارهای دارای ورودی زیاد استفاده می شوند، مهمتر می شود زیرا روی عملکرد سیستم تاثیر بسزایی می گذارد [۱، ۲]. به عنوان مثال رجیستر- فایلها که یکی از مهمترین ماژولها در مسیر بحرانی ریزپردازنده های مدرن می باشند به گیتهای عریض[3] (درون دهی بسیار زیاد) جهت انتخاب یک رجیستر نیاز دارند. بنابراین طراحی گیتهایی با درون دهی بالا مخصوصا گیتهای OR و AND-OR مورد توجه محققان قرار گرفته است [۳، ٤]. در نتیجه تکنیکهای جدیدی برای طراحی مدارها جهت کار در تکنولوژیهای جدیدتر CMOS مقیاس نانو مورد نیاز می باشند.

با توجه به آنچه که گفته شد در این نگارش ابتدا به روشهای کاهش توان با توجه به منابع ایجاد توان پرداخته می شود سپس خانواده های منطقی پویای متداول در CMOS در مدارهای تک خروجی یا تک خطی[4] و مدارهای دو خطی[5] یا تفاضلی[6] بررسی می گردند. همچنین کارهای انجام شده توسط سایر محققین در متون علمی بر روی این

1- portable
2- fan-in
3- wide gate
4- single-rail
5- dual-rail
6- differential

خانواده های منطقی معرفی می شوند. در انتها چندین مدار با یک خروجی و نیز با خروجی تفاضلی جهت بهبود منطق پویا در سطح مدار پیشنهاد می گردد.

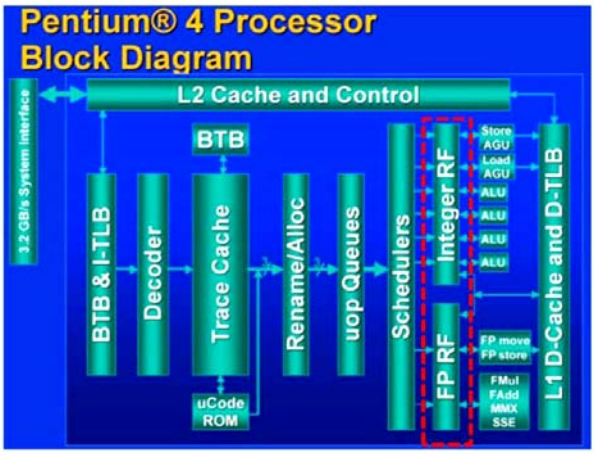
۱-۱ هدف از نگارش این رساله

بسیاری از کاربردها بطور گسترده از منطق پویا مخصوصا منطق دومینو به منظور دستیابی به عملکرد[1] بالا استفاده می کنند چرا که خانواده های منطقی از نوع ایستا نمی توانند به چنین عملکردهایی برسند [۵، ٦]. با این وجود مشکل اصلی خانواده های منطقی پویا این است که در مقایسه با خانواده های منطقی ایستا نسبت به نویز بسیار حساس تر می باشند. از سوی دیگر با کاهش مقیاس فناوری، ولتاژ تغذیه و ولتاژ آستانه ترانزیستورها کاهش می یابد تا توان مصرفی کمتر و عملکرد بالاتر حاصل شود. با این حال کاهش ولتاژ آستانه باعث افزایش نمایی جریان نشتی زیر آستانه و در نتیجه کاهش بیشتر مصونیت در برابر نویز می گردد. بنابراین کاهش جریان نشتی و بهبود مصونیت در برابر نویز در نسلهای اخیر فناوری به موضوع مهمی در طراحی مقاوم و با عملکرد بالا مخصوصا در گیتهای پویای با درون- دهی بالا تبدیل شده اند [۲،۱]. این گیتهای عریض کاربردهای فراوانی دارند از جمله: در مسیر خواندن رجیستر فایلها، PLA ها [۷]، خطوط انطباق[2] در حافظه های با آدرس پذیری محتوایی (CAM)[3]، مقایسه کننده های نشانه[4] [۸] درحافظه های نهان[5]، مالتی پلکسر و دی مالتی پلکسرهای عریض استفاده می شوند.

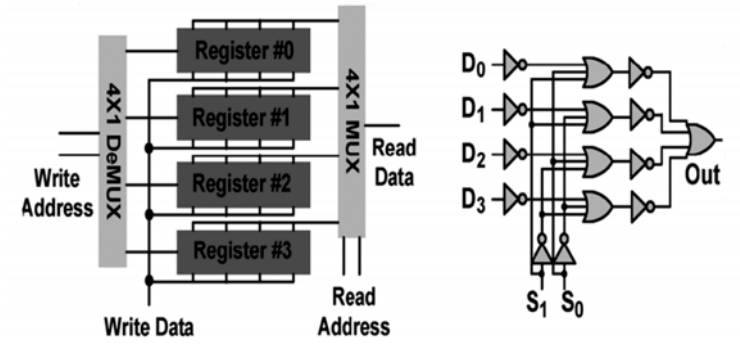
یکی از مهمترین این کاربردها، رجیستر فایلها هستند که اهمیت بسزایی در ریزپردازنده های مدرن دارند زیرا یکی از حساس ترین ماژولها در مسیر بحرانی ریزپردازنده ها به حساب می آیند [۳، ٤]. کار یک رجیستر فایل ذخیره سازی متغیرهای موقتی[6] و میانی[7] می باشد که در اجرای یک توالی از دستورات استفاده می شوند. شکل ۱-۱ مربوط به بلوک دیاگرام پردازنده پنتیوم ٤ اینتل می باشد [۹] که شامل دو رجیستر فایل در مسیر داده می باشد. این رجیستر فایلها، رجیستر فایل صحیح[8] و دیگری ممیز شناور[9] می باشند که به ترتیب با Integer RF و FP RF بر روی شکل مشخص شده اند. از آنجاییکه با اجرای هر دستور، داده از این رجیستر فایلها خوانده یا درون آنها نوشته می شود، طراحی رجیستر فایلهای سریع برای بالا بردن عملکرد ریزپردازنده ها در حین اجرای عملیات ها حیاتی می باشد [۳].

شکل ۱-۲ (الف) بلوک دیاگرام یک رجیستر فایل ساده شده را نشان می دهد که شامل آرایه ای از رجیسترهای متشکل از سلولهای حافظه با دسترسی تصادفی ایستا (SRAM)، یک درگاه[10] برای خواندن و یک درگاه برای نوشتن می باشد. رجیستر فایلها معمولا دارای چندین درگاه برای خواندن و نوشتن می باشند و تعداد رجیسترهای آنها

1- performance
2- match lines
3- Content Addressable Memory
4- tag comparators
5- cache
6- temporary
7- intermediate
8- integer register file
9- floating point register file (FP RF)
10-port



شکل ۱-۱ بلوک دیاگرام پردازنده پنتیوم ٤ اینتل [۹]



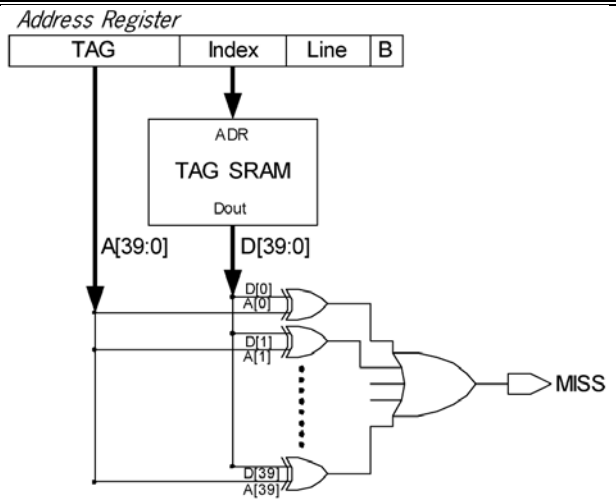
(الف) (ب)

شکل ۱-۲ (الف) بلوک دیاگرام یک رجیستر فایل ساده و (ب) تحقق درگاه خواندن با استفاده از یک مالتی پلکسر ۱×٤ [۳]

خیلی زیاد می باشد. معمولا درگاه های خواندن و نوشتن به ترتیب با استفاده از مدارهای مالتی پلکسر و دی مالتی پلکسر پیاده سازی می شوند. مدارهای مالتی پلکسر و دی مالتی پلکسر نیز مطابق شکل ۱-۲ (ب) نوعا با استفاده از گیتهای OR و معکوس کننده پیاده سازی می شوند. شکل ۱-۲ (ب) یک مالتی پلکسر ۱×٤ ساده را نشان می دهد که ٤ تا خط ورودی (D_0 تا D_3)، ۲ بیت خط آدرس (S_0 و S_1) و یک خروجی (Out) دارد. بنابراین یک رجیستر فایل با 2^n رجیستر به n بیت خط آدرس و در نتیجه به 2^n گیت OR با n+1 ورودی و به یک گیت OR با 2^n ورودی نیاز دارد [۱۰].

یکی دیگر از کاربردهای مهم گیتهای عریض در مقایسه کننده های نشانه می باشد که در حافظه های نهان استفاده می شوند. نیاز روز افزون به انجام سریعتر محاسبات، فرکانس ساعت را به فراتر از ۱ گیگاهرتز افزایش داده و فضای آدرس فیزیکی را به بیش از ۵۰ بیت برای ریزپردازنده های ٦٤ بیتی رسانده است، دسترسی به حافظه نهان داخل تراشه[1] یکی از اصلی ترین مسیرهای بحرانی ریزپردازنده های کنونی شده است. این دسترسی شامل یک مقایسه کننده نشانه، یک حافظه SRAM حاوی نشانه و یک حافظه SRAM حاوی داده می باشد. به دلیل اینکه مقایسه

1- on-die cache



شکل ۱-۳ بلوک دیاگرام یک مقایسه کننده نشانه [۸]

کننده نشانه، سیگنالهای برد/ باخت[1] را برای کنترلر حافظه نهان فراهم می کند، دسترسی به حافظه SRAM حاوی نشانه نمی تواند بصورت موازی با مقایسه کننده اجرا شود. بنابراین ابتدا باید عمل مقایسه بوسیله مقایسه کننده های نشانه انجام شود سپس در صورت انطباق دسترسی به حافظه داده صورت گیرد.

یک ریزپردازنده ٦٤ بیتی با آدرس فیزیکی ۵۰ بیتی به یک مقایسه کننده نشانه ٤۰ بیتی نیاز دارد. شکل ۱-۳ یک مقایسه کننده نشانه ٤۰ بیتی را نشان می دهد که از یک گیت XOR با ۲ ورودی و یک گیت OR ٤۰ بیتی تشکیل شده است. ورودیهای A[39:0] از میدان نشانه[2] در رجیستر آدرس و ورودیهای D[39:0] از حافظه SRAM حاوی نشانه گرفته می شوند. از آنجاییکه همه سیگنالهای خروجی حافظه SRAM سیگنالهای پیش بار شده هستند، از منطق دومینو بطور گسترده ای در طراحی مقایسه کننده های نشانه استفاده می شود [۸].

با توجه به آنچه که گفته شد برای تحقق رجیستر فایلهای بزرگ و نیز مقایسه کننده های نشانه که در ریزپردازنده های نسل جدید بسیار حیاتی هستند، به گیتهای OR با درون دهی زیاد نیاز است. از این رو گیتهای OR با ورودی زیاد یکی از مهمترین بلوکهای سازنده برای پیاده سازی ماژولهای با عملکرد بالا می باشند. با این وجود استحکام[3] و عملکرد گیتهای عریض با افزایش نشتی در فناوریهای جدید کاهش می یابد و تاخیر انتشار آنها نیز با افزایش درون دهی زیاد می شود [۱۱]. بنابراین هدف این رساله، ارائه تکنیکهای مداری است که بتوانند استحکام در برابر نویز گیتهای عریض را افزایش و توان مصرفی آنها را کاهش دهند بدون آنکه سرعت آنها کاهش قابل توجهی داشته باشد و یا سطح مصرفی بطور چشمگیری زیاد گردد.

۱-۲ عوامل موثر در توان مصرفی

برای طراحی مدارهای VLSI توان پایین ابتدا باید مولفه های موثر در توان مصرفی را شناخت. با توجه به معادله های (۱-۱) و(۱-۲) توان تلفاتی در مدارهای دیجیتالی CMOS از سه قسمت عمده تشکیل شده است: توان پویا

1- hit/miss signals
2 - tag field
3 - robustness

ناشی از شارژ و دشارژ ظرفیت های خازنی گره‌های مدار، توان اتصال کوتاه ناشی از جریانهای اتصال کوتاه و توان ایستای ناشی از جریانهای نشتی.

$$P_{avg/gate} = P_{switching} + P_{short-circuit} + P_{leakage} \quad (۱-۱)$$

$$= \alpha_{0\to1} C_L V_{swing} V_{DD} f_{clk} + I_{sc} V_{DD} + I_{leakage} V_{DD} \quad (۱-۲)$$

قسمت اول یعنی $P_{switching}$ بیانگر مولفه سوئیچینگ یا دینامیکی توان است که در آن C_L ظرفیت خازنی، V_{swing} مقدار نوسان ولتاژ، f_{clk} فرکانس ساعت و $\alpha_{0\to1}$ فاکتور فعالیت گذر گره (متوسط دفعاتی که گره در یک دوره ساعت گذر انجام می دهد و توان مصرف می کند) می باشد. این مؤلفه توان مصرفی هنگامی بوجود می‌آید که بار خازنی مدار از طریق ترانزیستورهای PMOS با گذر از سطح صفر به یک شارژ می‌شود. با توجه به معادله (۱-۲) توان هر سوئیچینگ در مدارهای CMOS، با توان دوم ولتاژ رابطه دارد بنابراین کاهش سطح ولتاژ تأثیر بسیار مهمی در مصرف توان دارد. متاسفانه کاهش V_{DD} به بهای از دست دادن سرعت است بطوریکه با کاهش V_{DD} تا نزدیکی ولتاژ آستانه افزاره ها، تاخیر افزایش می‌یابد.

از آنجائیکه هدف، کاهش توان مصرفی با ثابت نگهداشتن عملکرد کل سیستم است، دردسر مهم طراحان VLSI کاهش ولتاژ منبع تغذیه و تا حد امکان پایین نگهداشتن تاخیر انتشار است. از این رو جبران سازی افزایش تاخیرها در ولتاژهای پایین ضروری است. معماری خط لوله ای- موازی با استفاده از موازی سازی عملیاتها، تاخیر گیتها را در ولتاژهای پایین جبران کرده و محدودیتهای مربوط به عملکرد را کاهش می دهد. راه حل دیگر جهت کاهش ولتاژ تغذیه بدون از دست دادن عملکرد، تعدیل ولتاژ آستانه افزاره ها است. کاهش ولتاژ آستانه منجر به کاهش ولتاژ منبع تغذیه و در نتیجه کاهش توان سوئیچینگ بدون از دست دادن سرعت می شود. با در نظر گرفتن این نکته که با استفاده از افزاره های با ولتاژ آستانه کم بهبود چشمگیری در توان سوئیچینگ و تاخیر حاصل می‌شود این سوال پیش می‌آید که تا چه اندازه می توان ولتاژ آستانه افزاره ها را کم کرد یا چه عواملی این کاهش را محدود می کنند؟ در واقع محدودیت ایجاد شده مربوط به افزایش جریان نشتی و کاهش حاشیه نویز با کم شدن ولتاژ آستانه افزاره ها می باشد. در چنین طرحهایی افزایش جریانهای نشتی مخصوصا جریانهای نشتی زیر آستانه باعث افزایش چشمگیر توان تلفاتی ایستا و کاهش حاشیه نویز می‌شوند. بدین ترتیب در نرخ ساعت مشخص با کاهش ولتاژ آستانه، ولتاژ منبع تغذیه و در نتیجه مولفه سوئیچینگ توان کاسته می‌شود. از سوی دیگر کاهش ولتاژ آستانه منجر به افزایش جریان نشتی، افزایش توان ایستا و کاهش مصونیت در برابر نویز می شود. بنابراین انتخاب ولتاژ آستانه بهینه همراه با مصالحه‌ای بین بهبود تاخیر در ولتاژ پایین و کنترل نشتی زیر آستانه می باشد.

جمله دوم ($P_{short-circuit}$) بیانگر جریان اتصال کوتاه ناشی از ایجاد مسیر مستقیم بین منبع ولتاژ و زمین است و هنگامی اتفاق می افتد که مثلا در یک معکوس کننده هردو ترانزیستور NMOS و PMOS با همدیگر روشن شده و جریان مستقیما از منبع به زمین جاری شود. علت ایجاد چنین حالتی در معکوس کننده ها، زمانهای افت و خیز شکل موجهای ورودی آنها می باشد که باعث ایجاد یک مسیر مستقیم بین منبع تغذیه و زمین برای مدت کوتاهی می‌شود. باید توجه داشت که مولفه سوئیچینگ توان مصرفی برخلاف توان اتصال کوتاه مستقل از زمانهای افت و

خیر سیگنالهای ورودی بوده و تنها متناظر با مقدار انرژی مورد نیاز برای شارژ خازنهای پارازیتی است. جریانهای اتصال کوتاه هنگامی مهم می شوند که زمان افت و خیز در ورودی یک گیت بسیار بزرگتر از زمان افت و خیز خروجی باشد زیرا مسیر اتصال کوتاه برای مدت طولانی‌تری فعال خواهد بود. به منظور مینیمم سازی متوسط کل جریان اتصال کوتاه، بهترین حالت مساوی بودن زمانهای صعود و نزول سیگنالهای ورودی و خروجی است. در این حالت توان مصرفی ناشی از جریان اتصال کوتاه نوعا ۱۰٪ کل توان دینامیکی است. نکته قابل توجه این است که اگر منبع تغذیه کمتر از مجموع ولتاژهای آستانه ترانزیستورها شود ($V_{DD} < V_{tn} + |V_{tp}|$) جریان اتصال کوتاه حذف می شود زیرا به ازای هر ورودی دو افزاره معکوس کننده نمی‌توانند همزمان روشن باشند [۱۲].

علاوه بر معکوس کننده ها و مدارهای منطقی ایستا که در آنها امکان ایجاد جریان اتصال کوتاه وجود دارد، در مدارهای دینامیکی که از ترانزیستور نگهدارنده[1] برای حفظ عملکرد درست مدار استفاده می کنند نیز امکان ایجاد چنین جریانی وجود دارد. این جریان که به جریان تنازعی[2] معروف می باشد هنگامی ایجاد می شود که همزمان این ترانزیستور و ترانزیستورهای شبکه ارزیابی با هم روشن باشند. بنابراین افزایش اندازه ترانزیستور نگهدارنده به منظور افزایش مصونیت در برابر نویز باعث افزایش جریان تنازعی و در نتیجه افزایش توان اتصال کوتاه می گردد.

جمله آخر ($P_{leakage}$) نیز ناشی از جریان نشتی ($I_{Leakage}$) است که شامل جریانهای نشتی گیت، زیر لایه و زیرآستانه می باشد و عمدتاً توسط ملاحظات فناوری ساخت تعیین می‌شوند [۱۳]. جریان نشتی به طور چشمگیری با کوچک شدن طول کانال در فناوری های جدید و همچنین با افزایش دما زیاد می شود که در نتیجه آن مصونیت در برابر نویز و استحکام مداری کم می گردد. توان نشتی برای سیستمی حادتر می‌شود که اکثر زمانش را در حالت آماده به کار[3] یا خواب سپری می‌کند چرا که این توان همیشه تلف می‌شود حتی هنگامی که هیچ گذری در گره ها رخ نمی دهد.

۱-۳ کاهش مصرف توان در مدارهای دیجیتال

در کاربردهای توان-پایین مثل سیستم های قابل حمل که با باتری تغذیه می‌شوند و یا در سیستمهای ساکن مانند شبکه های سنسوری بیسیم[4] که دسترسی به منبع توان به آسانی امکان پذیر نمی باشد، کاهش توان مصرفی دارای اهمیت خاصی است و اگر در کاربرد مورد نظر طول عمر زیاد باتری مهم باشد تنها قسمتهایی که فعال[5] هستند باید توان مصرف کنند و بقیه قسمتها باید به خواب[6] بروند. قسمتهایی که فعال هستند باید توان تلفاتی کمی داشته باشند و برای قسمتهایی که می خواهند به خواب بروند، مدار حالت خواب باید به راحتی و به تدریج شروع به کار کند بدین معنا که هیچ جریان اتصال کوتاهی نباید از مدار عبور کند [۱۲].

1- keeper transistor
2 - contention current
3 - standby
4 - wireless sensor network
5 - active
6 - sleep

روشهای مینیمم سازی مصرف توان در سیستم‌های دیجیتال در برگیرنده بهینه سازی در همه سطوح طراحی است. این بهینه سازی شامل فناوری مورد استفاده برای پیاده‌سازی مدارهای دیجیتال، نوع توپولوژی مدار، نوع معماری مورد نظر برای پیاده سازی مدار و در بالاترین سطح، الگوریتم‌های پیاده سازی می‌باشد. مهمترین ملاحظه در فناوری مربوط به ولتاژ آستانه و کنترل آن است که کاهش منبع ولتاژ را بدون اثر چشمگیر در سرعت میسر می‌سازد. کاهش بیشتر منبع تغذیه را می‌توان با استفاده از استراتژی کاهش ولتاژ براساس نوع خاصی از معماری بدست آورد [۱۲]. این نوع معماری از معماری خط لوله‌ای و موازی جهت مصالحه بین سطح سیلیکون و کاهش توان استفاده می‌کند. بدلیل اینکه عمده انرژی تنها هنگامی مصرف می‌شود که خازن سوئیچ شود، بنابراین توان با مینیمم‌سازی ظرفیت خازنی از طریق کم کردن عملیات، استفاده از وابستگی بین سیگنالها، همزمان سازی مجدد جهت کاهش پرش (glitch)، طراحی در سطح منطق، طراحی در سطح مدار و طراحی فیزیکی مناسب کاهش می‌یابد.

با توجه به مطالب ذکر شده، در فناوریهای جدید همه مولفه های توان مهم می باشند بنابراین در این رساله به هر سه مولفه توان و عوامل آن توجه شده است تا با کاهش اثر عوامل بوجود آورنده آنها، توان مصرفی مدارهای دیجیتال کم شود. این اقدامات در سطح مدار بوده و شامل: کاهش جریان نشتی، کاهش جریان تنازعی، کاهش مقدار نوسان ولتاژ و کاهش ظرفیت خازنی گره متصل به ترانزیستور نگهدارنده می باشد.

ادامه ساختار این رساله به شرح زیر می باشد. در فصل دوم، کارهای پیشین مورد بررسی قرار گرفته اند. در فصول سوم تا پنجم، تکنیکهای مداری پیشنهاد شده اند که به ترتیب با کاهش جریان تنازعی، کاهش میزان نوسان ولتاژ و کاهش ظرفیت خازنی گره متصل به ترانزیستور نگهدارنده باعث کم شدن توان مصرفی گیتهای عریض می شوند. در فصل ششم، چگونگی کاهش توان ریزپردازنده ها با استفاده از طرحهای پیشنهادی شرح داده می شود. در نهایت در فصل هفتم، نتیجه گیری و پیشنهادهایی برای ادامه کار آورده شده است.