٨٧١٠١٨

بسم الله الرحمن الرحيم

١٠٨٣٠٥

دانشگاه اصفهان

دانشکده فنی و مهندسی

گروه کامپیوتر

پایان‌نامه‌ی کارشناسی ارشد رشته مهندسی کامپیوتر گرایش معماری سیستم‌های کامپیوتری

طراحی مدارهای جمع‌کننده و ضرب‌کننده ۸ بیتی برگشت‌پذیر

استاد راهنما:

دکتر عباس وفائی

پژوهشگر:

فاطمه نادرپور

مهر ماه ۱۳۸۷

۱۳۸۷ /۹/ ۲۳

۱۰۸۳۰۵

کلیه حقوق مادی مترتب بر نتایج مطالعات، ابتکارات و نوآوری‌های ناشی از تحقیق موضوع این پایان‌نامه متعلق به دانشگاه اصفهان است.

شیوه نگارش پایان نامه
رعایت شده است.
تحصیلات تکمیلی دانشگاه اصفهان

دانشگاه اصفهان

دانشکده فنی و مهندسی

گروه کامپیوتر

پایان‌نامه‌ی کارشناسی ارشد رشته مهندسی کامپیوتر گرایش معماری سیستم‌های کامپیوتری خانم فاطمه نادرپور تحت عنوان

طراحی مدارهای جمع‌کننده و ضرب‌کننده ۸ بیتی برگشت‌پذیر

در تاریخ ۱۳۸۷/۷/۷ توسط هیأت داوران زیر بررسی و با درجه عالی به تصویب نهایی رسید.

۱- استاد راهنمای پایان نامه دکتر عباس وفائی با مرتبه‌ی علمی استادیار امضا

۲- استاد داور داخل گروه دکتر سید امیرحسن منجمی با مرتبه‌ی علمی استادیار امضا

۳- استاد داور خارج از گروه دکتر پیمان معلم با مرتبه‌ی علمی استادیار امضا

امضای مدیر گروه

تقدیر و تشکر

سپاس بی‌کران پروردگار یکتا را که هستی‌یمان بخشید و به طریق علم و دانش رهنمونمان شد و به همنشینی رهروان علم و دانش مفتخرمان نمود و خوشه‌چینی از علم و معرفت را روزیمان ساخت. اکنون به پاس نعمات بی‌حد پروردگار بر خود لازم می‌دانم سپاس‌گذار تمام عزیزانی باشم که در برابر سختی‌ها و ناملایمات روزگار یاریم نمودند.

مراتب سپاس صمیمانه خود را از استاد فرزانه‌ام جناب آقای دکتر عباس وفائی دارم که در تمام مراحل این پژوهش با رهنمودهای ارزنده خود راهگشای اینجانب بوده‌اند.

شایسته است از پشتیبانی، همراهی و دلگرمی‌های جاودانه پدر و مادر عزیزم تقدیر و سپاس ویژه نمایم. بی‌شک خرسندی آنان نمایش جاودانه پیروزی‌هایم است.

فاطمه نادرپور

چکیده

امروزه کاربرد منطق برگشت‌پذیر در تکنولوژی‌های مختلف نظیر مدارهای کوانتومی، طراحی مدارهای کم مصرف CMOS و . . . توجه مهندسان را به خود جلب کرده است؛ بطوریکه بعنوان مثال ساخت کامپیوترهای کوانتومی بدون استفاده از مدارهای برگشت‌پذیر امکان‌پذیر نیست. در منطق برگشت‌پذیر سنتز مدارها متفاوت از منطق کلاسیک است. در طراحی برگشت‌پذیر سه معیار برای سنجش میزان کارایی و پیچیدگی مدار وجود دارد که عبارتند از: هزینه کوانتومی، عمق و تعداد خروجی‌های اضافه مدار. برای محاسبه مقدار این معیارها پیاده‌سازی مدار را با استفاده از دریچه‌های کوانتومی پایه در نظر می‌گیریم. دریچه‌های NOT، CNOT، Controlled- V و Controlled- V^+ از جمله در دریچه‌های پایه منطق برگشت‌پذیراند.

از طرف دیگر در واحد محاسباتی کامپیوترها، دو عمل جمع و ضرب بعنوان عملیات اصلی به شمار می‌آیند. برای ساخت کامپیوترهای کوانتومی طراحی این دو واحد به صورت برگشت‌پذیر ضروری است. از اینرو ما در این پژوهش به بررسی و طراحی این دو واحد پرداخته‌ایم. در بخش جمع‌کننده‌ها چهار نوع جمع‌کننده اصلی انتشار زقم‌نقلی، پیش‌بینی رقم‌نقلی، Carry Select و Carry Skip را به صورت برگشت‌پذیر برای عملوندهای ۸ بیتی طراحی کرده‌ایم و با مقایسه این طرح‌ها مناسب‌ترین نوع جمع‌کننده را از نظر معیارهای پیچیدگی مدار تعیین نموده‌ایم. سپس در ادامه تحقیق، به طراحی مدارهای ضرب‌کننده موازی پرداخته‌ایم. طرح‌های قبلی ارائه شده برای این نوع ضرب‌کننده‌ها را بطور کامل مورد بررسی قرار داده‌ایم؛ سپس طراحی جدیدی ارائه کرده‌ایم که نسبت به کارهای قبلی از نظر عمق در حدود ۲۷٪ بهبود داشته است.

کلید واژه : منطق برگشت‌پذیر، هزینه کوانتومی، عمق مدار، جمع‌کننده برگشت‌پذیر، ضرب‌کننده برگشت‌پذیر

فهرست مطالب

عنوان صفحه

فصل اول: مقدمه

۱-۱ مقدمه‌ای بر موضوع تحقیق ۱

۱-۲ بیت کوانتومی ۶

فصل دوم: مدارهای برگشت‌پذیر

۲-۱ مقدمه ۸

۲-۲ معیارهای پیچیدگی مدار در منطق برگشت‌پذیر ۱۰

۲-۳ دریچه‌های برگشت‌پذیر ۱۲

۲-۳-۱ دریچه تک‌بیتی NOT ۱۲

۲-۳-۲ دریچه‌های دوبیتی ۱۳

۲-۳-۳ دریچه‌های ۳ بیتی ۱۶

فصل سوم: جمع‌کننده‌های برگشت‌پذیر

۳-۱ مقدمه ۲۱

۳-۲ نیم جمع‌کننده و تمام جمع‌کننده در منطق برگشت‌پذیر ۲۲

۳-۳ طراحی برگشت‌پذیر انواع جمع‌کننده‌ها ۲۷

۳-۳-۱ جمع‌کننده انتشار رقم‌نقلی ۲۸

۳-۳-۲ جمع‌کننده پیش‌بینی رقم‌نقلی ۳۰

۳-۳-۳ جمع‌کننده Carry Skip ۳۸

۳-۳-۴ جمع‌کننده Carry Select ۴۳

۳-۴ مقایسه انواع جمع‌کننده‌ها ۴۷

فصل چهارم: ضرب‌کننده‌های برگشت‌پذیر

۴-۱ مقدمه ۴۸

۴-۲ اصول کلی ضرب‌کننده‌های موازی ۵۰

۴-۳ بررسی کارهای پیشین ۵۱

عنوان | صفحه

۴-۳-۱ ضرب‌کننده ارائه شده در [Thap۰۶] ۵۱

۴-۳-۲ ضرب‌کننده ارائه شده در [Sham۰۸] ۵۴

۴-۳-۳ ضرب‌کننده ارائه شده در [Hagh۰۸] ۵۶

۴-۴ مدار ضرب‌کننده برگشت‌پذیر پیشنهادی ۵۸

۴-۵ مقایسه مدار ضرب‌کننده پیشنهادی با مدارهای ارائه شده پیشین ۵۹

فصل پنجم : جمع‌بندی، نتیجه‌گیری و راه‌کارهای آینده

۵-۱ جمع‌بندی و نتیجه‌گیری ۶۳

۵-۲ راه‌کارهای پیشنهادی برای ادامه کار ۶۴

منابع و مآخذ ۶۵

فهرست شکل‌ها

عنوان **صفحه**

شکل ۱-۱ قانون مور ۲

شکل ۱-۲ دریچه برگشت‌ناپذیر AND ۳

شکل ۲-۱ بلوک دیاگرام یک مدار برگشت‌پذیر ۹

شکل ۲-۲ شمای برگشت‌پذیر دریچه NOT ۱۳

شکل ۲-۳ دریچه CNOT (الف) شمای برگشت‌پذیر، (ب) جدول درستی ۱۴

شکل ۲-۴ دریچه fan-out ۱۵

شکل ۲-۵ دریچه V و V^+ ۱۵

شکل ۲-۶ الگوهای گیتی متقارن ۱۶

شکل ۲-۷ دریچه Toffoli (الف) شمای برگشت‌پذیر، (ب) پیاده‌سازی با دریچه‌های پایه ۱۶

شکل ۲-۸ دریچه Fredkin (الف) شمای برگشت‌پذیر، (ب) پیاده‌سازی با دریچه‌های پایه ۱۸

شکل ۲-۹ پیاده‌سازی تابع‌های AND، NOT و fan-out با استفاده از دریچه Fredkin ۱۹

شکل ۲-۱۰ شمای برگشت‌پذیر دریچه Peres ۱۹

شکل ۲-۱۱ پیاده‌سازی دریچه Peres با استفاده از دریچه‌های پایه ۱۹

شکل ۲-۱۲ دریچه NG (الف) بلوک دیاگرام، (ب) شمای برگشت‌پذیر ۲۰

شکل ۳-۱ پیاده‌سازی نیم جمع‌کننده با استفاده از (الف) دریچه‌های AND/XOR ۲۲
(ب) دریچه NOR، (ج) دریچه NAND با رقم‌نقلی معکوس

شکل ۳-۲ پیاده‌سازی تمام جمع‌کننده با استفاده از (الف) نیم جمع‌کننده و دریچه OR ۲۳
(ب) مدار دو سطحی AND/OR

شکل ۳-۳ مدار تمام جمع‌کننده با استفاده از دریچه Fredkin ۲۳

شکل ۳-۴ مدار تمام جمع‌کننده با استفاده از دریچه Fredkin (الف) بدون fan-out ۲۴
(ب) با سیگنال P

شکل ۳-۵ چند نمونه از مدارهای ارائه شده برای تمام جمع‌کننده ۲۴

شکل ۳-۶ روند ساده‌سازی مدار تمام جمع‌کننده ۲۵

شکل ۳-۷ مدار تمام جمع‌کننده با هزینه کوانتومی ۶ ..... ۲۶

شکل ۳-۸ مدار نیم جمع‌کننده (الف) با استفاده از دریچه‌های TOF۳ و Feynman ۲۶
(ب) با هزینه کوانتومی ۴

عنوان | صفحه

شکل ۳-۹ پیاده‌سازی دیگر مدار تمام جمع‌کننده با هزینه کوانتومی ۶ ..... ۲۶

شکل ۳-۱۰ جمع‌کننده انتشار رقم‌نقلی ۸ بیتی ۲۸

شکل ۳-۱۱ مدار برگشت‌پذیر جمع‌کننده انتشار رقم‌نقلی ۸ بیتی ۲۹

شکل ۳-۱۲ جمع‌کننده پیش‌بینی رقم‌نقلی ۴ بیتی ۳۱

شکل ۳-۱۳ جمع‌کننده پیش‌بینی رقم‌نقلی ۱۶ بیتی ۳۲

شکل ۳-۱۴ جمع‌کننده پیش‌بینی رقم‌نقلی ۸ بیتی ۳۳

شکل ۳-۱۵ پیاده‌سازی دریچه AND با استفاده از (الف) دریچه TOF۳ ..... ۳۴

(ب) دریچه Peres

شکل ۳-۱۶ پیاده‌سازی دریچه OR ۳۴

شکل ۳-۱۷ پیاده‌سازی دریچه OR^* ۳۵

شکل ۳-۱۸ مدار برگشت‌پذیر جمع‌کننده پیش‌بینی رقم‌نقلی ۸ بیتی ۳۷

شکل ۳-۱۹ شمای کلی جمع‌کننده Carry Skip ۳۹

شکل ۳-۲۰ جمع‌کننده Carry Skip ۸ بیتی ۳۹

شکل ۳-۲۱ طراحی برگشت‌پذیر یک بلوک از جمع‌کننده Carry Skip ۸ بیتی ۴۰

شکل ۳-۲۲ مدار برگشت‌پذیر جمع‌کننده Carry Skip ۸ بیتی ۴۱

شکل ۳-۲۳ مسیر بحرانی بلوک آخر جمع‌کننده Carry Skip ۸ بیتی با هدف تولید بیت S_6 ..... ۴۲

شکل ۳-۲۴ جمع‌کننده Carry Select ۸ بیتی ۴۳

شکل ۳-۲۵ مدار جمع‌کننده Carry Select با مسیر بحرانی تولید بیت‌های حاصل‌جمع ۴۵

شکل ۳-۲۶ مدار جمع‌کننده Carry Select با مسیر بحرانی تولید رقم‌نقلی ۴۶

شکل ۴-۱ شمای کلی ضرب‌کننده‌های سریال ۴۹

شکل ۴-۲ شمای کلی ضرب‌کننده‌های نیمه‌موازی ۴۹

شکل ۴-۳ شمای کلی دریچه TSG ۵۱

شکل ۴-۴ پیاده‌سازی تابع‌های (الف) NOT، (ب) XOR، (ج) NOR ارائه شده در [Thap۰۵b] ۵۱

شکل ۴-۵ پیاده‌سازی‌های پیشنهادی برای تابع‌های (الف) NOT، (ب) XOR و ۵۲

(ج) NOR با استفاده از دریچه TSG

شکل ۴-۶ دریچه TSG بعنوان تمام جمع‌کننده ۵۲

شکل ۴-۷ مدار تولید حاصلضرب‌های جزئی پیشنهاد شده در [Thap۰۶] ۵۳

عنوان | صفحه

شکل ۴-۸ روش عملکرد ضرب‌کننده برگشت‌پذیر ۴×۴ ارائه شده در [Thap۰۶] ۵۳

شکل ۴-۹ مدار کاهش حاصلضرب‌های جزئی پیشنهاد شده در [Thap۰۶] ۵۴

شکل ۴-۱۰ شمای کلی دریچه MKG ۵۴

شکل ۴-۱۱ پیاده‌سازی تابع‌های منطقی (الف) AND و NOT، (ب) NOR ۵۴
(ج) XOR و AND، (د) XNOR، (ه) OR با استفاده از دریچه MKG

شکل ۴-۱۲ دریچه MKG بعنوان تمام جمع‌کننده ۵۵

شکل ۴-۱۳ مدار تولید حاصلضرب‌های جزئی با استفاده از دریچه Peres ۵۵

شکل ۴-۱۴ مدار کاهش حاصلضرب‌های جزئی پیشنهاد شده در [Sham۰۸] ۵۶

شکل ۴-۱۵ شمای کلی دریچه (الف) HNFG و (ب) HNG ۵۶

شکل ۴-۱۶ دریچه HNFG برای کپی کردن سیگنال‌ها ۵۶

شکل ۴-۱۷ پیاده‌سازی تابع‌های (الف) OR و XNOR، (ب) XOR و NAND ۵۷
(ج) NOR، (د) AND و (ه) NOT با استفاده از دریچه HNG

شکل ۴-۱۸ دریچه HNG بعنوان تمام جمع‌کننده ۵۷

شکل ۴-۱۹ مدار ضرب‌کننده ۴×۴ پیشنهادی در [Hagh۰۸] ۵۸

شکل ۴-۲۰ روند کاهش حاصلضرب‌های جزئی به صورت نقطه‌ای ۵۹

شکل ۴-۲۱ مدار پیشنهادی کاهش حاصلضرب‌های جزئی ۵۹

فهرست جدول‌ها

عنوان **صفحه**

جدول ۱-۱ عملکرد برگشت‌ناپذیر دریچه AND ۳

جدول ۲-۱ جدول درستی تابع برگشت‌پذیر AND ۱۱

جدول ۲-۲ هزینه کوانتومی دریچه Toffoli ۱۷

جدول ۳-۱ مقدار معیارهای پیچیدگی برای تمام جمع‌کننده و نیم جمع‌کننده انتخابی ۲۷

جدول ۳-۲ هزینه کوانتومی و عمق دریچه OR ۳۴

جدول ۳-۳ هزینه کوانتومی و عمق دریچه OR^* ۳۵

جدول ۳-۴ تعداد دریچه‌های مختلف در هر سطح از مدار ۳۶

جدول ۳-۵ مقایسه چهار جمع‌کننده اصلی از نظر معیارهای پیچیدگی ۴۷

جدول ۴-۱ مقایسه مدارهای ضرب‌کننده برگشت‌پذیر ۴×۴ ..... ۶۲

فصل اول

مقدمه

۱-۱ مقدمه‌ای بر موضوع تحقیق

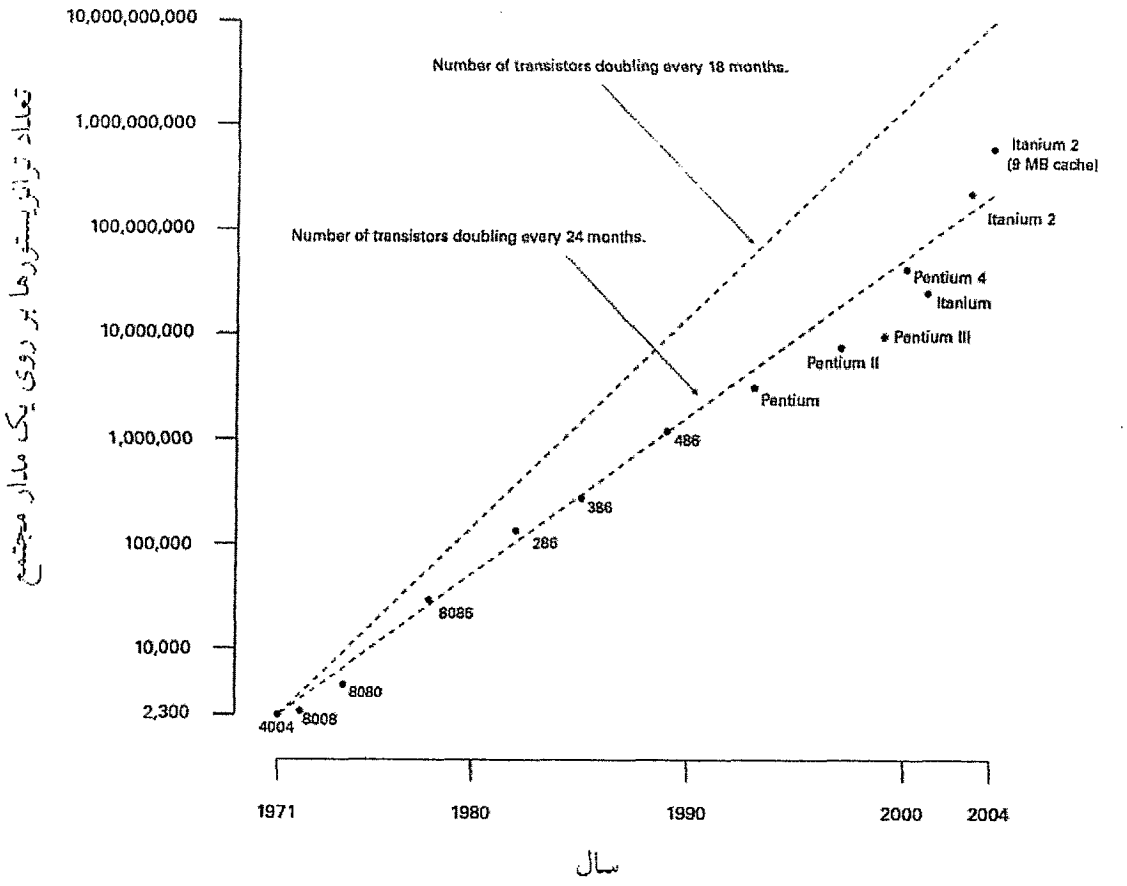
با پیشرفت تکنولوژی ساخت مدارهای مجتمع، میلیون‌ها ترانزیستور بر روی یک تراشه قرار می‌گیرد. در سال ۱۹٦۵ مُور بیان کرد که هر ۱۸ تا ۲٤ ماه تعداد ترانزیستورهایی که بر روی یک تراشه قرار می‌گیرد، ۲ برابر می‌شود. این پیش‌بینی تاکنون به واقعیت پیوسته است؛ اما به نظر می‌رسد که در سالهای آتی کُندتر شود. قابل توجه است که محدودیت اصلی در این مورد، مسائل اقتصادی است نه محدودیت‌های تکنولوژی. شکل ۱-۱ قانون مُور را نشان می‌دهد.

با فشرده شدن مدارها، چگالی توان تلفاتی زیاد و دفع حرارت ناشی از این تلفات مشکلتر می‌شود. خوشبختانه بسیاری از منابع ایجاد تلفات انرژی را می‌توان برطرف کرد. تلفات ناشی از سوئیچینگ ترانزیستورها و پُر و خالی شدن خازن‌های دریچه‌ها[1] به "تلفات دینامیک" معروفند. برای کاهش تلفات سوئیچینگ باید ترانزیستورها سریعتر شوند و برای کاهش تلفات پُر و خالی شدن خازن‌ها، باید ظرفیت خازن‌ها کمتر شود. کاهش

---

[1] Gate Capacitors

ولتاژ تغذیه نیز هر دو تلفات را کاهش می‌دهد. خوشبختانه با کوچکتر شدن ترانزیستورها همه اینها اتفاق می‌افتد یعنی خازن‌ها کوچکتر، ترانزیستورها سریعتر و ولتاژها کمتر می‌شود. بنابراین اگر فرکانس کار مدار ثابت بماند تلفات هر ترانزیستور کمتر می‌شود.



شکل ۱-۱ : قانون مُور

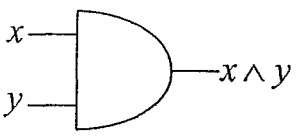
اما در سال ۱۹۶۱ لاندر[1] منبع دیگری از اتلاف انرژی را معرفی کرد که متأسفانه یا خوشبختانه هیچ ارتباطی با تکنولوژی ساخت مدار ندارد؛ یعنی حتی در حالت ایده‌آل هم این تلفات وجود دارد. اصل لاندر که اولین بار در [Land61] بحث شد، بیان می‌کند که هرگاه کامپیوتر اتلاف اطلاعات داشته باشد یعنی اطلاعاتی را در مورد حالت قبلی‌اش دور بریزد، باید متناظر با آن، مقداری آنتروپی تولید کند. کامپیوتر بایستی برای هر بیت اطلاعات که پاک می‌کند و یا دور می‌ریزد، حداقل به میزان $KT.\ln 2$ ژول انرژی تلف کند (K ثابت بولتزمن $۱٫۳۸۰۷ \times ۱۰^{-۲۳}$ و T دما برحسب درجه کلوین است) [Benn73].

[1] Landauer

برای اینکه مفهوم اتلاف اطلاعات را توضیح دهیم، بهتر است با یک مثال شروع کنیم. دریچه[1] AND شکل ۱-۲ را در نظر بگیرید. با توجه به جدول ۱-۱ این دریچه برای سه بردار ورودی $|0,0\rangle$، $|0,1\rangle$ و $|1,0\rangle$ خروجی 0 می‌دهد؛ بنابراین تنها با دانستن اینکه خروجی صفر است، نمی‌توان نتیجه گرفت که بردار ورودی چه مقداری است. در این حالت گفته می‌شود که تمامی اطلاعات ورودی در خروجی وجود ندارد و به اصطلاح "تلفات اطلاعات" داریم.

جدول ۱-۱ : عملکرد برگشت‌ناپذیر دریچه AND

X	Y	$X \wedge Y$
0	0	0
0	1	–
1	0	–
1	1	1



شکل ۱-۲ : دریچه برگشت‌ناپذیر AND

اصل لاندر در واقع می‌تواند یک نتیجه منطقی ساده از قانون دوم ترمودینامیک باشد. این قانون بیان می‌کند که آنتروپی یک سیستم بسته ثابت است و نمی‌تواند کاهش پیدا کند [Land61]. از طرف دیگر، اگر تعداد حالت‌های منطقی ممکن برای یک محاسبه، همزمان با پیشروی محاسبه کم شود (مفهوم غیربرگشت‌پذیری منطقی)، باعث کاهش غیرمجاز آنتروپی می‌گردد مگر اینکه تعداد حالتهای فیزیکی ممکن متناظر با هر حالت منطقی، همزمان افزایش پیدا کند بطوریکه آنتروپی کلی کاهش نیابد.

افزایش تعداد حالت‌های فیزیکی متناظر با هر حالت منطقی، به این معناست که برای هر ناظری که حالت منطقی سیستم (نه حالت فیزیکی) را دنبال می‌کند، تعداد حالت‌های فیزیکی ممکن افزایش یافته باشد؛ به عبارت دیگر آنتروپی از دیدگاه این ناظر افزایش یافته باشد. حداکثر آنتروپی یک سیستم فیزیکی محدود، متناهی است. بنابراین در یک محاسبه[2] برای جلوگیری از رسیدن به حداکثر مقدار، آنتروپی باید در دمای معین T به محیط بیرون رانده شود. اگر مقدار آنتروپی اضافه شده برابر S باشد، مقدار انرژی که به صورت گرما به محیط رانده می‌شود از رابطه $E = ST$ بدست می‌آید. برای یک عمل محاسباتی که در آن یک بیت اطلاعات منطقی از دست می‌رود، مقدار آنتروپی تولید شده حداقل $K.\ln 2$ است. بنابراین حداقل میزان انرژی که به صورت گرما به محیط داده می‌شود $E \geq KT.\ln 2$ است [Benn73].

---

[1] Gate
[2] Computation

این میزان اتلاف انرژی برای دمای اتاق مقدار ناچیزی است ($۲٫۸ \times ۱۰^{-۲۱}$ ژول) اما قابل چشم‌پوشی نیست؛ زیرا با توجه به قانون مُور و افزایش چشمگیر تعداد ترانزیستورها، پیش‌بینی می‌شود که در سال ۲۰۱۶ به یک محدودیت اساسی برای دفع حرارت ناشی از این اصل از مدارهای مجتمع می‌رسیم.

خوب حال که می‌دانیم این اتلاف انرژی چقدر مهم و مشکل‌ساز خواهد شد، چاره چیست؟ بِنت[1] در سال ۱۹۷۳ جواب خوبی به این سوال داد: چاره کار طراحی سخت‌افزار به صورت برگشت‌پذیر است [Benn73]؛ به عبارت دیگر اگر در طی فرآیند هیچ اطلاعاتی پاک[2] نشود، محاسبه از نظر ترمودینامیکی برگشت‌پذیر است و نیازی به اتلاف انرژی ندارد.

بِنت به این سوال مهم نیز پاسخ داد که "آیا می‌توان ماشینی ساخت که برگشت‌پذیر باشد و در عین حال به درد بخور باشد؟!!!". ممکن است کمی تعجب کنید که این چه سوالی است اما در مقاله لاندِر نکته مهمی وجود داشت که بدون پاسخ مانده بود. لاندِر نشان داد که برای پرهیز از اتلاف انرژی باید از اتلاف اطلاعات جلوگیری کرد. برای اینکار باید ماشینی ساخته شود که تمامی مراحل پردازش خود را در جایی ذخیره کند تا بتواند از هر جایی به حالت اولیه یا ورودی برگردد. این خود مستلزم اینست که حجم بسیار زیادی از اطلاعات (مثلاً در یک نوار) ذخیره شود. این اطلاعات به درد استفاده کننده نمی‌خورد و فقط برای برگشت‌پذیر بودن ماشین لازم است. بدیهی است که چنین ماشینی عملاً مورد استفاده قرار نمی‌گیرد زیرا ذخیره چنین حجم عظیمی از اطلاعات در واقع امکان‌پذیر نیست. بعلاوه پس از اتمام عمل پردازش نوار فوق بلااستفاده بوده و باید در یک فرآیند برگشت‌ناپذیر پاک شود (پاک کردن اطلاعات برگشت‌ناپذیر است).

این موضوع معضل اصلی سیستم‌های برگشت‌پذیر بود تا اینکه بِنت در مقاله‌اش ثابت کرد که برای برگشت‌پذیر بودن، ذخیره تمام اطلاعات کلیه حالت‌ها لازم نیست. همچنین اگر ماشینی از اجزای برگشت‌پذیر ساخته شود، در کل برگشت‌پذیر خواهد بود. از آن زمان به بعد طراحی مدارهای برگشت‌پذیر مطرح شد و تلاش‌های زیادی برای پیاده‌سازی این مدارها توسط تکنولوژی‌های مختلف صورت گرفته است [Merk93]؛ همچنین تحقیقاتی برای طراحی مدارهای غیرحساس به خطا[3] با استفاده از مدارهای برگشت‌پذیر انجام شده است [Boyk05, Parh06].

---

[1] Bennett
[2] Erase
[3] Fault Tolerant

از طرف دیگر ایده استفاده از خواص ذرات بنیادی در پیاده‌سازی مدارهای منطقی سال‌هاست که مطرح شده است. اینکه بتوان از یک الکترون بعنوان یک سلول حافظه یا جانشین یک ترانزیستور استفاده کرد، به خودی خود وسوسه‌انگیز است؛ چراکه در آن صورت مدارهای موجود میلیون‌ها بار کوچکتر می‌شوند. اما قضیه به همین سادگی نیست. اولین نکته‌ای که در این مورد وجود دارد اینست که قوانین فیزیک کلاسیک در مورد این ذرات صدق نمی‌کند و باید از فیزیک کوانتومی استفاده کرد. نکته دوم ماهیت تصادفی یا رفتار احتمالی ذرات در فیزیک کوانتومی است. شاید در دید اول وجود تصادف در یک سیستم محاسباتی جالب بنظر نرسد. ما یک جواب قطعی از محاسبات نیاز داریم و اینکه بدانیم جوابمان احتمالاً چه مقداریست، فایده‌ای ندارد.

اما یک قضیه مهم و اساسی بیان می‌کند که یک کامپیوتر کوانتومی (که بر اساس فیزیک کوانتومی پایه‌ریزی شده است) توانایی اجرای کلیه عملیات‌ها و الگوریتم‌هایی که بر روی کامپیوترهای کلاسیک پیاده‌سازی می‌شوند را دارد [Kaye07]. همچنین ثابت می‌شود که کامپیوترهای کوانتومی بسیار قدرتمندتر از کامپیوترهای کلاسیک خواهند بود. بعضی از الگوریتم‌های کلاسیک ارائه شده که از مرتبه بسیار پیچیده[1] یا نمایی هستند، در حالت کوانتومی با مرتبه چندجمله‌ای[2] قابل طراحی هستند. بعنوان یک مثال خوب در این مورد می‌توانیم الگوریتم تجزیه یک عدد صحیح به عوامل اول را نام ببریم. می‌دانیم که تجزیه یک عدد بزرگ به عوامل اول بسیار طولانی و از مرتبه بسیار پیچیده است. تاکنون الگوریتمی برای حل این مسئله در زمان معقول ارائه نشده است. اما الگوریتم Shor، یک الگوریتم کوانتومی از مرتبه چندجمله‌ای برای حل این مسئله است.

دریچه‌های کوانتومی که در ساخت کامپیوترهای کوانتومی بکار می‌روند، براساس نظریه محاسبات کوانتومی تعریف می‌شوند. [Perk02] نشان داده است که هر محاسبه کوانتومی باید برگشت‌پذیر باشد. بنابراین دریچه‌های کوانتومی برگشت‌پذیر هستند. در ادامه به معرفی بیت‌های کوانتومی به عنوان اساسی‌ترین واحد اطلاعاتی در کامپیوترهای کوانتومی می‌پردازیم و در فصل بعد چند دریچه کوانتومی را بعنوان دریچه‌های پایه منطق برگشت‌پذیر معرفی خواهیم کرد.

---

[1] NP complete
[2] Polynomial

۱-۲ بیت کوانتومی

بیت در ساختار کامپیوترهای کلاسیک و پردازش کلاسیک کوچکترین واحد اطلاعاتی به حساب می‌آید که می‌تواند یکی از دو حالت صفر و یک را به خود اختصاص دهد. مانند همین تعریف را می‌توان برای یک بیت کوانتومی در نظر گرفت.

یک بیت کوانتومی می‌تواند با احتمال P_0 در حالت صفر و با احتمال P_1 در حالت یک باشد. می‌توان این اطلاعات را بصورت برداری از احتمالات به شکل $\begin{pmatrix} P_0 \\ P_1 \end{pmatrix}$ نمایش داد. نکته قابل توجه اینست که این نوع توصیف با بیان کلاسیک "حالت" مدار هم‌خوانی دارد. در واقع حالت‌های ۰ و ۱ با روابط زیر نشان داده می‌شوند:

$$|0\rangle = \begin{pmatrix} 1 \\ 0 \end{pmatrix} \quad , \quad |1\rangle = \begin{pmatrix} 0 \\ 1 \end{pmatrix}$$

یک بیت کوانتومی علاوه بر اینکه می‌تواند حالتهای $|0\rangle$ و $|1\rangle$ را داشته باشد قادر است حالتهایی بنام Superposition را نیز به خود اختصاص دهد که این حالت در واقع یک ترکیب خطی از دو حالت $|0\rangle$ و $|1\rangle$ می‌باشد. بعنوان مثال اگر حالت کوانتومی $|\psi\rangle$ را در نظر بگیریم، این حالت کوانتومی را می‌توان بصورت $|\psi\rangle = \alpha|0\rangle + \beta|1\rangle$ بیان کرد. بطوری که α و β اعداد مختلط هستند. نکته‌ای که باید به آن توجه کرد اینست که هنگام اندازه‌گیری مقدار بیت کوانتومی تنها یکی از دو حالت صفر و یک را در خروجی خواهیم دید و دیگر حالتهای Superposition را نخواهیم داشت. مثلاً اگر بیت کوانتومی $|\psi\rangle$ در حالت Superposition باشد هنگام اندازه‌گیری، مقدار آن به احتمال $|\alpha|^2$ برابر صفر خواهد بود و به احتمال $|\beta|^2$ برابر یک خواهد بود. شرطی که در این‌جا باید مورد توجه قرار گیرد اینست که $|\alpha|^2 + |\beta|^2 = 1$ که این شرط با نام شرط نرمال‌سازی[1] معروف است. چون α و β اعداد مختلط هستند بدست آوردن مقدار $|\alpha|^2$ و $|\beta|^2$ به صورت $|\alpha|^2 = (\alpha)(\alpha^*)$ و $|\beta|^2 = (\beta)(\beta^*)$ است بطوری که α^* و β^* بعنوان مزدوج مختلط[2] مقادیر مختلط α و β هستند.

با توجه به مطالب فوق، برای ساخت کامپیوترهای کوانتومی باید هر یک از اجزای آن را به صورت برگشت‌پذیر طراحی کنیم. یکی از واحدهای اصلی در سیستم‌های کامپیوتری، واحد محاسبه می‌باشد. دو مدار

---

[1] Normalization Condition
[2] Complex Conjugate

جمع‌کننده و ضرب‌کننده بعنوان مدارهای اصلی در این واحد به شمار می‌آیند؛ این مدارها همچنین در طراحی مدارهای محاسباتی دیگر، بسیار مورد استفاده قرار می‌گیرد. بنابراین طراحی آنها در منطق برگشت‌پذیر برای ساخت کامپیوترهای کوانتومی ضروری است. از اینرو محققان در پی طراحی این مدارها برآمده‌اند و تاکنون نیز طراحی‌هایی ارائه شده است. ما نیز در این پژوهش طراحی دو مدار جمع‌کننده و ضرب‌کننده را به تفصیل مورد بررسی قرار می‌دهیم و طرح‌های جدیدی را برای آنها ارائه می‌دهیم.

در فصل دوم این پایان‌نامه مروری بر مفاهیم اولیه منطق برگشت‌پذیر و معرفی دریچه‌های این منطق خواهیم داشت. سپس در فصل سوم جمع‌کننده‌های برگشت‌پذیر را بررسی می‌کنیم و به طراحی انواع اصلی آنها می‌پردازیم. ضرب‌کننده‌های برگشت‌پذیر در فصل چهارم مورد بررسی قرار خواهند گرفت. در ادامه نتیجه‌گیری و راه‌کارهای آتی بیان می‌شود و در انتها نیز منابع و مراجع را معرفی خواهیم کرد.

فصل دوم

مدارهای برگشت‌پذیر

۲-۱ مقدمه

همانطور که قبلاً اشاره کردیم در محاسبات برگشت‌ناپذیر به ازای هر بیت اتلاف اطلاعات به میزان $KT.\ln ۲$ ژول اتلاف انرژی خواهیم داشت. برای پرهیز از این اتلاف انرژی باید محاسبات را به صورت برگشت‌پذیر انجام دهیم. محاسبه‌ای را برگشت‌پذیر گویند که بتوان در هر مرحله از عملیات، از روی خروجی مدار، ورودی منحصر به فرد آن را بدست آورد [Kaye۰۷]. بعنوان مثال عملیات NOT برگشت‌پذیر است زیرا اگر بیت خروجی آن صفر باشد، مطمئن هستیم که بیت ورودی آن ۱ بوده است و بالعکس. اما عملیات AND برگشت‌پذیر نیست.

مدارهایی که محاسبات برگشت‌پذیر را پیاده‌سازی می‌کنند، مدارهای برگشت‌پذیر گویند. مدار در واقع شبکه‌ای متشکل از سیم‌ها[۱] است که مقدار بیت‌ها را به دریچه‌ها منتقل می‌کند؛ سپس دریچه‌ها عملیات اصلی را بر روی بیت‌ها انجام داده و نتایج را بر روی سیم‌های خروجی قرار می‌دهد. مدارهای برگشت‌پذیر سه ویژگی دارند:

۱) تعداد ورودی‌ها برابر با تعداد خروجی‌ها است.

---

[۱] Wires