دانشکده مهندسی برق و کامپیوتر

گروه الکترونیک

پایان نامه:

برای دریافت درجه کارشناسی ارشد در رشته مهندسی برق - الکترونیک

عنوان:

طراحی مدار 3bit MDAC برای طبقهٔ اول 12Bit, 200 Ms/s pipelined ADC در پروسهٔ 0.35um CMOS

اساتید راهنما :

دکترضیاءالدین دایی کوزه کنانی – دکتر رضا یدی پور

استاد مشاور:

دکتر جعفرصبحی

پژوهشگر:

علی اصغر وطن جو

زمستان ۸۸

به نام خدا

تقدیر و تشکر

با سپاس از زحمات بی دریغ خانواده ام که در تمام مراحل تحصیل مرا یاری کردند.

و همچنین سپاسگذار اساتید راهنمای خود دکتر کوزه کنانی و دکتر یدی پور و همچنین

استاد مشاور خود دکتر صبحی هستم.

در پایان از کلیۀ دوستانی که در انجام این پروژه به من انگیزه داده و مرا یاری داده اند

تشکر می کنم.

علی اصغر وطن جو

نام خانوادگی دانشجو: **وطن جو** نام: **علی اصغر**

عنوان پایان نامه:

طراحی مدار 3bit MDAC برای طبقهٔ اول 12 Bit, 200 Ms/s pipelined ADC در پروسهٔ 0.35um CMOS

استاد راهنما: **دکترضیاءالدین دایی کوزه کنانی- دکتر رضا یدی پور**

استاد مشاور: **دکتر جعفر صبحی**

مقطع تحصیلی: **کارشناسی ارشد** رشته: **مهندسی برق** گرایش: **الکترونیک- طراحی مدارهای مجتمع آنالوگ** دانشگاه:**تبریز**

دانشکده: **مهندسی برق و کامپیوتر** تاریخ فارغ التحصیلی: ۱۳۸۸/۱۱/۲۷ تعداد صفحات: ۱۱۲

کلید واژه ها: مبدل آنالوگ به دیجیتال pipeline، MDAC، خطای گین، digital redundancy،error correction، Switched Capacitor.

چکیده

این پایانامه سیستم MDAC ای را که خطینگی لازم برای کار کردن در طبقهٔ اول یک ADC، را برآورده می کند توصیف می کند. ماکزیم سرعت نمونه برداری ADC برابر 200 Ms/s می باشد و رزولشن این ADC برابر 12bit می باشد. 3bit از مجموع 12 bit کل ADC در طبقهٔ این MDAC تولید می شود و برای این منظور از سیستم 2.5bit استفاده شده است که 1bit از 3bit تولید شده صرف error correction می شود و بعد از جمع با بیت طبقهٔ بعد 1bit تولید می کند به همین دلیل مانند 0.5bit عمل می کند. همچنین خطای گین محدود اپ امپ را با استفاده از تغییر نسبت خازن فیدبک به خازن واحد اصلاح می کنیم که در این روش درصدی برای تغییر گین حلقه باز اپ امپ به طوری که موجب خطای غیر مجاز نشود نیز در نظر می گیریم و نیز تغییر نسبت خازن با توجه به دقت مچینگ خازن که قابلیت پشتیبانی برای تولید 10bit را دارد انجام شده است. برای طراحی از تکنولوژی 0.35um Digital CMOS استفاده شده است.

فهرست مطالب

فهرست شکلها VIII

فهرست جدولها XI

مقدمه ۱

۱- بررسی منابع ۳

۱-۱- معرفی سیستمهای تبدیل داده ۳

۱-۱-۱- مرور تاریخی ۳

۱-۱-۲- مبدلهای داده ایده ال ۵

۱-۱-۳- کوانتیزیشن (quantization) ۶

۱-۱-۴- انواع مبدلهای دیتا ۷

۱-۲- معرفی مشخصه های سیستمهای تبدیل داده ۷

۱-۲-۱- خطای غیرخطی تفاضلی (DNL) ۸

۱-۲-۲- خطای غیر خطی مجموع(INL) ۱۰

۱-۲-۳- خطای افست ۱۱

۱-۲-۴- خطای بهره ۱۲

۱-۲-۵- نسبت سیگنال به نویز ۱۲

۱-۲-۶- نسبت سیگنال به نویز و اعوجاج ۱۴

۱-۲-۷- تعداد مؤثر بیتها ۱۴

۱-۲-۸- اعوجاج هارمونیک ۱۵

۱-۲-۹- اعوجاج کل هارمونیکها ۱۵

۱-۲-۱۰- رنج دینامیک ۱۶

۱-۲-۱۱- پهنای باند مؤثر رزلوشن ۱۶

۱-۲-۱۲- رنج آزاد غیر واقعی دینامیک ۱۷

۱-۳- انواع مبدلهای داده ۱۹

۱-۳-۱- مبلهای آنالوگ به دیجیتال موازی ۱۹

۱-۳-۲- مبدلهای آنالوگ به دیجیتال تقریب پیاپی (SAR) ۲۰

۱-۳-۳- مبدلهای سیگما دلتا ۲۱

۱-۳-۴- مبدلهای آنالوگ به دیجیتال خطی لوله ای ۲۲

۱-۳-۴-۱- ایدهٔ پایپ لاین کردن ۲۴

۱-۳-۴-۲- تصحیح دیجیتالی و افزونگی ۲۶

۱-۳-۵- اجزإ تشکیل دهندهٔ هر طبقهٔ ADC های پایپ لاین ۳۲

۱-۴- 2.5bit MDAC ۳۸

۱-۵- تأیین اندازهٔ خازن نمونه بردار MDAC ۴۰

۲- مواد و روشها ۴۲
۲-۱- منابع خطا در مبدلهای دیتا ۴۲
۲-۱-۱- خطای نشست در DAC ۴۲
۱-۱-۲- خطای گلیچ در DAC ۴۳
۲-۱-۳- عدم قطعیت زمان نونه برداری درDAC ۴۵
۲-۲- سوئیچهای MOS ۴۶
۲-۲-۱- ملاحظات کلی ۴۶
۲-۲-۲- ملاحظات سرعت ۴۸
۲-۲-۳- محدودیت پهنای باند ۴۹
۲-۲-۴- ملاحظات دقت ۴۹
۲-۲-۴-۱- تزریق بارکانال ۴۹
۲-۲-۴-۲- اثر مستقیم کلاک ۵۱
۲-۲-۴-۳- نویز kTC ۵۲
۲-۳- تکنکهای مداری ۵۲
۲-۳-۱- تکنیکهای سوئیچ خازن ۵۳
۲-۳-۱-۱- عدم تطابق ۵۴
۲-۳-۱-۲- سرعت در مدارهای سوئیچ خازن ۵۵
۲-۳-۱-۳- خطای تابع تبدیل ۵۵
۲-۳-۱-۴- نویز در مدارهای SC ۵۵
۲-۳-۲- تکنیکهای سوئچ جریان ۵۶
۲-۳-۲-۱- عدم تطابق ۵۷
۲-۳-۲-۲- سرعت ۵۷
۲-۳-۲-۳- خطای تابع تبدیل ۵۸
۲-۳-۲-۴- نویز در مدارهای SI ۵۹
۲-۴- بررسی و مقایسهٔ تقویت کنندهای عملیاتی در تکنولوژی CMOS ۶۰
۲-۴-۱- تلسکو پیک کسکد ۶۱
۲-۴-۲- فلدد کسکد ۶۳
۲-۴-۳- افزایش گین folded-cascode با فیدبک مثبت ۶۵
۲-۴-۴- افزایش گین و پهنای باند با افزودن مسیرهای اضافی برای سیگنال از ورودی به خروجی ۶۶
۲-۵- سیستم 2.5bit MDAC ۶۹
۲-۵-۱- flip-around 2.5bit MDAC ۷۰
۲-۵-۱-۱- بدست آوردن تابع تبدیل flip-around 2.5bit MDAC ۷۲
۲-۵-۱-۲- مدار کنترلی ۷۴
۲-۵-۲-۱- بدست آوردن تابع تبدیل non-flip-around 2.5bit MDAC ۷۷
۲-۵-۲-۲- مدار کنترلی non-flip-around 2.5bit MDAC ۷۹

۲-۶- بخش thermometer to binary decoder ۸۰
۳- نتایج وبحث ۸۲
۳-۱- تقویت کنندهای عملیاتی ۸۲
۳-۱-۱- folded-cascode OTA ۸۲
۳-۱-۲- افزایش گین folded-cascode با فیدبک مثبت ۸۳
۳-۱-۳- افزایش GBW از طریق ایجاد مسیرهای اضافی از ورودی به خروجی ۸۴
۳-۲- MDAC ۸۷
۳-۲-۱- تست استاتیک ۸۸
۳-۲-۲- تست دینامیک MDAC ۸۹
۳-۳- مدار کنترلی ۹۳
۳-۴- مدار تولید کلاک ۹۴
۳-۵- مقایسه با نتایج سایر مراجع ۹۶
نتیجه گیری و پیشنهادها ۹۶
منابع ۹۸

فهرست شکلها

شکل (۱-۱) اولین نمونه ADC تجاری ۴

شکل (۱-۲) (الف) تابع تبدیل ADC و(ب) تابع تبدیل DAC برای N=3 ۵

شکل (۱-۳) خطای کوانتیزیشن برای یک 3-bit ADC ۶

شکل (۱-۴) مشخصه انتقالی غیر ایده آل با خطاهای INL و DNL (الف) ADC (ب) DAC ۹

شکل (۱-۵) حد مجاز برای خطای DNL، که موجب از بین رفتن کد نشود ۱۰

شکل (۱-۶) (الف) خطای افست برای ADC (ب) خطای افست برای DAC ۱۲

شکل (۱-۷) خطای گین (الف)برای ADC (ب) برای DAC ۱۳

شکل (۱-۸) SNDR به عنوان تابعی از فرکانس ورودی ۱۷

شکل (۱-۹) طیف FFT یک 14 Bit ADC غیر ایده آل ۱۷

شکل (۱-۱۰) SNDR خروجی به عنوان تابعی از فرکانس ورودی در فرکانس نمونه برداری ثابت ۱۸

شکل (۱-۱۱) ADC موازی ۱۹

شکل (۱-۱۲) نمایش بلوک دیاگرامی successive approximation ADC ۲۰

شکل (۱-۱۳) دیاگرام FFT یک ADC ایده آل که فقط شامل نویز کوانتیزیشن است ۲۱

شکل (۱-۱۴) الف) طیف خروجی FFT در حالت oversampling ب) به کار بردن فیلتر پائین گذر ۲۲

شکل (۱-۱۵) شکل دادن نویز ۲۲

شکل (۱-۱۶) عملکرد سیستم pipeline ۲۵

شکل (۱-۱۷) بلوک دیاگرام یک pipelined ADC عمومی ۲۶

شکل (۱-۱۸) معادل سازی خطاهای افست سایر بلوکها در ورودی sub-ADC ۲۸

شکل (۱-۱۹) خروجی یک طبقه به عنوان تابع ورودی (الف) بلوکهای DAC و Sub-ADC ایده آل (ب) بلوک sub-ADC ۲۹

شکل (۱- ۲۰) نمایش بلوک دیاگرامی تصحیح دیجیتالی خطا ۳۰

شکل (۱-۲۱) مدار DAC و sub-ADC مربوط به یک طبقهٔ pipelined ADC ۳۳

شکل (۱-۲۲) نحوه اتصال ورودی و ولتاژهای مقایسه به مقایسه کنندهای طبقهٔ اول به بعد ۳۳

شکل (۱-۲۳) 1.5bit MDAC ۳۴

شکل (۱-۲۴) لولهای مقایسه کامپارتورهای متناسب با 1.5bit MDAC و خروجیهای متناسب MDAC ۳۵

شکل (۱-۲۵) تقسیم بندی بازهٔ تبدیل طوری که به ازای 2bit چهار کد تولید شود ۳۶

شکل (۱-۲۶) تقسیم بندی لولهای یک طبقه برای حالتی که با یک مقایسه کنندهٔ اضافه در طبقهٔ بعدی خطا را جبران می کنیم ۳۷
شکل (۱-۲۷) بلوک دیاگرام error correction برای یک 12 bit ADC که در طبقهٔ اول 3bit تولید می شود ۳۹
شکل (۲-۱) خطای نشست در DAC ۴۳
شکل (۲-۲) گلیچ در DAC ۴۴
شکل (۲-۳) (الف) مدار نمونه گیر ساده (ب) پیاده سازی با ترانزیستور MOS ۴۶
شکل (۲-۴) الف) دشارز خازن توسط کلید ب)شارژ خازن توسط کلید MOS ۴۷
شکل (۲-۵) تزریق بار وقتی سوئیچ خاموش می شود ۵۰
شکل (۲-۶) اثر بار تزریق شده در ولتاژ خروجی ۵۰
شکل (۲-۷) اثر مستقیم کلاک در یک مدار نمونه گیر ۵۲
شکل (۲-۸) مدار S/H به روش SC ۵۳
شکل (۲-۹) سلول پایهٔ حافظه در تکنیک SI الف) FG ب) SG ۵۶
شکل (۲-۱۰) telescopic cascade OTA ۶۲
شکل (۲-۱۱) رنج ولتاژ ورودی telescopic cascade در حالت بافر ۶۳
شکل (۲-۱۲) folded cascode OTA ۶۴
شکل (۲-۱۳) با folded-cascode با فیدبک مثبت ۶۵
شکل (۲-۱۴) two-path OTA ۶۸
شکل (۲-۱۵) لولهای مقایسه و خروجیهای متناظر برای 2.5bit MDAC ۶۹
شکل (۲-۱۶) مدار 2.5bit MDAC پیاده سازی شده با تکنیک SC ۷۱
شکل (۲-۱۷) مدار کنترل سوئیچها با توجه به کد ترمال ۷۵
شکل (۲-۱۸) non-flip-around 2.5 bit MDAC ۷۶
شکل (۲-۱۹) پیاده سازی مدار کنترل کلید $k3$ با گیتهای استاندارد NAND ۸۰
شکل (۳-۱) پاسخ فرکانسی folded-cascode که دارای جریان خروجی 2mA می باشد ۸۳
شکل (۳-۲) افزایش گین folded-cascode با اعمال فیدبک مثبت ۸۴
شکل (۳-۳) پهنای باند و گین DC، two-path OTA ۸۵
شکل (۳-۴) فیدبک مثبت به کار رفته در two-path OTA ۸۵
شکل (۳-۵) بهبود گین DC two-path OTA با اعمال فیدبک مثبت ۸۶
شکل (۳-۶) سیستم طبقهٔ اول ۸۷
شکل (۳-۷) مقدار نهایی MDAC برای ورودی تفاضلی 0.8v با ولتاژ 1. 1V CM در کد 110 ..... ۸۹

شکل (۳-۸) طیف خروجی در کد 011 و فرکانس ورودی 5 megHz ۹۱
شکل (۳-۹) طیف خروجی در کد 001 و فرکانس ورودی 91 megHz ۹۲
شکل (۳-۱۰) خروجی MDAC در حوزهٔ زمان برای کد 011 ..... ۹۲
شکل (۳-۱۱) تأخیر ناشی از مدار کنترل ۹۳
شکل (۳-۱۲) تولید کنندهٔ کلاکهای غیر هم پوشان ۹۵
شکل (۳-۱۳) کلاکهای غیر همپوشان تولید شده توسط local clock generator ۹۵

فهرست جدولها

جدول (۱-۱) مقادیر خروجی 1.5bit MDAC با توجه به کد ترمال sub-ADC ۳۴
جدول (۲-۱) کنترل سوئیچها متناسب با کد ترمال ۷۴
جدول (۲-۲) کدهای کنترلی برای non-flip-around 2.5bit MDAC ۷۹
جدول (۳-۱) خلاصهٔ مشخصات اپ امپهای طراحی شد ۸۶
جدول (۳-۲) نتایج تست دینامیک MDAC برای فرکانس ورودی 5megHz ۹۰
جدول (۳-۳) نتایج تست دینامیک MDAC برای فرکانس ورودی 91megHz ۹۱
جدول (۳-۴) مقایسه پروژه با کارهای انجام شده ۹۶

مقدمه

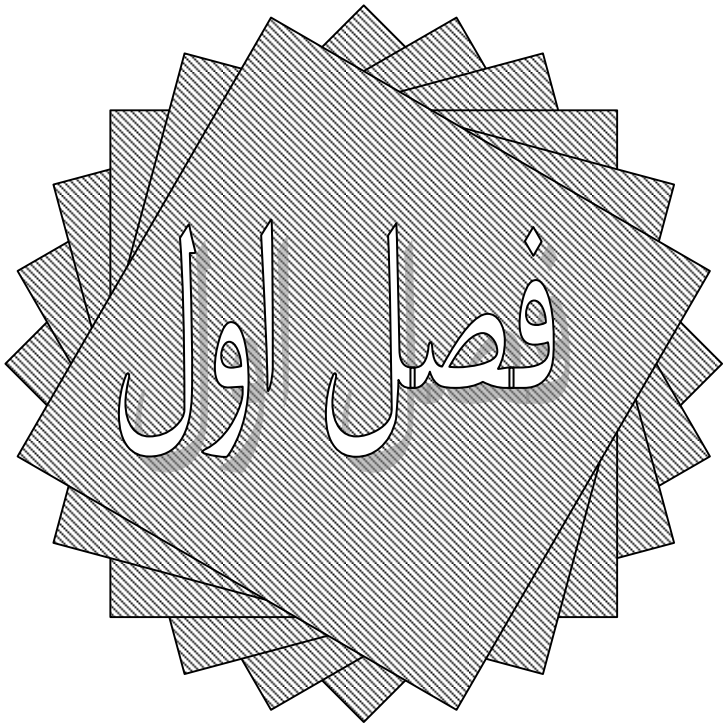
با پیشرفت تکنولوژی مدارهای دیجیتال و سیستمهای پردازش دیجیتال نیاز به مبدلهای دیتا که قابلیتهای عملکردی بهتری داشته باشند نیز شدیداً افزایش یافت. مشخصهای مهم مبدلهای آنالوگ به دیجیتال عبارتند از ۱ـ سرعت نمونه برداری، ۲ـ توان مصرفی، ۳ـ دقت یا همان رزلوشن مبدل. این سه مشخصه اصلی ترین مشخصه های مورد نظر یک مبدل آنالوگ به دیجیتال می باشند.

شناخته شدن ایدهٔ پایپ لاین کردن[۱] کمک بزرگی برای طراحی مبدلهای آنالوگ به دیجیتال بود و با اجرای این ایده بده بستان[۲] بین سه مشخصهٔ بالا خیلی بهتر انجام می شد و به همین دلیل مبدلهای معرفی شده بعد از شناخته شدن این ایده از پیشرفتهای قابل توجهی در عملکرد برخوردار بودند.

یکی از اساسی ترین بلوکهای مبدلهای پایپ لاین آنالوگ به دیجیتال، MDAC [۳] می باشد که وظیفهٔ مبدل دیجیتال به آنالوگ و تفریق و ضرب را با هم در دو فاز کاری نمونه برداری[۴] و تقویت[۵] انجام می دهد. چون در این پروژه سرعت نمونه برداری 200Ms/s و رزلوشن 12bit را برای ADC در نظر گرفته ایم و سیستم MDAC نیز حلقه بسته است بنابراین بهبود پهنای باند سیتم حلقه باز بسیار مهم است و همچنین باید سیستم MDAC دقت لازم برای تولید بیتهای بعدی را نیز داشته باشد که سعی شده تکنیکی برای این امر نیز در نظر گرفته شود. قابل ذکر است که تکنولوژی مورد استفاده یعنی 0.35um Digital CMOS علاوه بر اینکه تکنولوژی است که پروسه های دیجیتال در آن انجام می شود به دلیل بزرگ بودن خازنهای پارازیت این پروسه افزایش پهنای باند کار دشواری است ولی از طرفی باتوجه به طول کانال بزرگ ترانزیستورها رسیدن به بهرهٔ بالاتر نسبت به پروسه های با طول کانال کوچکتر راحتر است.

---

[1] Pipelining
[2] Trade off
[3] Multiplying Digital to Analog converter
[4] Sampling
[5] Amplifying



بررسی منابع و پیشینه تحقیق

۱ـ بررسی منابع

۱ـ۱ـ معرفی سیستمهای تبدیل داده[1]

امروزه با توجه به مزایای کاملاً آشکاری که سیستمهای پردازش دیجیتال دارند پردازش پیچیده سیگنالهای آنالوگ به طور فزاینده ای به صورت دیجیتال انجام می گیرد همچنین در انتقال سیگنال نیز چون سیگنالهای دیجیتال فقط دارای دو وضعیت معتبر می باشند طراحی گیرنده برای این نوع انتقال نسبت به روش آنالوگ که سیگنال دارای بی شمار وضعیت معتبر است خیلی راحتر است چون مثلاً در بسیاری از موارد که نویز کانال به حد کافی کوچک است، اثر نویز کانال بر روی سیگنال دیجیتال رامی توان با قرار دادن یک مقایسه گر در ورودی گیرنده دیجیتال اصلاح کرد.در مقابل در انتقال سیگنالهای آنالوگ تشخیص نویز کانال از اطلاعات کار بسیار دشواری است و نمی توان مانند روش دیجیتال این کار را به سادگی و با قرار دادن یک مقایسه گر انجام داد البته در مواردی ناچار به انتقال سیگنال به روش آنالوگ هستیم که در این موارد کانال ارتباط باید محیطی کم نویز داشته باشد. بنابراین جایگاه مبدلهای داده برای سیستمهای ارتباطی وپردازشی امروزی بسیار مهم است و در کل برای اتصال یک سیستم دیجیتال به محیط آنالوگ استفاده از مبدلهای داده ضرورتی اجتناب نا پذیر می باشد.

۱-۱-۱- مرور تاریخی

تعیین اینکه اولین سیستم تبدیل داده که لزوماً الکترونیکی نبود کی ساخته شد مشکل است در این بخش سعی شده است که مروری بر مبدلهای داده الکترونیکی صورت گیرد.

بعد از اختراع تلفن و تلگراف رفته رفته بر میزان انتقال اطلاعات افزوده شد واستفاده از سیستمهای مدولاسیون و کدینگ افزایش یافت. بعد از ابداع روش دیجیتال برای پردازش اطلاعات مبدلهای داده الکترونیکی نیز ظهور کردند.

[1] Data converter systems

اولین مبدل داده به صورت لامپ خلاء توسط Gordon .Bernard M در سال ۱۹۵۴ ساخته شد. این ماشین که با نرخ 50 Kb/s نمونه برداری می کرد دارای 11 bit خروجی بود. و همانطور که در شکل(۱-۱) دیده می شود دارای حجم بزرگی می باشد.[۱]

شکل (۱-۱) اولین نمونه ADC تجاری

از اواسط دهه ۱۹۵۰ تا اواخر دهه ۱۹۶۰ که طراحی الکترونیک از لامپهای خلاء به سوی ترانسیستور حرکت می کرد امکان ساخت مبدلهای داده جدیدتر ترانزیستوری نیز فراهم می شد. تلاشها ادامه پیدا کرد تا اینکه آزمایشگاه تحقیقاتی بل در سال ۱۹۶۰ مبدل آنا لوگ به دیجیتال با مشخصات 5Ms/s ,9bit را تولید نمود. واین مقدمه ای بود بر تولید مبدلهای داده کم حجم و پر سرعت. در زیر به یک نمونه از کاربردهای این مبدلها که در زمان خود اهمیت خاص جهانی داشت اشاره می شود.

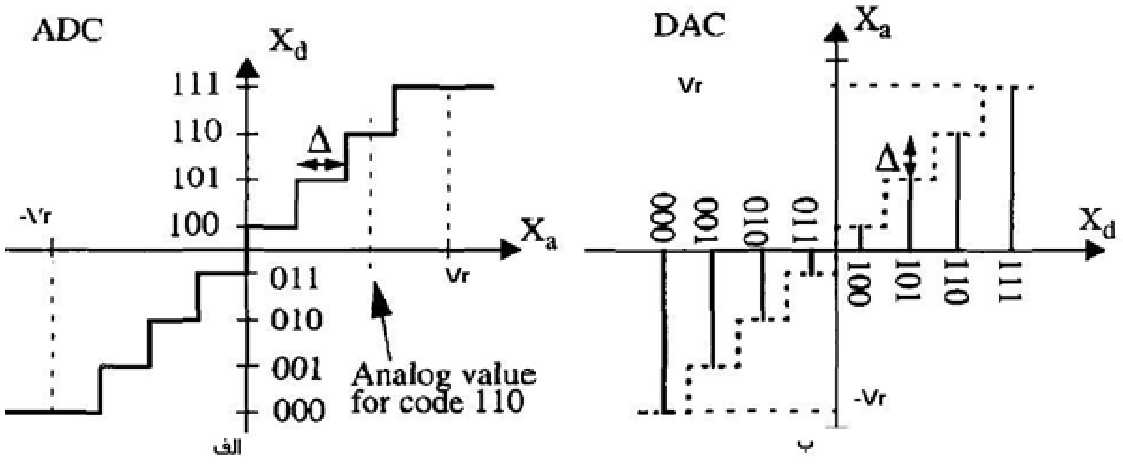
در طول دههای ۶۰ و ۷۰ میلادی ایالات متحده آمریکا از تکنیکهای دیجیتالRTL -resistor) (transistor-logic برای کنترل رادارهای خود در مقابل موشکهای جماهیر شوروی و چین استفاده می کرد که یک برنامه ملی بود و ارتباط بین این کنترل گرها و سیگنالهای خارج از طریق مبدلهای داده ای صورت می گرفت که آنها نیز همانطور که در بالا اشاره شد به سمت الکترونیک حالت جامد حرکت می کردند.

معماری مبدلهای داده نیز سیر تاریخی خاصی را پیموده اند. اولین معماری برای ADC ها ساختار flash بود که از چندین مقایسه گر به صورت موازی استفاده می شود. سپس ساختار Successive Approximation استفاده شد. با افزایش تقاضا برای سرعتهای بالاتر دقت بیشتر و توان مصرفی کمتر ساختارهای دیگری مثل Pipelined و Sigma-delta معرفی شدند.

۱-۱-۲- مبدلهای داده ایده ال

یک ADC ایده ال که رنج ولتاژ آنالوگ ورودی آن از $-V_r$ تا V_r تغییر می کند و N-Bit خروجی دیجیتال تولید می کند می تواند این رنج ولتاژ آنالوگ را در 2^N قسمت مختلف تشخیص دهد. عدد 2^N یا N را به عنوان رزلوشن [1] ADC تعریف می کنند. همانطوری که در شکل (۱-۲) مشاهده می شود تابع تبدیل مبدلهای داده به صورت پله ای می باشد. با توجه به توضیحات بالا یک چنین مبدل آنالوگ به دیجیتالی می تواند تنها ولتاژهایی که از Δ بزرگترند را از هم تشخیص دهد.که Δ به صورت زیر تعریف می شود.

$$\Delta = \frac{V_r}{2^{N-1}} \qquad (۱-۱)$$

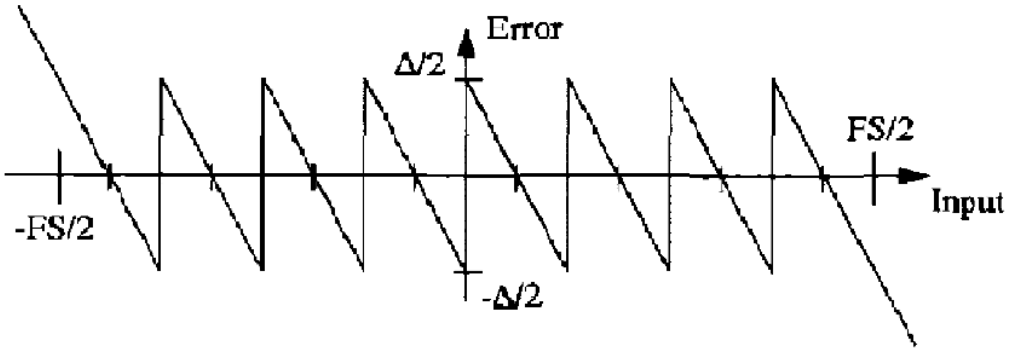


شکل (۱-۲) (الف) تابع تبدیل ADC و(ب) تابع تبدیل DAC برای N=3

[1] resolution

۱-۱-۳- کوانتیزیشن (quantization)

تعداد کدهای یک مبدل دیتای N بیتی برابر 2^N می باشد. بنابراین چون تعداد کدها محدود می باشد چنین مبدلی هیچگاه نمی تواند یک محدوده آنالوگ را به طور کامل پوشش دهد و لذا مبدلهای داده همیشه یک خطای ذاتی دارند که۱ ناشی از تعداد محدود کدهای مبدل می باشد. این خطا برای هر دو نوع مبدل (ADC و DAC) وجود دارد. اگر برای هر سطح قابل تشخیص توسط ADC یک ولتاژ به نام $X_{a,k}$ به صورت معادله (۱-۲) تعریف کنیم شکل (۱-۳) مقدار این خطا را بر حسب ورودی نشان می دهد. همانطور که در شکل دیده می شود مقدار این خطا وابسته به رزولوشن مبدل می باشد.



شکل (۱-۳) خطای کوانتیزیشن برای یک 3-bit ADC

چون احتمال بروز خطای کوانتیزیشن برای هر ورودی ثابت است می توان آن را به عنوان نویز سفید[1] فرض کرد. و توان نویز کوانتیزیشن یا مقدار rms آن را بدست آورد.[۲]

در فرمولهای زیر e_k به عنوان متغیر تصادفی در نظر گرفته شده و برای راحتی با e نشان داده شده است.

$$P_n(t) = x_{rms}^2 = \int_{-\infty}^{\infty} e^2 p(e,t)de \qquad (۲-۱)$$

[1] White noise

با فرض اینکه نویز کوانتیزیشن دارای تابع چگالی احتمال[1] یکنواخت و مستقل از زمان است داریم.

$$p(e,t)=\begin{cases}\frac{1}{\Delta}, & -\frac{\Delta}{2}<e<\frac{\Delta}{2}\\ 0, & \text{for other e}\end{cases} \qquad (۳-۱)$$

بنابراین می توان توان نویز کوانتیزیشن یا مقدار rms آن را به صورت زیر بدست آورد.

$$P_n=\int_{-\Delta/2}^{\Delta/2} e^2.\frac{1}{\Delta}.de=\frac{\Delta^2}{12} \qquad (۴-۱)$$

۱-۱-۴- انواع مبدلهای دیتا

اولین مشخصه ای که یک مبدل دیتا را تعریف می کند نوع آن است. معمولاً الگوریتم تبدیل نوع مبدل دیتا را مشخص می کند. مثلاً برای مبدلهای آنالوگ به دیجیتال از الگوریتمهایی مثل فلش[2] ،پایپ لاین[3] استفاده می شود. ولی مبدلهای داده به طور کلاسیک در دو گروه نرخ نایکوئیست[4] و فوق نونه بردار[5] تقسیم می شوند. در واقع این دودستهٔ اصلی دو استراتژی متفاوت را بکار می گیرند. در اولی فرکانس ورودی در یک رنج محدودی تا فرکانس نایکوئیست قرار دارد و در دومی فرکانس ورودی محدودهٔ فرکانس ورودی کوچکتر از فرکانس نایکوئیست است.

۱-۲- معرفی مشخصه های سیستمهای تبدیل داده[6]

وقتی یک مبدل داده در یک سیستم مخابراتی استفاده می شود دانستن محدودیتهای مبدل واثر آن بر کل سیستم خیلی مهم است. بنابراین اندازه گیری مشخصات مبدل برای تعیین مشخصات آن

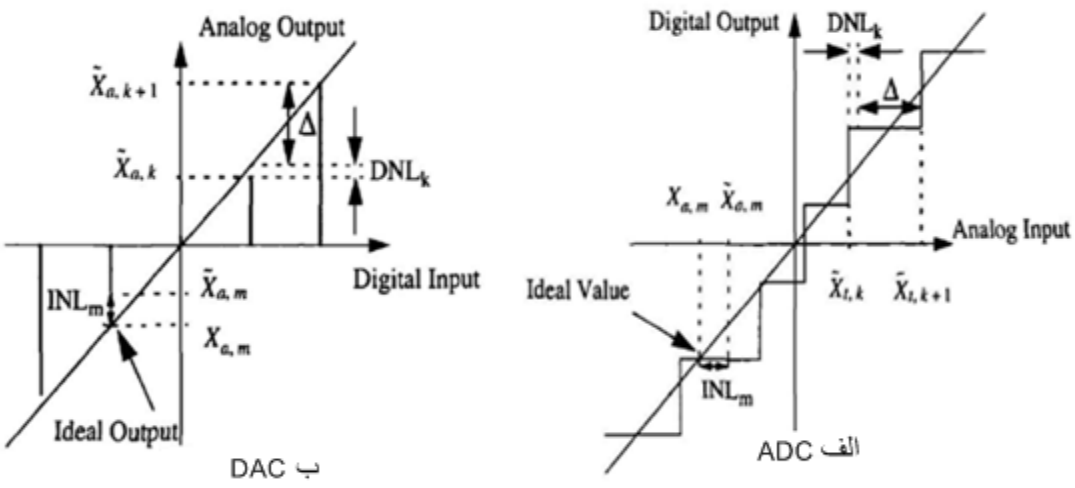
[1] Density Function Probability
[2] Flash
[3] Pipelined
[4] Nyquist-rate
[5] Over-sampling
[6] Data converter specification

ضروری می باشد. در کل مشخصات عملکردی مبدلهای داده در دو گروه استاتیک و دینامیک بررسی می شوند. مشخصهای استاتیک معمولا در دو گروه خطای غیر خطی تفاضلی (DNL) و خطای غیر خطی مجموع (INL) بیان می شوند. خطاهای استاتیک از عدم مطابقت[1] بین اجزای فیزیکی ناشی می شود. مشخصات استاتیک برای توصیف مبدلهای دیتا کافی نیستند. و در عمل مشخصهای دینامیک بیشتر برای توصیف عملکرد مبدلهای دیتا به کار می روند. هر دو نوع مشخصه را می توان در حوزه فرکانس تشخیص داد. [۳]خطاهای دینامیک از خطاهای وابسته به سیگنال مثل خطاهای نشت[2]،گلیچ[3]و غیره به و وجود می آیند. نسبت سیگنال به نویز[4] (SNR)، تمام مؤلفهای اعوجاج [5] (THD) و نسبت سیگنال به نویز و اعوجاج[6] (SNDR) از مشخصه های اصلی برای توصیف عملکرد مبدلهای دیتا می باشند.

۱-۲-۱- خطای غیرخطی تفاضلی[7] (DNL)

به خاطر غیر ایده آل بودن اجزای تشکیل دهندۀ مبدلهای دیتا در عمل، نقاط تبدیل کد[8] در تابع تبدیل همانطوریکه در شکل (۱-۴) نشان داده شده جا به جا خواهند شد.

[1] mismatch
[2] Settling errors
[3] glitch
[4] Signal to noise ratio
[5] Total harmonic distortion
[6] Signal to noise and distortion ratio
[7] Differential non-linearity
[8] Transition points



شکل (۱-۴) مشخصه انتقالی غیر ایده آل با خطاهای INL و DNL (الف) ADC (ب) DAC

برای مقادیر ایده آل و واقعی را از هم تشخیص دهیم از علامت ~ بر روی مقادیر واقعی استفاده شده. برای مثال $\widetilde{X_{t,k}}$ مقدار واقعی مربوط به نقطه تبدیل کد k ام است و مقدار ایده آل این نقطه تعویض کد $X_{t,k}$ می باشد.

مقادیر طول پله ها در تابع تبدیل مبدلهای دیتای واقعی از مقدار Δ منحرف می شوند و مقدار این انحراف خطای DNL نامیده می شود. برای DAC مقدار این خطا را می توان به صورت تفاضل دو مقدار آنالوگ مجاور منهای طول پله ایده آل تعریف کرد. مقدار این خطا را طبق معادله (۱-۵) به طول پله (Δ) نرمالیزه می کنند.

$$DNL_k = \frac{\tilde{X}_{a,k+1} - \tilde{X}_{a,k-1} - \Delta}{\Delta} \qquad (۱-۵)$$

در مورد مبدلهای ADC که خروجی به صورت کدهای دیجیتال است خطای DNL به صورت اختلاف بین نقاط تبدیل منهای طول پله واحد ایده آل مطابق معادله (۱-۶) تعریف می شود.

$$DNL_k = \frac{\tilde{X}_{t,k+1} - \tilde{X}_{t,k} - \Delta}{\Delta} \qquad (۲-۶)$$