بسم الله الرحمن الرحيم

دانشکده فنی و مهندسی

بخش مهندسی برق

پایان نامه تحصیلی برای دریافت درجه کارشناسی ارشد رشته مهندسی برق

گرایش الکترونیک

تاثیر انتشار خطای نرم در قابلیت اطمینان مدارات دیجیتال

مؤلف:

حامد زندوکیلی

اساتید راهنما:

دکتر محسن صانعی

دکتر علی ماهانی

بهمن ماه ۱۳۹۱

این پایان نامه به عنوان یکی از شرایط درجه کارشناسی ارشد

بخش برق

دانشکده فنی و مهندسی

دانشگاه شهید باهنر کرمان

تسلیم شده است و هیچگونه مدرکی به عنوان فراغت از تحصیل دوره مزبور شناخته نمی شود.

دانشجو: حامد زندوکیلی

استاد راهنما ۱ : جناب آقای دکتر محسن صانعی

استاد راهنما ۲ : جناب آقای دکتر علی ماهانی

داور ۱ : سرکار خانم دکتر مهدیه مهران

داور ۲ : سرکار خانم دکتر مریم پور محی آبادی

نماینده تحصیلات تکمیلی دانشکده : جناب آقای دکتر احمد حکیمی

معاون آموزشی و پژوهشی دانشکده : سرکار خانم دکتر مریم احتشام زاده

حق چاپ محفوظ و مخصوص به دانشگاه شهید باهنر کرمان است.

تقدیم به:

پدر و مادرم

که از نگاهشان صلابت

از رفتارشان محبت

و از صبرشان ایستادگی را آموختم.

تشکر و قدردانی:

حمد و سپاس خدای را که تمام عالم به حکمت او عالم و به عنایت بی علت او واقفند.

"تشکر" هر چند کلمه ی کوچکی است، اما شاید تنها کلمه ای باشد که بتواند بار سنگین ارادت نسبت به بزرگان را بر دوش کشد؛ لذا بدین وسیله از تمامی اساتید گرانقدری که سعادت کسب دانش در محضرشان را داشته ام، تشکر می نمایم، خصوصا از اساتید فرهیخته و بزرگوارم جناب آقای دکتر ماهانی و جناب آقای دکتر صانعی که در طول دوران تحصیل همواره یاری گر اینجانب بوده اند، خاضعانه سپاسگزارم و برای ایشان از خداوند متعال عمری طولانی و پر برکت را خواستارم.

در اینجا وظیفه ی خود می دانم که از اساتید محترم جناب آقای دکتر حکیمی و سرکارخانم دکتر مهران و سرکار خانم دکتر پور محی آبادی که در انجام این مهم مرا یاری رسانده اند کمال تشکر و امتنان را داشته باشم.

چکیده

در تکنولوژیهای جدید خطای نرم به عنوان اصلی ترین عامل کاهش قابلیت اطمینان در مدارات مجتمع شناخته می شود. در این میان نقش مدارات ترکیبی در افزایش نرخ خطای نرم مدارات مجتمع غیرقابل انکار است. نکته قابل توجه در مورد وقوع خطای نرم در مدارات ترکیبی این است که برخلاف سلولهای حافظه، خطای گذرا بطور مستقیم منجر به وقوع خطای نرم نمی شود، بعبارتی یک خطای گذرا برای تبدیل شدن به خطای نرم بایستی در مدار ترکیبی منتشر شود. عوامل متعددی بر انتشار خطای گذرا در مدارات ترکیبی تاثیر دارند که مهمترین آنها پوششها هستند.

هدف این پایان نامه بررسی نقش این پوششها (خصوصا پوشش منطقی) در انتشار خطای نرم و قابلیت اطمینان مدارات مجتمع دیجیتال است. در این راستا سه روش مبتنی بر احتمال سیگنال برای محاسبه ی قابلیت اطمینان ارائه شده است؛ روش پیشنهادی اول با استفاده از کد باینری توانسته علاوه بر اعمال اثر مسیرهای همگرا، تا حد زیادی سرعت محاسبات را افزایش دهد. عیب عمده ی این روش افزایش زمان محاسبات به ازای افزایش تعداد گیتهای مدار است. روش پیشنهادی دوم توانسته است این مشکل را با استفاده از تکنیک تخصیص موقعیت تا حد زیادی رفع کند. روش سوم که اصلاح شده ی روش دوم است به منظور افزایش سرعت محاسبات ارائه شده است.

کلید واژه: انتشار، پوشش منطقی، خطای نرم، قابلیت اطمینان، مدار ترکیبی، مسیر همگرا.

فهرست مطالب

عنوان **صفحه**

فصل اول : مقدمه ۱

۱-۱- مقدمه ۲

۱-۲- تاریخچه ۴

۱-۳- قابلیت اطمینان ۵

۱-۴- انواع خطا ۶

۱-۵- نحوه ی وقوع خطای گذرا (تک رویداد) ۷

۱-۶- خطای نرم چیست؟ ۹

فصل دوم : خطای نرم در مدارات دیجیتال ۱۳

۲-۱- قابلیت اطمینان سیگنال ۱۴

۲-۲- منابع تولید خطای نرم (عوامل محیطی) ۱۴

۲-۲-۱- ذرات آلفا ۱۵

۲-۲-۲- نوترونهای اشعه ی کیهانی ۱۷

۲-۲-۳- ذرات ناشی از تجزیه بور ۱۹

۲-۳- انواع خطای نرم ۲۰

۲-۴-نرخ وقوع خطای نرم ۲۱

۲-۵- خطای نرم در تکنولوژیهای جدید ۲۲

۲-۶- خطای نرم در مدارات مجتمع ۲۳

۲-۶-۱- خطای نرم در عناصر حافظه ۲۴

۲-۶-۱-۱- خطای نرم در حافظه های دینامیک ۲۴

۲-۶-۱-۲- خطای نرم در حافظه های استاتیک ۲۵

۲-۶-۲- خطای نرم در مدارات ترکیبی ۲۵

۲-۷- ایمنی مقابل خطای نرم در مدارات ترکیبی ۲۶
۲-۷-۱- ایمنی ذاتی..... ۲۶
۲-۷-۱-۱- پوشش منطقی..... ۲۶
۲-۷-۱-۲-پوشش الکتریکی..... ۲۷
۲-۷-۱-۳- پوشش زمانی..... ۲۸
۲-۷-۲- ایمنی مصنوعی..... ۲۹
۲-۷-۲-۱- مقاوم سازی قطعه..... ۲۹
۲-۷-۲-۲- مقاوم سازی سیستم..... ۳۰
۲-۷-۲-۳- مقاوم سازی مدار..... ۳۱
۲-۸- سهم عناصر حافظه و مدارات ترکیبی در نرخ خطای نرم..... ۳۱
۲-۹- روشهای تحمل خطای نرم..... ۳۳
۲-۹-۱- روشهای جلوگیری ۳۴
۲-۹-۱-۱- پاکسازی مواد سازنده..... ۳۴
۲-۹-۱-۲- مقاوم سازی در مقابل تشعشع..... ۳۴
۲-۹-۲- روشهای بهبود..... ۳۶
۲-۹-۲-۱- افزونگی ۳۶
۲-۹-۲-۲- روشهای تشخیص و تصحیح خطا ۳۷
۲-۱۰- نتیجه گیری..... ۳۸
فصل سوم : مروری بر کارهای پیشین ۳۹
۳-۱- مقدمه..... ۴۰
۳-۲- روش احتمال انتشار خطا..... ۴۰
۳-۳- روش احتمال سیگنال..... ۴۳
۳-۴- روش چندگذری..... ۴۶

۳-۵- روش ماتریس احتمال شرطی..... ۴۸
۳-۶- روش مدل گیت احتمالی..... ۵۰
۳-۷- روش مدل گیت احتمالی دقیق..... ۵۳
۳-۸- نتیجه گیری..... ۵۴
فصل چهارم : روشهای پیشنهادی جهت محاسبه ی قابلیت اطمینان ۵۵
۴-۱- مقدمه..... ۵۶
۴-۲- روش پیشنهادی اول..... ۵۶
۴-۲-۱- ماتریس احتمال باینری..... ۵۶
۴-۲-۲- انتقال ماتریس احتمال باینری..... ۵۹
۴-۲-۳-کد گشایی ماتریس خروجی..... ۶۱
۴-۲-۴- بررسی صحت روش پیشنهادی..... ۶۲
۴-۲-۵- نتایج شبیه سازی..... ۶۴
۴-۳- روش پیشنهادی دوم..... ۶۶
۴-۳-۱- ماتریس انتقال احتمال بهبود یافته..... ۶۶
۴-۳-۲- نتایج شبیه سازی..... ۷۰
۴-۴ - روش پیشنهادی سوم..... ۷۴
۴-۴-۱- مدل گیت احتمالی بهبود یافته..... ۷۴
۴-۴-۲- نتایج شبیه سازی..... ۷۸
۴-۵- نتیجه گیری..... ۸۰
فصل پنجم: نتیجه گیری و پیشنهادات..... ۸۱
۵-۱- نتیجه گیری..... ۸۲
۵-۲-پیشنهادات..... ۸۳
منابع ۸٤
پیوست ۸۹

بررسی اثر مسیرهای همگرا در پوشش منطقی مدارات ترکیبی..... ۹۰
واژه نامه انگلیسی به فارسی..... ۹۲
جدول علائم اختصاری..... ۹۵

فهرست جدول ها

عنوان **صفحه**

جدول ۲- ۱ جزئیات ایزوتوپ U-238..... ۱۶

جدول ۲- ۲ جزئیات ایزوتوپ Th-232 ..... ۱۶

جدول ۲- ۳ روشهای تشخیص و تصحیح خطا ۳۷

جدول ۳- ۱ روابط محاسبه احتمال در گیتهای خارج از مسیر ۴۱

جدول ۳- ۲ مقایسه ی روش EPP با روش مبتنی بر شبیه سازی ۴۳

جدول ۳- ۳ نتایج شبیه سازی روش چند گذری ۴۷

جدول ۳- ۴ نتایج شبیه سازی روش CPM ۴۹

جدول ۳- ۵ روابط محاسبه ی احتمال سیگنال در خروجی گیتهای مختلف ۵۱

جدول ۳- ۶ نتایج شبیه سازی روش PGM ۵۳

جدول ۳- ۷ نتایج شبیه سازی روش APGM ۵۴

جدول ۴- ۱ نتایج شبیه سازی روش پیشنهادی اول..... ۶۴

جدول ۴- ۲ تعداد عملگرهای استفاده شده به تفکیک نوع عملگر..... ۶۵

جدول ۴- ۳ نتایج شبیه سازی روش پیشنهادی دوم (سری اول)..... ۷۱

جدول ۴- ۴ نتایج شبیه سازی روش پیشنهادی دوم (سری دوم)..... ۷۲

جدول ۴- ۵ نتایج شبیه سازی روش پیشنهادی دوم (سری سوم)..... ۷۳

جدول ۴- ۶ نتایج شبیه سازی روش پیشنهادی سوم (سری اول)..... ۷۸

جدول ۴- ۷ نتایج شبیه سازی روش پیشنهادی سوم (سری دوم)..... ۷۹

جدول ۴- ۸ نتایج شبیه سازی روش پیشنهادی سوم (سری سوم)..... ۸۰

فهرست شکل ها

عنوان **صفحه**

شکل ۱- ۱ تغییرات چگالی توان در تراشه های الکترونیکی ۳

شکل ۱- ۲ تغییرات نرخ خطای نرم بر حسب تغییرات تکنولوژی ۴

شکل ۱- ۳ مراحل وقوع یک خطای گذرا در یک پیوند p-n ۸

شکل ۱- ۴ تغییرات یک پالس گذرا بر حسب زمان ۸

شکل ۱- ۵ ساختار یک p-n-p-n پارازیتی ۱۰

شکل ۱- ۶ انواع خطای گذرا در مدارات الکترونیکی ۱۲

شکل ۲- ۱ فروپاشی اشعه های کیهانی در اتمسفر زمین ۱۷

شکل ۲- ۲ میزان شار نوترونی در سطح دریا بر حسب انرژی آنها ۱۸

شکل ۲- ۳ میزان تغییرات شار نوترونی بر حسب ارتفاع ۱۹

شکل ۲- ۴ تجزیه ی هسته ی بور (^{10}B) ۱۹

شکل ۲- ۵ انواع خطای نرم ۲۱

شکل ۲- ۶ تغییرات (Q_{crit}/Q_s) به ازای تغییرات تکنولوژی ۲۳

شکل ۲- ۷ ساختار یک حافظه ی دینامیکی تک ترانزیستوری ۲۴

شکل ۲- ۸ ساختار یک حافظه ی استاتیکی شش ترانزیستوری ۲۵

شکل ۲- ۹ پوشش منطقی ۲۶

شکل ۲- ۱۰ پوشش الکتریکی ۲۸

شکل ۲- ۱۱ پوشش زمانی ۲۸

شکل ۲- ۱۲ ساختار کلی یک TMR ۳۰

شکل ۲- ۱۳ افزونگی سه گانه ۳۰

شکل ۲- ۱۴ تغییرات نرخ خطا بر حسب فرکانس ۳۲

شکل ۲- ۱۵ تغییرات نرخ خطای نرم به ازای پیشرفت تکنولوژی ۳۳

شکل ۲- ۱۶ ساختار ترانزیستورهای با چاه دوگانه و سه گانه ۳۵

عنوان **صفحه**

شکل ۲- ۱۷ ساختار و عملکرد ترانزیستورهای SOI در مقابل برخورد ذره ۳۵
شکل ۲- ۱۸ مدار داخلی و جدول صحت یک C-Element ۳۶
شکل ۲- ۱۹ نمونه ای از کاربرد C-Element در بهبود خطای نرم ۳۷
شکل ۳- ۱ تعیین گیتهای درون مسیر..... ۴۱
شکل ۳- ۲ یک مدار ترکیبی با یک مسیر همگرا..... ۴۳
شکل ۳- ۳ ماتریس احتمال سیگنال..... ۴۴
شکل ۳- ۴ محاسبه ی احتمال سیگنال در خروجی با استفاده از روش PTM ۴۵
شکل ۳- ۵ محاسبه ی احتمال سیگنال خروجی با استفاده از روش SPRA..... ۴۵
شکل ۳- ۶ محاسبه ی قابلیت اطمینان با استفاده از روش SPRA ۴۶
شکل ۳- ۷ محاسبه ی قابلیت اطمینان با استفاده از روش Multi-Pass ۴۷
شکل ۳- ۸ خوشه بندی یک مدار ترکیبی ۴۸
شکل ۳- ۹ ماتریس احتمال شرطی ۴۹
شکل ۳- ۱۰ محاسبه ی نرخ خطای مدار با استفاده از روش تزریق خطا ۵۰
شکل ۴- ۱ تخصیص کد باینری..... ۵۸
شکل ۴- ۲ تخصیص کد در یک مدار ترکیبی با دو ورودی اولیه..... ۵۸
شکل ۴- ۳ ماتریس احتمال باینری ۵۹
شکل ۴- ۴ ماتریس تانسور ورودی ۶۰
شکل ۴- ۵ محاسبه ی ماتریس خروجی در یک گیت NAND با نرخ خطای ۰/۰۸..... ۶۰
شکل ۴- ۶ ساده سازی ماتریس خروجی..... ۶۱
شکل ۴- ۷ محاسبه ی قابلیت اطمینان با استفاده از روش پیشنهادی اول..... ۶۲
شکل ۴- ۸ محاسبه ی قابلیت اطمینان با استفاده از روش پارامتری ۶۳
شکل ۴- ۹ محاسبه ی قابلیت اطمینان با استفاده از روش پیشنهادی اول..... ۶۳
شکل ۴- ۱۰ تعداد کل عملگرهای استفاده شده..... ۶۶
شکل ۴- ۱۱ تغییرات قابلیت اطمینان بر حسب تغییرات نرخ خطای گیت..... ۶۶

عنوان **صفحه**

شکل ۴- ۱۲ ماتریس احتمال سیگنال..... ۶۷
شکل ۴- ۱۳ مقدار دهی اولیه به زیر آرایه های یک مدار با سه ورودی اولیه..... ۶۸
شکل ۴- ۱۴ محاسبه ی ماتریس خروجی در یک گیت NAND با نرخ خطای ۰/۰۸..... ۶۹
شکل ۴- ۱۵ آشکار سازی ماتریس احتمال نهایی..... ۶۹
شکل ۴- ۱۶ محاسبه ی قابلیت اطمینان با استفاده از روش پیشنهادی دوم..... ۷۰
شکل ۴- ۱۷ تغییرات قابلیت اطمینان بر حسب تغییرات نرخ خطای گیت..... ۷۳
شکل ۴- ۱۸ فرم کلی ماتریس احتمال ورودی..... ۷۵
شکل ۴- ۱۹ مقدار دهی اولیه به ماتریسهای ورودی در مداری با سه ورودی اولیه..... ۷۵
شکل ۴- ۲۰ محاسبه ی ماتریس احتمال خروجی در یک گیت NAND با نرخ خطای ۰/۰۸..... ۷۶
شکل ۴- ۲۱ محاسبه ی احتمال سیگنال ایده آل با استفاده از احتمال سیگنال واقعی..... ۷۶
شکل ۴- ۲۲ آشکار سازی ماتریس احتمال نهایی..... ۷۷
شکل ۴- ۲۳ مراحل محاسبه ی قابلیت اطمینان با استفاده روش پیشنهادی سوم..... ۷۷

فصل اول

مقدمه

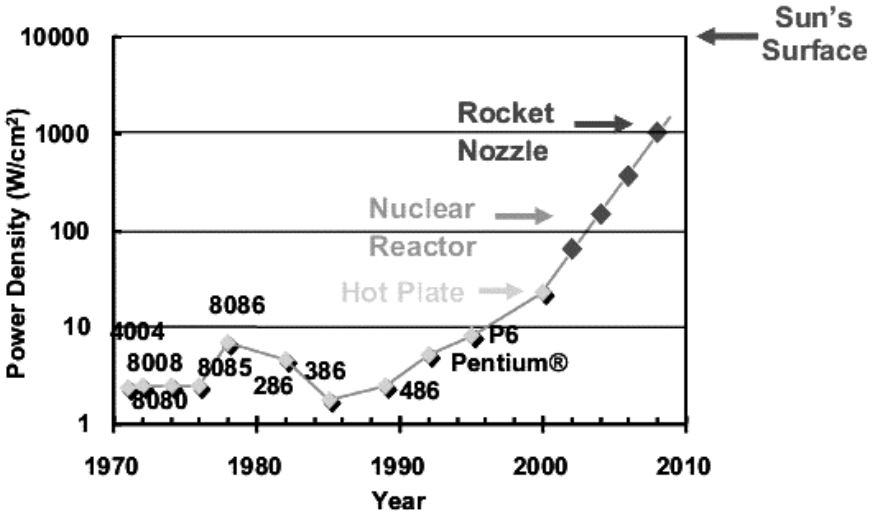
۱-۱- مقدمه

در دهه های اخیر، رشد چشمگیر و با سرعت تکنولوژی ساخت مدارات مجتمع و افزایش نمایی تعداد ترانزیستورهای موجود در تراشه های الکترونیکی باعث افزایش شگفت آور عملکرد[1] و کارآیی[2] آنها خصوصا در حوزه ی پردازشگرها شده است. قانون مور به عنوان معتبرترین معیار افزایش تعداد ترانزیستورهای موجود در تراشه های الکترونیکی شناخته می شود. بر طبق پیش بینی گردن مور (که در سال ۱۹۶۵ ارائه شد) به ازای هر ۲۴ ماه تعداد ترانزیستورهای موجود در تراشه های الکترونیکی دو برابر خواهند شد. سال ۱۹۷۱ را می توان به عنوان نقطه ی شروع این پیش بینی معرفی کرد. در این سال شرکت اینتل توانست اولین میکروپرسسور خود را با ۲۲۰۰ ترانزیستور روانه ی بازار کند. این پیش بینی در سالهای بعد علیرغم وجود بعضی محدودیتها تا حد زیادی تحقق یافت. بعنوان مثال در سال ۲۰۰۶ میلادی، اینتل خبر ساخت پردازشگری با نام" ایتانیوم۲[3] " با حدود ۱/۷۲ میلیارد ترانزیستور را منتشر نمود. این تعداد ترانزیستور را میتوان به عنوان دلیلی برتحقق پیش بینی مور در چهار دهه ی پیش از آن قلمداد کرد. در سالهای اخیر روند افزایش تعداد ترانزیستورها در تراشه های الکترونیکی نسبت به پیش بینی مورکندتر شده است. ساخت تراشه ای در سال ۲۰۱۱ با نام Xeon و حدود ۲/۶ میلیارد دلیل این مدعاست. محققان دلیل اصلی این کاهش را تشدید محدودیتهای پیشین و بروز محدودیتهای جدید می دانند. یکی از این محدودیتها کندی حافظه های پویا[4] خارجی نسبت به سرعت پردازشگرهاست. این محدودیت باعث می شود که جایگزینی حافظه های کش[5] داخلی که دارای سرعت خوبی هستند (۱۰ تا ۱۰۰ برابر سریعتر از حافظه های پویا) با حافظه های پویای خارجی با سرعت بسیار کمی انجام پذیرد. این در حالی است که حدود ۵۰٪ سطح تراشه های سیلیکونی را حافظه های کش اشغال نموده اند و سهم عمده ای از مجموع توان مصرفی در تراشه ها نیز مربوط به آنهاست.

---

[1] Performance
[2] Functionality
[3] Itanium II
[4] Dynamic
[5] Cache

یکی دیگر از محدودیتهای تحقق قانون مور افـزایش چگـالی تـوان[1] در تراشـه هاسـت کـه در سالهای اخیر تحت عنوان" دیوار توان[2] " شناخته می شود. براساس پیش بینی شرکت اینتل کـه در سال ۲۰۰۰ میلادی انجام شده است، چنانچه روند افزایش چگالی توان در تراشه های الکترونیکـی اصلاح نشود، از سال ۲۰۱۰ میلادی به بعد خنک سازی تراشه های الکترونیکی به یکی از مهمترین معضلات در طراحی مـدارات مجتمـع تبـدیل خواهـد شـد. شـکل ۱-۱ تغییـرات چگـالی تـوان در مدارات مجتمع را در سالهای مختلف به تصویر کشیده است. طبق پـیش بینـی انجـام شـده در ایـن شکل چنانچه روند افزایش چگالی توان در تراشـه هـای الکترونیکـی اصـلاح نشـود در چنـد سـال آینده دمای آنها به دمای سطح خورشید خواهد رسید !

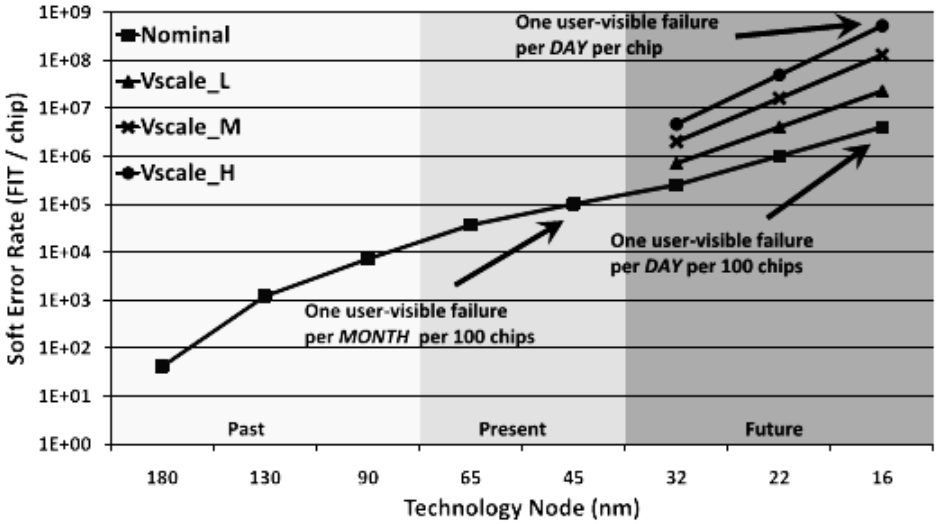


شکل ۱- ۱ تغییرات چگالی توان در تراشه های الکترونیکی [۱]

یکی از جدیدترین محدودیتهای موجود، مربوط به خطاهای گذرای تولید شده پس از تشعشع ذرات آلفا، نوترونها و ... است که تحت عنوان " دیوار خطای نرم[3] " شناخته می شود. بطـور کلـی یک خطای گذرا زمانی بوجود می آید که یک ذره ی یونیزه کننده در حین عبور از قطعات نیمـه هادی منجر به ایجاد زوج الکترون- حفره به صورت مستقیم یا غیر مستقیم شود. چنانچه بـار تولیـد شده از این برخوردها به میزان بار بحرانی[4] - که حداقل میزان بار بـرای وقـوع خطـای گذراسـت- برسد می توانند موجب تغییر حالت در عناصر ذخیره کننده[5] شود که به آن خطای نرم می گوینـد. تحقیقات انجام شـده در سـالهای اخیـر از افـزایش حساسـیت مـدارات مجتمـع بـه خطـای نـرم در

[1] Power Density
[2] Power wall
[3] Soft error wall
[4] Critical
[5] Memory elements

تکنولوژیهای زیر میکرون حکایت دارند [۲]. در شکل ۱-۲ تغییرات نرخ خطای نرم به ازای تغییرات تکنولوژی ساخت مدارات مجتمع به نمایش در آمده است. طبق پیش بینی انجام شده در این شکل، در تکنولوژی ۱۶ نانومتر و در بدترین شرایط(کاهش شدید ولتاژ تغذیه)، در یک تراشه در هر روز یک خطای نرم رخ خواهد داد [۳].



شکل ۱- ۲ تغییرات نرخ خطای نرم بر حسب تغییرات تکنولوژی [۳]

۱-۲- تاریخچه

اولین گزارش کشف خطای نرم مربوط به سال ۱۹۵۴ است. در این سال اختلالاتی در کار دستگاههای الکترونیکی دیجیتال ایجاد شده بود که صحت عملکرد آنها را تحت الشعاع قرار داده بود. این اختلالات ابتدا به دلیل اتفاقی بودن و همچنین نامشخص بودن منابع تولید کننده ی آنها، تحت عنوان ناهنجاری الکترونیکی[1] شناخته می شدند [۴]. در سال ۱۹۶۲ والمارک[2] پس از انجام تحقیقاتی گسترده، طی مقاله ای [۵] نام این اختلالات را خطای نرم و عامل اصلی آنها تشعشع کیهانی[3] و برخورد ذرات باردار به قطعات نیمه هادی معرفی کرد. در سالهای ۱۹۷۰ تا اوایل سال ۱۹۸۱ مطالعات در مورد منابع تولید کننده ی خطای نرم به اوج خود رسید و تحقیقات فراوانی در مورد انواع و فیزیک این منابع انجام شد. در طی این سالها منابع متعددی برای وقوع خطای نرم کشف شدند، یکی از مهمترین این منابع ذرات آلفا[4] بودند. اولین گزارش کشف خطای نرم ناشی

[1] Electronic anomaly
[2] Wallmark
[3] Cosmic ray
[4] Alpha Particles

از برخورد ذرات آلفا نیز مربوط به سال ۱۹۷۸ است. در این سال شرکت اینتل به دلیل بروز اختلالاتی در عملکرد تراشه های خود، نتوانست به قرارداد خود با شرکت AT&T - که قصد تغییر سوئیچهای خود از مکانیکی به الکترونیکی را داشت- عمل کند. این روند مدت زیادی ادامه پیدا نکرد و در همین سال می و وودز[۱] توانستند عامل اصلی بوجود آورنده این اختلالات را کشف کنند. آنها طی مقاله ای دلیل بروز این اختلالات را برخورد ذرات آلفا اعلام کردند. این ذرات از آلودگی سرامیکهای به کار رفته در مواد بسته بندی به اورانیوم[۲] و توریم[۳] ناشی می شدند [۶،۷]. در سال ۱۹۷۹ جنزر و ولیکی[۴] پی بردند که علاوه بر اورانیوم و توریم، نوترونها[۵] و پروتونهای[۶] تولید شده ناشی از واکنشهای هسته ای نیز می توانند موجب بروز خطای نرم در قطعات نیمه هادی شوند[۸]. از سال ۱۹۸۱ مطالعه در مورد منابع تولید خطای نرم به مرور از دستور کار خارج شد و مطالعه در مورد اثرات خطای نرم شدت گرفت. از این تاریخ به بعد کارهای انجام شده در حوزه ی خطای نرم را می توان در گروههای زیر تقسیم بندی نمود[۹]:

۱- پیشگیری[۷]: روشهای حفاظت تراشه ها در مقابل خطای نرم.
۲- تست[۸]: روشهای تشخیص خطای نرم.
۳- ارزیابی[۹]: روشهای تخمین اثر خطای نرم.
۴- بهبود[۱۰]: روشهای بهبود یا کاهش اثر خطای نرم.

۱-۳- قابلیت اطمینان

یکی از مهمترین ویژگیهای هر سیستم، میزان قابلیت اطمینان آن است. تاکنون برای قابلیت اطمینان تعاریف متعددی ارائه شده است، یکی از جامع ترین این تعاریف (که توسط موسسه ی IEEE[۱۱] ارائه شده) عبارتست از توانایی سیستم یا قطعه در انجام عملیات محوله تحت شرایط ثابت و برای یک بازه ی زمانی مشخص. از دیدگاه تئوری می توان قابلیت اطمینان را تحت عنوان احتمال در دسترس بودنِ سیستم در بازه ی زمانی [0,t] (با فرض سالم بودن سیستم در لحظه ی

[1] May & Woods
[2] Uranium
[3] Thorium
[4] Guenzer & Wolicki
[5] Neutrons
[6] Protons
[7] Prevention
[8] Test
[9] Assessment
[10] Recovery
[11] Institute of Electrical Electronics Engineers

صفر) معرفی نمود [۱۱،۱۰]. در دسترس بودن و عملکرد صحیح سیستم در این بازه ی زمانی منوط به این است که یا در این بازه ی زمانی خطایی رخ ندهد و یا سیستم در این مدت زمان در مقابل وقوع انواع خطا مقاوم باشد. به زبان ساده تر قابلیت اطمینان یعنی اندازه گیری میزان حساسیت سیستم در مقابل وقوع انواع خطا [۱۰]. امروزه قابلیت اطمینان به یکی از مهمترین معیارها در طراحی سیستم های دیجیتال تبدیل شده است. دلیل عمده ی این افزایش اهمیت را می توان پیشرفت تکنولوژی ساخت مدارات مجتمع و در نتیجه افزایش حساسیت این سیستم ها به وقوع انواع خطا خصوصا خطاهای گذرا معرفی کرد. قبل از بررسی تاثیر پیشرفت تکنولوژی بر قابلیت اطمینان مدارات مجتمع، بررسی انواع خطا و شرایط لازم جهت وقوع آنها ضروری به نظر می رسد.

۱-٤- انواع خطا

به طور کلی خطاها را می توان از لحاظ منبع تولیدی و مدت زمان تداوم اثر آنها به سه گروه زیر تقسیم بندی نمود[۱۱]:

۱- خطای دائمی[1]: این لفظ به خطاهایی اطلاق می شود که معمولا ناشی از خرابی فیزیکی هستند و تا زمان تعمیر یا جایگزینی، اثر آنها باقی می ماند. قطعات فرسوده مهمترین منبع تولید این نوع خطا هستند.
۲- خطای گذرا[2]: مهمترین ویژگی این نوع خطا کوتاه بودن مدت اثر آنهاست. خطاهای گذرا معمولا از عوامل محیطی مانند: فشار، تشعشع کیهانی، ذرات آلفا و ... ناشی میشوند و می توانند موجب تغییر حالت داخلی سیستم شوند. به این نوع خطا "تک رویداد[3] " نیز گفته می شود.
۳- خطای متناوب[4]: این لفظ به خطاهایی اطلاق می شود که پس از اولین وقوع تمایل زیادی برای وقوع مجدد دارند. این نوع خطاها معمولا ناشی از عوامل غیر محیطی مانند: قطعات فرسوده، نویز منابع تغذیه، تزویج خازنی و ... هستند.

در طراحی های جدید سعی شده است با ایجاد تغییراتی در ساختار مدارات مجتمع نقش عوامل غیر محیطی در نرخ خطای آنها، به کمترین مقدار ممکن کاهش داده شود. در حوزه ی خطاهای

[1] Permanent Fault
[2] Transient Fault
[3] Single Event
[4] Intermittent Fault