بسم الله الرحمن الرحیم

دانشگاه شاهد

دانشکده فنی و مهندسی

پایان‌نامه دوره کارشناسی ارشد مهندسی برق-الکترونیک

طراحی گیرنده نوری با نرخ داده بالا در فناوری سی‌ماس

محقق:

سیدمحمدرضاحسینی

استاد راهنما:

دکتر محسن جلالی

زمستان ۱۳۹۲

تقدیم

خدای را بسی شاکرم که از روی کرم، پدر و مادری فداکار نصیبم ساخته تا در سایه درخت پربار وجودشان بیاسایم و از ریشه آنها شاخ و برگ گیرم و از سایه وجودشان در راه کسب علم و دانش تلاش نمایم. والدینی که بودنشان تاج افتخاری است بر سرم و نامشان دلیلی است بر بودنم، چرا که این دو وجود، پس از پروردگار، مایه هستی ام بوده اند دستم را گرفتند و راه رفتن را در این وادی زندگی پر از فراز و نشیب آموختند. آموزگارانی که برایم زندگی، بودن و انسان بودن را معنا کردند....

تشکر و قدردانی

با سپاس فراوان از راهنمائی‌ها و زحمات استاد محترم و گرانقدر جناب آقای **دکتر محسن جلالی** که با فداکاری بسیار از ابتدای راه در طی انجام این تحقیق مرا در نگارش این اثر یاری نمودند.

چکیده

در این پایان‌نامه یک گیرنده نوری شامل تقویت‌کننده امپدانس انتقالی و تقویت‌کننده محدودکننده در فناوری ۱۸۰ nm CMOS برای نرخ داده ۲/۵ Gb/s طراحی شده است. در بخش تقویت‌کننده امپدانس انتقالی، یک روش فیدبک فعال جدید با استفاده از یک تضعیف‌کننده فعال با بهره منفی، جهت افزایش پهنای باند پیشنهاد شده است. با فرض پذیرش ۷٪ پیک در پاسخ فرکانسی، ۲۰٪ افزایش توان مصرفی و افزایش ناچیز سطح تراشه این روش می‌تواند حدود ۱۶۰٪ موجب بهبود پهنای باند شود. در بخش تقویت‌کننده محدود کننده، پهنای باند لازم با استفاده از خازن منفی بدست آمده است. این روش حدود ۵۰٪ بهبود در پهنای باند را نتیجه داده است به طوری که هزینه پرداختی برای آن افزایش حدود ۲۰٪ در توان مصرفی و ۸۰٪ در سطح تراشه بوده است. مساحت سطح تراشه کل ۰/۰۱۶ mm^2 بدون در نظر گرفتن پدها می‌باشد و توان مصرفی کل (بدون در نظر گرفتن جریان بافر خروجی) حدود ۱۴ میلی وات اندازه‌گیری شده است.

کلید واژه: گیرنده نوری، تقویت‌کننده امپدانس انتقالی، تقویت‌کننده محدودکننده.

فهرست مطالب

عنوان **صفحه**

فهرست جدول‌ها ..... ج
فهرست شکل‌ها ..... د
فهرست علایم و نشانه‌ها ..... ح

فصل ۱- مقدمه ۹
۱-۱- اهمیت تحقیق ۹
۱-۲- هدف تحقیق ۱۰
۱-۳- روش تحقیق ۱۰

فصل ۲- روش‌های طراحی گیرنده های نوری ۱۲
۲-۱- مقدمه ۱۲
۲-۲- تقویت‌کننده‌های امپدانس انتقالی ۱۲
۲-۲-۱- ملاحضات کلی ۱۲
۲-۲-۲- TIAهای حلقه‌باز ۱۶
۲-۲-۳- TIA با فیدبک محلی ۱۹
۲-۲-۴- TIAهای حلقه‌بسته ۲۰
۲-۲-۵- TIA های دیفرانسیلی ۲۲
۲-۲-۶- روش‌های افزایش‌دهنده کارایی ۲۵
۲-۲-۷- تقویت‌کننده امپدانس انتقالی با فیدبک فعال ۳۳
۲-۲-۸- تقویت‌کننده امپدانس انتقالی با کاربرد ولتاژ پایین ۳۵
۲-۲-۹- تقویت‌کننده امپدانس انتقالی برای فواصل کوتاه ۳۶
۲-۳- تقویت‌کننده‌های محدودکننده و بافر خروجی ۴۰
۲-۳-۱- پارامترهای عملکردی ۴۰
۲-۳-۲- طبقه‌های سری شده ۴۳
۲-۳-۳- مقیاس‌بندی معکوس ۴۴
۲-۴- روش‌های افزایش‌دهنده پهنای باند ۴۵
۲-۴-۱- پیک القایی ۴۵
۲-۴-۲- تبهگنی خازنی ۴۶
۲-۴-۳- تقویت‌کننده ی چری هوپر ۴۷
۲-۴-۴- تقویت‌کننده محدودکننده با فیدبک فعال ۴۹
۲-۴-۵- تقویت کننده‌ی محدود کننده با جبرانسازی امپدانس منفی ۵۱

۲-۴-۶- تقویت‌کننده محدودکننده به همراه فیدبک فعال و خازن منفی ۵۵
۲-۴-۷- دوبرابرکننده ی fT ۵۵
۲-۵- بافرهای خروجی ۵۶
۲-۵-۱- سیگنال‌دهی دیفرانسیلی ۵۷
فصل ۳- طراحی تقویت‌کننده امپدانس انتقالی و تقویت‌کننده محدود کننده ۶۱
۳-۱- مقدمه ۶۱
۳-۲- طراحی TIA ۶۱
۳-۲-۱- طرح ایده TIA ۶۱
۳-۲-۲- پیاده‌سازی ایده TIA ۶۳
۳-۲-۳- پیاده‌سازی ایده TIA به طور واقعی و تحلیل فرکانس پایین TIA ۶۶
۳-۲-۴- تحلیل فرکانس بالا TIA ۶۶
۳-۲-۵- تحلیل نویز TIA ۷۰
۳-۲-۶- نتایج طراحی ۷۱
۳-۳- طراحی LA ۷۸
۳-۳-۱- طرح ایده LA ۷۸
۳-۳-۲- پیاده‌سازی ایده LA ۷۹
۳-۳-۳- پیاده‌سازی ایده LA به طور واقعی و تحلیل فرکانسی ۸۱
۳-۳-۴- نتایج طراحی ۸۴
۳-۴- پیاده سازی کامل گیرنده نوری ۸۸
۳-۴-۱- پاسخ فرکانسی گیرنده نوری ۸۹
۳-۴-۲- دیاگرام چشمی گیرنده نوری ۹۰
۳-۴-۳- Layout نهایی گیرنده نوری ۹۰
۳-۴-۴- Post Layout Simulation ۹۰
فصل ۴- نتیجه‌گیری و پیشنهادات ۹۲
۴-۱- TIA پیشنهادی ۹۳
۴-۲- مدار LA پیشنهادی ۹۴
۴-۳- Layout گیرنده نوری پیشنهادی ۹۶
۴-۴- پیشنهادات ۹۸
فهرست مراجع ۹۹
واژه نامه فارسی به انگلیسی ۱۰۱
واژه نامه انگلیسی به فارسی ۱۰۳

فهرست جدول‌ها

عنوان **صفحه**

جدول ۳-۱: بهبود پهنای باند به ازای ε های متفاوت ۶۹
جدول ۴-۱: مشخصات گیرنده نوری طراحی شده ۹۲
جدول ۴-۲: مقایسه تقویت‌کننده‌های امپدانس انتقالی ۹۴
جدول ۴-۳: مقایسه تقویت‌کننده‌های محدودکننده ۹۶

فهرست شکل‌ها

عنوان **صفحه**

شکل ۱-۱: بخش‌های اصلی سامانه ارتباطی نوری ۹
شکل ۱-۲: ساختار یک گیرنده نوری ۱۰
شکل ۲-۱: تبدیل جریان به ولتاژ با استفاده از مقاومت [1] ۱۳
شکل ۲-۲: پاسخ یک شبکه RC به اطلاعات تصادفی [1] ۱۴
شکل ۲-۳: پاسخ شبکه RC به لبه بالا رونده [1] ۱۵
شکل ۲-۴: پاسخ شبکه RC به لبه پایین رونده [1] ۱۵
شکل ۲-۵: تقویت کننده‌ی گیت مشترک [1] ۱۶
شکل ۲-۶: مدل سیگنال کوچک تقویت کننده‌ی گیت مشترک[1] ۱۷
شکل ۲-۷: مدار معادل نویز گیت مشترک [1] ۱۷
شکل ۲-۸: طبقه گیت مشترک در فرکانس های بالا [1] ۱۸
شکل ۲-۹: ساختار RGC ساده [2] ۱۹
شکل ۲-۱۰: TIA حلقه‌بسته[1] ۲۱
شکل ۲-۱۱: پیاده سازی TIA حلقه‌بسته [1] ۲۲
شکل ۲-۱۲: تبدیل سیگنال تک سر به دیفرانسیلی [1] ۲۲
شکل ۲-۱۳: روش افزایش دهنده بهره دیفرانسیلی[4] ۲۳
شکل ۲-۱۴: دیفرانسیلی کردن تقویت‌کننده به وسیله شبه فتودیود[5] ۲۴
شکل ۲-۱۵: RGC دیفرانسیلی[6] ۲۴
شکل ۲-۱۶: RGC دیفرانسیلی به روش زوج جفتی [6] ۲۵
شکل ۲-۱۷: سیم اتصالی خارج شده از ورودی استفاده نشده در TIA برای بهبود تقارن [1] ۲۵
شکل ۲-۱۸: اضافه کردن منبع جریان PMOS برای تأمین قسمتی از جریان بایاس [1] ۲۶
شکل ۲-۱۹: TIA حلقه‌بسته با تزویج خازنی [1] ۲۶
شکل ۲-۲۰: TIA بدون بافر در مسیر فیدبک [1] ۲۷
شکل ۲-۲۱: TIA حلقه‌بسته به همراه خازن ورودی طبقه A(s) [7] ۲۷
شکل ۲-۲۲: ساختار TIA موازی برای بهبود پهنای باند ۲۹
شکل ۲-۲۳: مدار سورس مشترک با خاصیت پیک القایی [1] ۳۰
شکل ۲-۲۴: تقویت‌کننده گیت مشترک با سلف جداساز [8] ۳۱
شکل ۲-۲۵: TIA سه طبقه به همراه خازن‌های پارازیتی و سلف‌های جداساز[9] ۳۲
شکل ۲-۲۶: مدار معادل پیک سلفی نوع π [10] ۳۲
شکل ۲-۲۷: TIA با روش پیک سلفی نوع π [10] ۳۳
شکل ۲-۲۸: TIA دیفرانسیلی به همراه پیک القایی [11] ۳۳
شکل ۲-۲۹: مدار CG با فیدبک فعال [2] ۳۴

شکل ۲-۳۰: TIA فیدبک‌دار به همراه بافر جریان [12] ۳۶
شکل ۲-۳۱: TIA با فیدبک موازی-موازی [14] ۳۷
شکل ۲-۳۲: TIA با فیدبک پسیو و اکتیو تودرتو [14] ۳۸
شکل ۲-۳۳: پیاده‌سازی TIA با فیدبک فعال و پسیو تودرتو [14] ۳۹
شکل ۲-۳۴: پاسخ فرکانسی TIA با فیدبک فعال و پسیو و TIA معمولی [14] ۴۰
شکل ۲-۳۵: نقش LA در گیرنده نوری [1] ۴۱
شکل ۲-۳۶: تقویت کننده‌های سری شده [1] ۴۳
شکل ۲-۳۷: بافر خروجی مخروطی [1] ۴۴
شکل ۲-۳۸: کاهش خازن بار با استفاده از روش مقیاس بندی معکوس[16] ۴۴
شکل ۲-۳۹: بلوک دیاگرام محدودکننده‌ی CMOS با طبقه های مقیاس بندی معکوس [16] ۴۵
شکل ۲-۴۰: تقویت کننده‌ی دیفرانسیلی اصلاح شده با سلف فعال [1] ۴۶
شکل ۲-۴۱: زوج دیفرانسیلی با تبهگنی خازنی [1] ۴۶
شکل ۲-۴۲: نیم مدار زوج دیفرانسیلی با تبهگنی خازنی [1] ۴۷
شکل ۲-۴۳: تقویت کننده‌ی چری‌هوپر [1] ۴۸
شکل ۲-۴۴: تقویت‌کننده چری‌هوپر به همراه سلف فعال [11] ۴۹
شکل ۲-۴۵: ساختار فیدبک فعال [17] ۴۹
شکل ۲-۴۶: فیدبک فعال به همراه روش کاهش اثر خازنی [17] ۵۱
شکل ۲-۴۷: تقویت کننده‌ی ولتاژ متداول [18] ۵۲
شکل ۲-۴۸: تقویت کننده‌ی ولتاژ بهبود یافته با امپدانس منفی [18] ۵۲
شکل ۲-۴۹: مدار تولید مقاومت منفی [18] ۵۳
شکل ۲-۵۰: مدار تولید کننده خازن منفی [18] ۵۳
شکل ۲-۵۱: LA با طبقات خازن و مقاومت منفی [18] ۵۴
شکل ۲-۵۲: تقویت‌کننده محدودکننده به همراه خازن منفی و فیدبک فعال [13] ۵۵
شکل ۲-۵۳: مدار دو برابر کننده ی fT [1] ۵۶
شکل ۲-۵۴: بافر خروجی درین باز [1] ۵۷
شکل ۲-۵۵: جریان گذرا در منبع تغذیه‌ی طبقه‌ی دیفرانسیلی [1] ۵۸
شکل ۲-۵۶: تاثیر بسته پارازیتی [1] ۵۸
شکل ۲-۵۷: مثالی از ناپایداری در اثر اندوکتانس پارازیتی [1] ۵۹
شکل ۲-۵۸: جبران اثر اندوکتانس پارازیتی [1] ۵۹
شکل ۲-۵۹: بافر خروجی با ختم دو طرفه [1] ۶۰
شکل ۳-۱: مدار معادل گیت مشترک بدون اثر بدنه و مدولاسیون طول کانال ۶۲
شکل ۳-۲: مدار معادل ابتدایی گیت مشترک پیشنهادی ۶۳
شکل ۳-۳: ساختار پیشنهادی ۶۴
شکل ۳-۴: مدار معادل ساختار پیشنهادی ۶۴

شکل ۳-۵: پیاده‌سازی واقعی تقویت‌کننده امپدانس انتقالی پیشنهادی ۶۶
شکل ۳-۶: مدار معادل سیگنال کوچک تقویت‌کننده گیت مشترک در فرکانس‌های بالا ۶۷
شکل ۳-۷: مدار معادل سیگنال کوچک TIA پیشنهادی ۶۸
شکل ۳-۸: مدار معادل نویز TIA پیشنهادی ۷۰
شکل ۳-۹: پاسخ فرکانسی TIA پیشنهادی و CG معمولی ۷۲
شکل ۳-۱۰: دیاگرام چشمی مدار CG ۷۲
شکل ۳-۱۱: دیاگرام چشمی مدار TIA پیشنهادی ۷۳
شکل ۳-۱۲: طیف جریان معادل نویز ورودی گیت مشترک ۷۳
شکل ۳-۱۳: نمودار اندازه و فاز مدار TIA پیشنهادی ۷۴
شکل ۳-۱۴: تحلیل کرنر در دماهای متفاوت ۷۵
شکل ۳-۱۵: بهبود کرنر در دماهای متفاوت ۷۶
شکل ۳-۱۶: Layout مدار TIA پیشنهادی ۷۶
شکل ۳-۱۷: پاسخ فرکانسی حاصل از Post Simulation ۷۷
شکل ۳-۱۸: Layout مدار TIA با استفاده از ترانزیستورهای RF ۷۸
شکل ۳-۱۹: پاسخ فرکانسی حاصل از Post Simulation مدار TIA با ترانزیستورهای RF ۷۸
شکل ۳-۲۰: پیاده سازی خازن منفی به وسیله خازن میلر ۷۹
شکل ۳-۲۱: پیاده سازی خازن منفی به وسیله خازن میلر با تقویت‌کننده تفاضلی ۷۹
شکل ۳-۲۲: تقویت‌کننده محدودکننده با بلوک خازن منفی ۸۰
شکل ۳-۲۳: زوج دیفرانسیلی درین جفت شده ۸۱
شکل ۳-۲۴: LA با جبرانسازی خازن منفی ۸۲
شکل ۳-۲۵: نیم مدار بلوک خازن منفی ۸۳
شکل ۳-۲۶: مدار معادل سیگنال کوچک خازن منفی ۸۳
شکل ۳-۲۷: پاسخ فرکانسی LA دو طبقه ساده، سه طبقه ساده و دو طبقه پیشنهادی ۸۴
شکل ۳-۲۸: نویز معادل ورودی مدار ۴ طبقه پیشنهادی و مدار ۶ طبقه ساده ۸۵
شکل ۳-۲۹: پاسخ فرکانسی LA پیشنهادی چهار طبقه ۸۵
شکل ۳-۳۰: دیاگرام چشمی LA چهارطبقه با ورودی 5mv ۸۶
شکل ۳-۳۱: کرنرهای LA چهار طبقه ۸۶
شکل ۳-۳۲: تحلیل مونت کارلو برای 500 تکرار ۸۷
شکل ۳-۳۳: نمودار ستونی مونت کارلو ۸۷
شکل ۳-۳۴: Layout مدار LA ۸۸
شکل ۳-۳۵: بلوک دیاگرام گیرنده نوری پیشنهادی ۸۸
شکل ۳-۳۶: پاسخ فرکانسی کامل گیرنده نوری ۸۹
شکل ۳-۳۷: دیاگرام چشمی گیرنده نوری با ورودی 5μA ۹۰
شکل ۳-۳۸: Layout نهایی گیرنده نوری ۹۰

شکل ۳-۳۹: پاسخ فرکانسی حاصل از Post Simulation مدار گیرنده نوری ۹۱
شکل ۴-۱: ساختار گیرنده نوری طراحی شده ۹۲
شکل ۴-۲: مدار TIA پیشنهادی ۹۳
شکل ۴-۳: مدار کامل LA پیشنهادی ۹۵
شکل ۴-۴: Layout گیرنده نوری با جزئیات ۹۷

فهرست علایم و نشانه‌ها

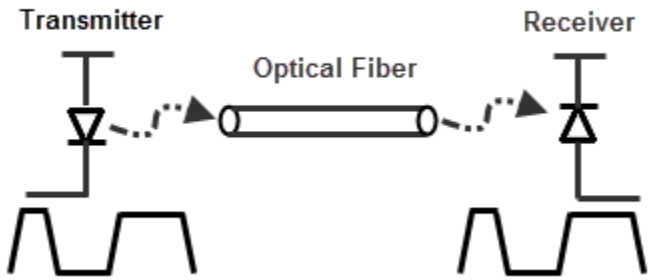
عنوان	علامت اختصاری
ضریب میرایی	ξ
فرکانس طبیعی	ω_n
ثابت بولتزمن	K
درجه حرارت	T
ثابت زمانی	τ
ترارسانایی	g_m
ترارسانایی اثر بدنه	g_{mb}
فرکانس زاویه‌ای	ω
فرکانس قطع	ω_{-3dB}
ضریب اثر بدنه	γ

فصل ۱– مقدمه

۱–۱– اهمیت تحقیق

امروزه با افزایش ارتباطات و افزایش انتقال اطلاعات به وسیله اینترنت و به طور کلی انتقال اطلاعات در فواصل کوتاه و بلند استفاده از سامانه‌ای که این حجم اطلاعات را با سرعت مناسبی انتقال دهد، ضروری است. سامانه‌های ارتباطی نوری از طریق فیبر نوری، یکی از بهترین گزینه‌ها به این منظور هستند. این سامانه‌ها مشکلات انتقال اطلاعات به روش‌های رادیویی مانند تداخل و یا احتمال شنود را نداشته و از سرعت بالاتری نیز نسبت به آنها برخوردار هستند. همانطور که در شکل ۱-۱ نشان داده شده است یک ارتباط نوری از سه قسمت اصلی تشکیل می‌شود که عبارت‌اند از: ۱- فرستنده نوری ۲- کانال ارتباطی (فیبر نوری) ۳- گیرنده نوری.

به علت اینکه سیگنال نوری پس از عبور از فیبر ضعیف می‌شود و همچنین تحت تاثیر عواملی مانند پاشیدگی[1] قرار می‌گیرد، طراحی گیرنده‌ی نوری در سمت دریافت از اهمیت ویژه‌ای برخوردار است. از مشخصات مهم یک گیرنده‌ی نوری می‌توان به پهنای باند و بهره مناسب، حساسیت زیاد (نویز کم)، توان مصرفی قابل قبول و اندازه (سطح تراشه) کم اشاره کرد.



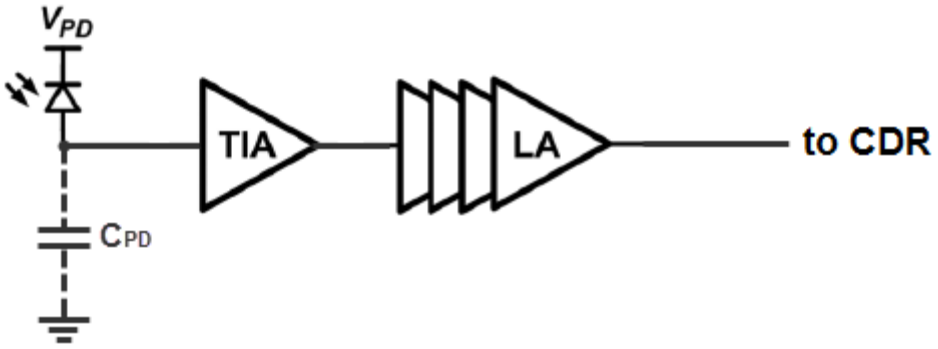
شکل ۱-۱: بخش‌های اصلی سامانه ارتباطی نوری

[1] Dispersion

۱-۲- هدف تحقیق

ساختار یک گیرنده‌ی نوری در شکل ۱-۲ نشان داده شده است. دو بخش اصلی گیرنده پس از فتودیود عبارت‌اند از تقویت‌کننده امپدانس انتقالی (TIA) [۱] و تقویت‌کننده محدود کننده(LA)[۲]. مهمترین چالش در طراحی TIA خازن پارازیت فتودیود که مانع از دستیابی به پهنای باند مناسب با جریان مصرفی و سطح تراشه‌ی معقول می‌شود. دستیابی همزمان به پهنای باند و بهره مناسب با تعداد طبقات کمتر نیز در LAها همچنان نیازمند استفاده از روش‌های نوین مداری است.

در این تحقیق سعی شده است با استفاده از روش‌های جدید با مصالحه‌های مناسب بدون استفاده از سلف (به دلیل مصرف سطح تراشه) به پهنای باند مناسب و حساسیت زیاد دست یابیم.



شکل ۱-۲: ساختار یک گیرنده نوری

۱-۳- روش تحقیق

در این تحقیق گیرنده‌ای طراحی شده است که در آن TIA مقاومت ورودی پایینی را با روش فیدبک فعال، ارائه می‌دهد. همچنین برای قسمت LA از روش خازن منفی برای حذف اثر خازن‌های پارازیتی استفاده شده است.

[1] Transimpedance Amplifier

[2] Limiting Amplifier

در روش جدید ارائه شده ابتدا عملکردهای مداری به صورت ریاضی اثبات شده است و پس از آن، شبیه‌سازی مداری برای اطمینان از درستی روابط ریاضی انجام شده است. در انتها Layout و شبیه‌سازی Post Layout انجام شده است تا ایده ارائه شده برای ساخت به صورت ASIC[1] آماده شود.

در این تحقیق در فصل ۲ کارهای انجام شده قبلی به تفصیل بررسی شده است. در فصل ۳ طراحی گیرنده نوری پیشنهادی به طور مفصل توضیح داده شده است و در فصل ۴ نتیجه‌گیری و پیشنهادات گنجانده شده است.

[1] Application-Specific Integrated Circuit

فصل ۲- روش‌های طراحی گیرنده های نوری

۲-۱- مقدمه

یک گیرنده نوری کامل معمولا شامل طبقه‌های TIA، LA و مدار بازیابی کلاک و داده (CDR)[1] می‌باشد. در گیرنده‌های نوری معمولا طبقه‌های TIA و LA را داخل یک تراشه طراحی می‌کنند. و به دلیل اینکه مدار بازیابی کلاک و داده ماهیت دیجیتالی دارد و احتمال اینکه مدارات TIA و LA را تحت تاثیر قرار دهد، در تراشه‌ای جدا ساخته می‌شود.

۲-۲- تقویت‌کننده‌های امپدانس انتقالی

در فتودیود چگالی نور به جریان متناسب تبدیل می‌شود که به وسیله‌ی TIA تقویت و به ولتاژ تبدیل می‌شود. طراحی TIAها شامل مصالحه‌های زیادی بین نویز، پهنای باند، بهره، ولتاژ تغذیه، اتلاف توان و چالش در انتخاب تکنولوژی CMOS[2] یا BJT[3] است[1].

سیگنال تولید شده به وسیله تقویت‌کننده‌های امپدانس انتقالی دامنه‌ی کمی دارد و در حد چند میلی‌ولت است.

۲-۲-۱- ملاحضات کلی

تقویت‌کننده امپدانس انتقالی یک جریان i_{in} ورودی را به یک ولتاژ خروجی v_{out} تبدیل می‌کند. یک ساختار ساده را قبل از توصیف پارامترهای عملکردی بررسی می‌کنیم.

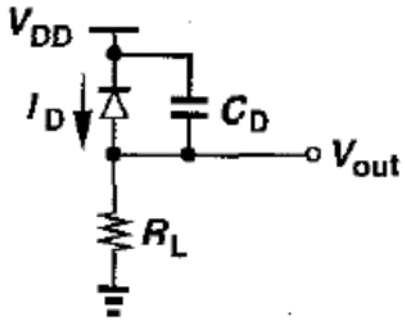
از آنجایی که فتودیود یک جریان کوچک تولید می‌کند و همچنین بیشتر پردازش‌های بعدی که روی سیگنال انجام می‌شود روی دامنه‌ی ولتاژ صورت می‌گیرد، جریان باید به ولتاژ تبدیل شود. در شکل ۲-۱ یک مقاومت که این عمل را می‌تواند انجام دهد، نشان داده شده است، که بهره امپدانس انتقالی معادل R_L

[1] Clock And Data Recovery

[2] Complementary Metal Oxide Semiconductor

[3] Bipolar Junction Transistor

را تولید می‌کند. با این وجود ثابت زمانی $R_L C_D$ منجر به مصالحه شدید بین بهره، نویز، پهنای باند می‌شود. بنابراین خصوصیات مدار به صورت معادلات (۲-۱) و (۲-۲) خلاصه می‌شود [1].



شکل ۲-۱: تبدیل جریان به ولتاژ با استفاده از مقاومت [1]

$$R_b = \frac{1}{2\pi R_L C_D} \quad (۲-۱)$$

$$\overline{I_{n,in}^2} = \frac{KT}{R_L^2 C_D} \quad (۲-۲)$$

در معادلات (۲-۱) و (۲-۲) یک مصالحه شدید بین نویز و سرعت را نشان می‌دهد. به طور معمول مدارهای دارای مقاومت و دیود ممکن است نویز را به طور جدی تقویت کند. بنابراین ساختارهای دیگری را باید به کار ببریم [1].

۲-۲-۱-۱- نویز

ملزومات شدید نویز انتخاب ساختارهای مداری و چند قطعه خاص را در مسیر سیگنال محدود می‌کند بنابراین همانطور که در این فصل دیده خواهد شد مشکل نویز با کم شدن ولتاژ تغذیه شدت می‌گیرد [1].

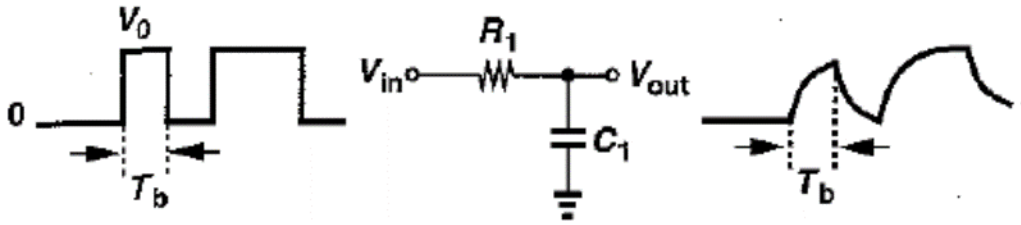
۲-۲-۱-۲- پهنای باند

از معادلات (۲-۱) و (۲-۲) می‌توان معادله (۲-۳) را بدست آورد.

$$\overline{I_{n,in}^2} = 4\pi^2 KT C_D R_b^2 \quad (۲-۳)$$

بنابراین همان طور که دیده می‌شود برای کاهش کل نویز، پهنای باند TIAها باید کم باشد با کاهش پهنای باند، تداخل بین سمبل‌ها (ISI)[1] زیاد شده که به صورت بسته شدن دیاگرام چشم[2] در قسمت افقی و عمودی می‌باشد. بنابراین باید ارتباط پهنای باند و ISI را به صورت کمیتی تعیین کنیم [1].

در اینجا یک فیلتر پایین گذر شکل ۲-۲ را برای فهم موضوع ISI در نظر می‌گیریم:



شکل ۲-۲: پاسخ یک شبکه RC به اطلاعات تصادفی [1]

در این مدار مقدار نهایی برای هر بیت به صورت (۲-۴) بیان می‌شود:

$$V_{out}(t) = V_0(1 - e^{-t/\tau}) \quad (۴-۲)$$

در معادله (۲-۴)، $\boldsymbol{\tau = R_1 C_1}$ می‌باشد.

خطای بین V_{out} در $t = T_b$ و مقدار نهایی معادل است با :

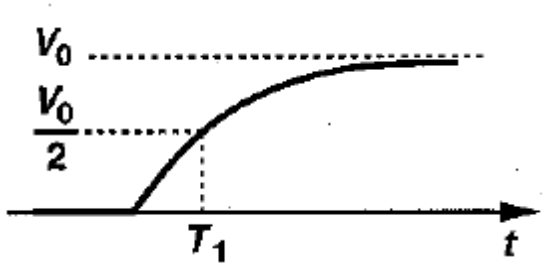
$$V_0 - V_{out}(T_b) = V_0 e^{-T_b/\tau} \quad (۵-۲)$$

همان طور که دیده می‌شود در صورتی که T_b کاهش یابد خطا افزایش می‌یابد. در واقع با افزایش خطا تداخل بین سمبل‌ها زیاد می‌شود.

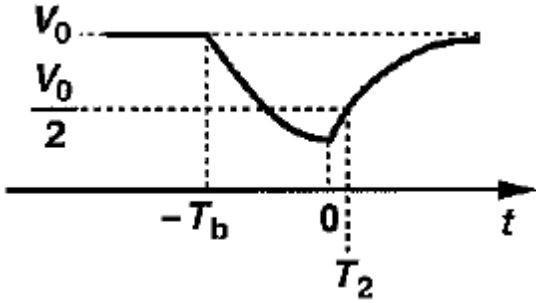
با فرض اینکه آستانه را در شکل ۲-۲ برابر $\frac{V_0}{2}$ در نظر بگیریم، زمانی که شکل موج خروجی از آستانه عبور می‌کند را حساب می‌کنیم. بنابراین شکل‌موج‌های شکل ۲-۳ و شکل ۲-۴ را در نظر می‌گیریم:

[1] Inter Symbol Interference

[2] Eye Diagram



شکل ۲-۳: پاسخ شبکه RC به لبه بالا رونده [1]



شکل ۲-۴: پاسخ شبکه RC به لبه پایین رونده [1]

در شکل ۲-۳ زمان از معادله $\frac{V_0}{2} = V_0(1 - e^{-T_1/\tau})$ بدست می‌آید. در حالی که در شکل ۲-۴ زمان از معادله $V_{out}(t) = V_0 - (V_0 - V_0 e^{-T_b/\tau})\, e^{-t/\tau}$ بدست می‌آید. به علت اینکه در اینجا یک صفر بین دو یک ظاهر می‌شود، V_{out} را مجبور می‌کند از مقدار بالاتری در t = 0 شروع شود. تفاوت بین T_1 و T_2 جیتر[1] را نشان می‌دهد.

۲-۲-۱-۳- بهره

بهره TIAها باید به اندازه کافی بزرگ باشد، تا به نویز طبقه‌های بعدی غلبه کند. در سرعت‌های بالا و ولتاژهای تغذیه‌ی پایین بهره ممکن است تا چند صد اهم محدود شود که طراحی طبقه‌های بهبود دهنده کارایی را مشکل می‌کند [1].

۲-۲-۱-۴- امپدانس خروجی

TIAهای مستقل (بدون مدارهای جانبی) باید یک خط انتقال ۵۰ اهم را روی مدار چاپی برای ارتباط با طبقه بعدی راه‌اندازی کند راه‌اندازهای ۵۰ اهم مصالحه شدید بین بهره، مصرف توان و پهنای باند را

[1] Jitter