
بسم الله الرحمن الرحيم

دانشکده فنی

پایان‌نامه کارشناسی ارشد

طراحی قابل سنتز تحلیل‌گر تعمیر داخلی برای حافظه‌های بر مبنای کلمه

از:

شاهین خدادادی

استاد راهنما:

دکتر راهبه نیارکی اصلی

شهریور ۱۳۹۲

تقدیم به:

پدر و مادر عزیزم

که در هنگام سختی‌ها و دشواری‌های زندگی همواره یاوری دلسوز و فداکار برایم بوده‌اند. پشتیبانی و راهنمودهای ایشان همواره امید به موفقیت را در من زنده نگه داشته است.

تشکر و قدردانی:

از استاد فرهیخته و فرزانه‌ام سرکار خانم **دکتر راهبه نیازکی اصلی** به خاطر زحمات فراوانشان در به ثمر رسیدن این پایان نامه کمال تشکر را دارم.

راهنمایی‌های سازنده ایشان سبب هموار شدن مسیر این پژوهش بوده است.

چکیده

طراحی قابل سنتز تحلیل‌گر تعمیر داخلی برای حافظه‌های کلمه‌گرا

شاهین خدادادی

با پیشرفت تکنولوژی مدارات VLSI و کاهش ابعاد مدارهای الکترونیکی شاهد افزایش میزان نقص‌ها یا خطاهای ادوات به‌خصوص در حافظه‌ها هستیم. بروز خطا در ادوات الکترونیکی سبب کاهش بهره‌دهی مدارات و کاهش قابلیت اطمینان خواهد شد. در این راستا تحقیقات زیادی برای طراحی مدارهای تعمیر درون‌ساخته صورت گرفته تا از کاهش بهره‌دهی و قابلیت اطمینان ادوات جلوگیری شود. با توجه به بالا بودن نیاز مدارات دیجیتال به ذخیره‌ی داده‌ها، حافظه‌های متعددی برای ذخیره‌سازی اطلاعات استفاده می‌شوند. حافظه‌ها با توجه به چینش سلول‌های آن به دو دسته‌ی بیت‌گرا و کلمه‌گرا تقسیم‌بندی می‌شوند.

در روش‌های قدیمی‌تر، از ابزارهای آزمون خودکار (ATE) و الگوریتم‌های خارج تراشه استفاده می‌شد. اما افزایش مداوم پیچیدگی هسته‌های SOC، سبب دشواری استفاده از ATE شده است. همین عامل نیاز به روش‌های خودآزمون درون‌ساخته (BIST) و مدار خودتعمیر درون‌ساخته (BIRA) را تشدید کرد. در روش‌های امروزی، بخش‌هایی از حافظه به عنوان افزونه‌های کمکی در نظر گرفته می‌شوند و به منظور جایگزینی سلول‌های معیوب حافظه به کار می‌روند. مهمترین بخش یک مدار خودتعمیر درون‌ساخته، تحلیل‌گر افزونه‌ی درون‌ساخته (BIRA) نام دارد که پس از دریافت اطلاعات از مدار BIST به تحلیل آدرس‌های خطا پرداخته و نتیجه‌ی تحلیل سبب تغییر مسیر داده به سمت افزونه‌ها خواهد شد.

در این پایان‌نامه به طراحی دو مدار تحلیل‌گر افزونه‌ی درون‌ساخته برای تعمیر حافظه‌های کلمه‌گرا پرداخته شده است. طرح پیشنهادی اول برای تعمیر خطاهای چند بیتی ارائه شده است. این طرح با پذیرش هزینه‌ای بابت افزونه‌های بیشتر، دست‌یابی به نرخ تعمیر بهینه و تعمیر بلادرنگ را ممکن ساخته است. طرح دوم با استفاده از خواص حافظه‌ی بیت‌گرا و کلمه‌گرا و تکنیک تبدیل آدرس، برای تعمیر خطاهای تک‌بیتی ارائه شده است که ضمن تحلیل بلادرنگ، به نرخ تعمیر بالایی دست پیدا می‌کند. دو روش پیشنهادی علاوه بر مزایای فوق، فضای کمتری از تراشه را به منظور پیاده‌سازی اشغال می‌کنند. به طوری که طرح پیشنهادی اول به ترتیب ۷۸/۸٪ و ۶۳/۶٪ نسبت به روش‌های EESP و 1-D Bitmap بهبود یافته است. همچنین طرح پیشنهادی دوم دارای ۵۹/۵٪ و ۳۰/۴٪ بهبود در فضای اشغالی می‌باشد.

واژه‌های کلیدی:

حافظه‌های جاسازی شده، حافظه‌های کلمه‌گرا، مدار خودآزمون درون‌ساخته، مدار خودتعمیر درون‌ساخته، تحلیل‌گر افزونه‌ی درون‌ساخته

فهرست مطالب

فصل ۱: مقدمه

فصل ۲: تعمیر حافظه‌های کلمه‌گرا

فصل ۳: طراحی تحلیل‌گر افزونه‌ی درون‌ساخته برای تعمیر خطاهای چند بیتی حافظه‌های کلمه‌گرا

فصل ۴: طراحی تحلیل‌گر افزونه‌ی درون‌ساخته برای تعمیر خطاهای تک بیتی حافظه‌های کلمه‌گرا

فصل ۵: جمع‌بندی و پیشنهادات

فهرست جداول

فهرست شکل‌ها

فهرست حروف اختصاری

ASIC …… Application-Specific Integrated Circuit

ATE …… Automatic Test Equipment

BIRA …… Built-In Redundancy Analyzer

BISD …… Built-In Self Diagnosis

BISR …… Built-In Self Repair

BIST …… Built-In Self-Test

CAM …… Content Addressable Memory

CRESTA …… Comprehensive Realtime Exhaustive Search Test and Analysis

CRV …… Column Repair Vector

DRAM …… Dynamic Random Access Memory

DSP …… Digital Signal Processing

ECC …… Error Checking and Correction

EESP …… Extended Essential Spare Pivoting

ESP …… Essential Spare Pivoting

FPGA …… Field Programmable Gate Array

HDK …… Hardware Development Kit

ITRS …… International Technology Roadmap for Semiconductors

JTAG …… Joint Test Action Group

LRM …… Local Repair Most

LSI …… Large Scale Integration

MRA …… Must-Repair Analyzer

PCI …… Peripheral Component Interconnect

R-CRESTA …… Reduced Comprehensive Realtime Exhaustive Search Test and Analysis

SDK …… Software Development Kit

SOC …… System On Chip

SRAM …… Static Random Access Memory

VLSI …… Very Large Scale Integration

Abstract

Built-In Redundancy Analyzer Synthesizable Design for Word-Oriented Memories

Shahin Khodadadi

With the advance of VLSI circuit's technology and the reduction in the size of devices, the propbability of the defects especially in embedded memories has increased. Memory defects cause yield drop and decrease in reliability. Lots of researches have been conducted to design Built-In Self-Repair (BISR) circuits so as to prevent the yield drop get to high reliability. A number of memories are used to save data, since digital circuits highly require saving data. Memories are of two types, based on the cells arrangement: Bit-oriented and word-oriented memories.

ATE and off-chip algorithms were used in former methods. However, using ATE become more and more difficult because of an increase in the complexity of SOC cores. This in turn, has increased the necessity of using Built-In Self-Test (BIST) and Built-In Redundancy Analyzer (BIRA). In contemprory methods, parts of the memory are used as spare redundancies. Furthermore, they are used to substitute the faulty cells of the memory. The most vital component of a BISR is called BIRA which analyzes fault addresses after receiving data from BIST and sends the analysis result to reconfiguration mechanism circuit. In the end, the result of analysis causes the data to change its direction towards the redundancies.

This thesis deals with designing two BIRAs in order to repair word-oriented memories. The first design is proposed to repair multiple-bit errors. In this design the facilitation of achieving optimal repair rate as well as at-speed repair costs using more redundancies. The second design has been offered based on the features of bit-oriented and word-oriented memories as well as the teqniques for address transformation in order to repair single-bit errors, which achieves a high repair rate besides at-speed analysis. Not only do the two proposed methods have the above advantages but also they consume a lower area of the chip for implementation purposes. The first proposed design has been improved 78.8% and 63.6% respectively, compared tho the EESP and 1-D bitmap methods. The second proposed design also shows a 59.5% and 30.4% improvement in the area consumption.

Keywords:

Embedded Memories, Word-Oriented Memories, Built-In Self-Test, Built-In Self-Repair, Built-In Redundancy Analyzer

مقدمه

۱- ۱ مقدمه

چگالی مجتمع‌سازی و عملکرد مدارهای مجتمع طی دو دهه‌ی گذشته تحولات چشم‌گیری را پشت سر گذاشته است. در دهه‌ی ۱۹۶۰، گوردون مور[۱] پیش‌بینی کرد که تعداد ترانزیستورهای یک مدار مجتمع با زمان به طور نمایی رشد می‌کند. بعدها با مشاهده‌ی درستی این پیش‌بینی، آن را قانون مور[۲] نامیدند [۲-۱]. جدول (۱-۱) تعداد ترانزیستورهای موجود در سطح تراشه را طی سال‌های متفاوت نشان می‌دهد که توسط ITRS[۳] ارائه شده است.

جدول (۱-۱) تعداد ترانزیستورهای مجتمع طی سال‌های متفاوت [۱]

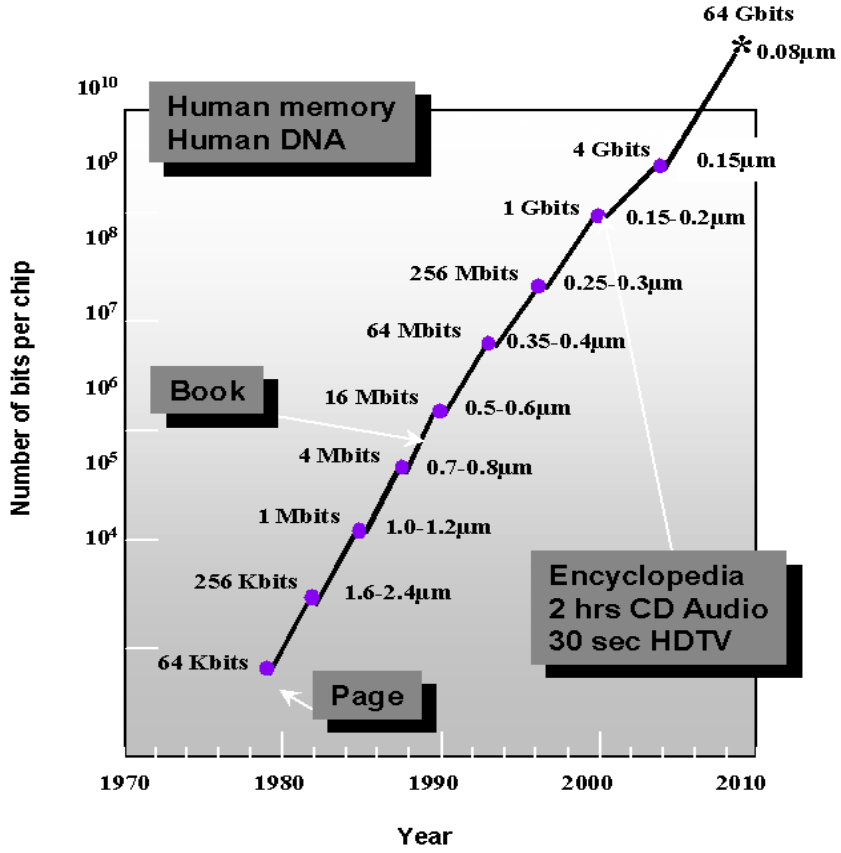
تعداد ترانزیستورها	سال
۲۹,۰۰۰	۱۹۷۸
۲۷۵,۰۰۰	۱۹۸۲
۱,۲۰۰,۰۰۰	۱۹۸۵
۳,۱۰۰,۰۰۰	۱۹۹۱
۷,۵۰۰,۰۰۰	۱۹۹۳
۹,۵۰۰,۰۰۰	۱۹۹۷
۵۵,۰۰۰,۰۰۰	۲۰۰۱

پیشرفت تکنولوژی VLSI[۴] سبب استفاده‌ی گسترده این تکنولوژی در سیستم‌های بزرگ دیجیتال مانند ریزپردازنده‌ها[۵]، پردازنده‌های سیگنال دیجیتال (DSPs[۶])، حافظه‌های با ظرفیت بالا، کنترل‌کننده‌های I/O و غیره شده است. از طرف دیگر به دلیل اهمیت ذخیره‌سازی داده‌ها در پردازش‌های دیجیتال نیاز به حافظه‌های بزرگ‌تر روز به روز بیشتر می‌شود.

1 Gordon Moore (1929)
2 Moore's low
3 International Technology Roadmap for Semiconductors
4 Very Large Scale Integration
5 Microprocessor
6 Digital Signal Processor

شکل (۱-۱) روند افزایش پیچیدگی حافظه را نشان می‌دهد. در این شکل چگالی مجتمع‌سازی حافظه بر حسب زمان مورد بررسی قرار گرفته است. همان طور که مشاهده می‌شود، چگالی حافظه از سال ۱۹۷۰ بیش از ۱۰۰۰ برابر شده است [۳]. هم اکنون در تراشه‌هایی مانند Strong ARM1100 ۹۰ درصد از فضای تراشه به حافظه اختصاص دارد [۴].

با توجه به اینکه بخش قابل توجهی از سطح تراشه را حافظه‌های جاسازی شده[1] تشکیل داده‌اند، از همین رو بهره‌دهی این حافظه‌ها در میزان بهره‌دهی کل سیستم بسیار موثر خواهد بود.



شکل (۱-۱) روند افزایش پیچیدگی حافظه [۲]

وجود خطا یکی از عواملی است که می‌تواند سبب کاهش میزان بهره‌دهی[1] در سیستم شود. برای جبران کاهش میزان بهره‌دهی که در اثر وقوع خطا اتفاق روی داده است می‌توان به تعمیر خطا پرداخت. در ابتدا روش‌های تعمیر به گونه‌ای

1 Embedded Memories

بودند که از تجهیزات آزمون خودکار (ATE[2]) و الگوریتم‌های خارج تراشه استفاده می‌گردید. اما افزایش چگالی مدارات مجتمع، منجر به دشوار شدن ارتباط با I/O، کافی نبودن سرعت و زیاد شدن میزان توان مصرفی مدارات ATE شد که در نتیجه کاهش استفاده از این روش‌ها را به دنبال داشته است [۷-۵]. علاوه بر این روش‌های مبتنی بر ATE تنها خطاهای ناشی از نقص‌های[3] تراشه را تشخیص می‌دادند و قادر به آشکارسازی خطاهای تصادفی یا خطاهای ناشی از تغییر دما مانند خطاهای نرم نبود. با گسترش تحقیقات در این زمینه، روش‌های آزمون درون‌ساخته (BIST[4]) برای جایگزینی با مدارات ATE ارائه شدند که امروزه از آن‌ها استفاده فراوانی می‌شود. با این روش‌ها تست حافظه بسیار ارزان‌تر از روش‌های سنتی خواهد بود. از طرف دیگر تلاش برای بهبود میزان بهره‌دهی و قابلیت اطمینان حافظه‌های جاسازی شده[5] منجر به ارائه ایده-هایی برای خودتعمیری حافظه شد. ایده‌ی تعمیر حافظه با استفاده از افزونه‌ها در دهه‌ی ۱۹۶۰ توسط Tammaru و Angell مطرح شد و طی یک دهه بعد به طور عملی پیاده‌سازی گردید [۸] . هدف اصلی این ایده افزایش میزان بهره‌دهی مدارات LSI[6] بود. این ایده نیز به عنوان یکی از روش‌های موثر بهبود بهره‌دهی مورد توجه قرار گرفته است. در این روش با در نظر گرفتن افزونه‌های کمکی[7] برای یک حافظه و طراحی یک مدار تحلیل‌گر افزونه‌ی درون‌ساخته (BIRA[8]) به تعمیر حافظه می‌پردازند. تنها هزینه‌ای که BIST و BIRA در هنگام ساخت حافظه به آن تحمیل می‌کنند، اندکی فضا به منظور پیاده‌سازی آن‌ها می‌باشد. در این روش سلول‌های معیوب با سلول‌های سالم که از پیش در حافظه‌ی اصلی تعبیه شده‌اند جایگزین می‌شوند. عمل جایگزینی با استفاده از یک سیستم برنامه‌پذیر روی تراشه انجام می‌پذیرد. از طرف دیگر با توجه به راحت‌تر بودن نحوه‌ی ساخت حافظه‌های کلمه‌گرا[9] و راحت‌تر بودن کدنویسی برای این دسته از حافظه‌ها، استفاده‌ی زیادی از آن‌ها می‌شود. در این پایان‌نامه قصد داریم با ارائه یک الگوریتم بهینه برای تعمیر حافظه‌های کلمه‌گرا بپردازیم. در الگوریتم پیشنهادی ضمن استفاده از روش موازی برای بالا نگه داشتن سرعت تحلیل، سطح مصرفی مدار به میزان قابل توجهی کاهش یافته است.

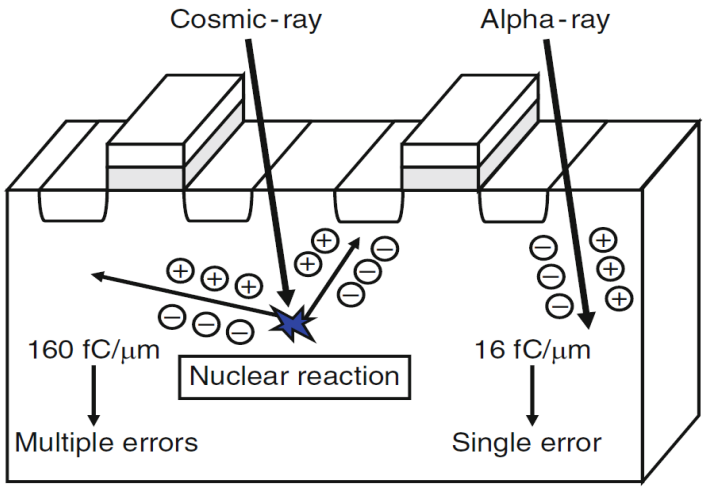
1 Yield
2 Automatic Test Equipment
3 Defects
4 Built-In Self-Test
5 Embedded Memories
6 Large Scale Integration
7 Spare Redundancies
8 Built-In Redundancy Analyzer
9 Word-Oriented Memories

۱- ۲ مفاهیم اولیه

۱- ۲- ۱ خطای نرم[1] و خطای سخت[2]

با کاهش چگالی ادوات الکترونیکی در سطوح مجتمع، انواع گوناگونی از نقص‌ها و خطاها پدید می‌آیند. منابع زیادی نیز وجود دارند که می‌توانند منجر به ایجاد خطا در تراشه شوند. خطاهای مربوط به حافظه‌ها را به طور کلی به دو دسته‌ی عمده تقسیم‌بندی می‌کنند که عبارتند از: خطاهای نرم و خطاهای سخت.

خطای نرم موجب از بین رفتن اطلاعات ذخیره شده در سلول‌های حافظه و دیگر گره‌های مدار می‌شود. این خطاها اغلب به دلیل نویز به خصوص ذرات آلفا و یا پرتوهای کیهانی پدید می‌آیند. خطای نرم و علل آن در شکل (۱-۲) نشان داده شده است. اگر بار تولید شده، بر روی گره‌ای که اطلاعات را ذخیره کرده است، جمع شود می‌تواند سبب شکست در مقدار ولتاژ آن گره شود. تا زمانی که قطعه در اثر خطای نرم تخریب نشده باشد، عملکرد صحیح دستگاه در اثر بازنویسی اطلاعات از دست رفته، امکان‌پذیر خواهد بود [۱۱-۱۰].



شکل (۱-۲) خطای نرم و عوامل آن [۹]

1 Soft error
2 Hard error