دانشکده مهندسی برق و کامپیوتر

گروه الکترونیک

پایان‌نامه

برای دریافت درجه کارشناسی ارشد در رشته برق الکترونیک

عنوان

طراحی بخش دسیماتور یک مبدل آنالوگ به دیجیتال دلتا-سیگما با ساختار قابل تغییر برای سیستم های مولتی استاندارد بی سیم

استاد راهنما

دکترضیاالدین دایی کوزه کنانی

استاد مشاور

دکتر جعفر صبحی

پژوهشگر

فرشته طاهرخانی

شهریور ۹۰

بسم الله الرحمن الرحیم

نام خانوادگی دانشجو: طاهرخانی نام: فرشته
عنوان پایان نامه: طراحی بخش دسیماتور یک مبدل آنالوگ به دیجیتال دلتا- سیگما با ساختار قابل تغییر برای سیستم‌های مولتی- استاندارد بی‌سیم
استاد راهنما: دکتر ضیاءالدین دایی کوزه کنانی
استاد مشاور: دکتر جعفر صبحی
مقطع تحصیلی: کارشناسی ارشد رشته: برق گرایش: الکترونیک طراحی مدار و سیستم دانشگاه:تبریز دانشکده: برق و کامپیوتر تاریخ فارغ التحصیلی: ۲۰ /٦/ ۱۳۹۰ تعداد صفحات:۱۲۲
کلید واژه ها: بی‌سیم، گیرنده،چند استاندارد، ساختار تغییرپذیر، مبدل آنالوگ به دیجیتال سیگما- دلتا، مدولاتور سیگما-دلتا، دسیماتور، فیلتر سینک
چکیده: تنوع کاربرد سیستم‌های جدید مخابراتی، نیازمند پیاده‌سازیی هستند که منجر به کارایی بالا و توان مصرفی کمتری شود. نسل‌های آینده ارتباطات مخابراتی مثل نسل چهارم قول " برقراری دائم ارتباط" را داده‌اند. بنابراین گیرنده‌های دیجیتال باید قادر به دریافت داده از چندین استاندارد باشند. گیرنده‌های مولتی-استاندارد بی‌سیم برای پشتیبانی استانداردهای مختلف مانند GSM و UMTS و... مورد نیاز است. گیرنده‌های مولتی-استاندارد بی‌سیم باندهای فرکانسی با پهنای باند مختلف را هدایت می‌کنند، بنابراین باید ساختار تغییرپذیر و تطبیق‌پذیر داشته باشد. بنابراین مفهوم(SDR) Software Radio receiver گزینه مناسبی برای طراحی گیرنده‌های مولتی-استاندارد بی‌سیم است. در حقیقت استفاده از SDR نیازمند طراحی و پیاده سازی مدارهای الکترونیکی است که بتوانند تابع پذیری مورد نظر را پشتیبانی کند. محدودیت اصلی SDR مسئله دیجیتال سازی سیگنال‌های رادیویی

است.

پیشرفت تکنولوژی در مدارهای مجتمع ، راه فشرده سازی و پیاده سازی کارآمد بلوک‌های دیجیتال روی چیپ‌های سیلیکنی را فراهم کرده است و این باعث جذب شدن بسیاری از پردازشگرهای سیگنال به سمت دیجیتال شده است. یکی از اصلی ترین اجزای این کاربرد مبدل آنالوگ به دیجیتال سیگما–دلتا است. دلیل استفاده از این نوع مبدل‌ها هزینه کم ، پهنای باند کوچک ، توان مصرفی پایین و دقت بالای آن است. و هم‌چنین محدودیت اصلی SDR را بر طرف می‌کند.

یک مبدل آنالوگ سیگما–دلتا ترکیبی از یک قسمت آنالوگ، مدولاتور و قسمت دیجیتالی دسیماتور می باشد. دسیماتور سیگما–دلتا بخش دوم چنین مبدّلی خواهد بود، که پردازش دیجیتال در قسمت دسیماتور انجام می شود. و می‌تواند دقت مبدل سیگما–دلتا را با کاهش فرکانس افزایش دهد و نویز را کاهش می دهد.

هدف از انجام این پایان‌نامه آنالیز و طراحی دسیماتور سیگما–دلتا با ساختار تغییرپذیر برای گیرنده‌های بی‌سیم رادیویی مولتی–استاندارد می‌باشد. به طوری که بتواند استانداردهای مختلف نسل چهارم موبایل مانند GSM و Bluetooth و WLAN را پشتیبانی کند. و از فناوری CMOS 0.18µm استفاده می‌شود.

تقدیم به خانواده مهربانم

که الفبای کلامشان شادی بخش لحظه لحظه ی زندگیم بوده و تپش قلب

مهربانشان

امید بخش وجودم

تقدیر و تشکر

حمد و سپاس خدایی راست که هستی را بر اساس قدرت بی کرانش بنیان نهاد و بشر را به آموختن اسرار آن رهنمون شد. خداوند حکیمی که هر ذرهٔ کائنات جلوه ای از عظمت و علم بی انتهای اوست. هر که از او چیزی خواهد، محروم نشود و هر که بدو امید بندد، نومید نگردد.

از خانواده خوبم بخصوص پدر و مادر مهربان و فداکارم، که هیچ واژه ای را در وصف خوبی هایشان نمی یابم و بدون محبت ها و دلسوزی های بی دریغ آنان، قادر به گذراندن این دوره نبودم، با تمام وجود سپاسگزارم.

از استاد راهنمای دلسوز و بزرگوارم دکتر ضیاالدین کوزه کنانی به خاطر زحمات بی دریغ، تلاش های بی وقفه و راهنمایی های ارزشمندشان در نهایت فروتنی سپاسگزارم و از اینکه افتخار شاگردی ایشان را داشتم بسیار خرسندم. و آنچه از علم و ادب و اخلاق که از ایشان آموخته ام از یاد نخواهم برد.

از جناب آقای دکتر جعفر صبحی که استاد مشاور اینجانب بودند، به خاطر کمک ها و مساعدت هایشان کمال تشکر و قدردانی را دارم. از اساتید و دوستان گروه طراحی آی سی و تمامی کسانی که در طول این دوره تحصیلی از کمک ها و راهنمایی هایشان بهره مند بودم، بسیار ممنونم و زحماتشان را ارج می نهم.

فهرست منابع

فصل اول مقدمه

۱-۱ مبدل‌های داده ۲

۱-۲ هدف از تحقیق و دستاوردهای آن ٤

۱-۳ ساختار پایان نامه ٥

۱-٤ سیستم‌های موبایل و انواع ساختارهای گیرندههای مولتی-استاندارد ٦

۱-٤-۱ نسل اول ٦

۱-٤-۲نسل دوم ۷

۱-٤-۳ سیستم های نسل دو و نیم ۷

۱-٤-٤ سیستم های نسل سوم ۷

۱-٤-٥ سیستم های نسل چهارم ۸

۱-٥ ساختارهای گیرنده ۹

۱-٥-۱ گیرنده Super-Heterodyne ۱۰

۱-٥-۲ گیرنده direct-conversion homodyne-zero-IF ۱۰

۱-٥-۳گیرنده Low-IF ۱۱

۱-٥-٤ گیرنده Wide-Band IF With Double Conversion (WIF) ۱۱

۱-٥-٥گیرنده Digital-IF ۱۲

۱-٦ مبدل‌های داده آنالوگ به دیجیتال دلتا-سیگما ۱٤

۱-۷ بلوک‌های تشکیل‌دهنده مبدل سیگما-دلتا ۱٤

۱-۸ کلیات فیلتر دسیمیشن ۱۶
۱-۸-۱ فیلتر سینک ۱۷
۱-۸-۲ فیلترهای FIR و نیمه باند ۱۸
۱-۸-۱ پیاده سازی مؤلفه‌های فیلتر ۲۰
۱-۸-۲ مقایسه‌ای بین فیلتر سینک و فیلتر FIR ۲۲
۱-۸-۳ مشخصات اساسی در طراحی فیلتر دسیمیشن ۲۳
فصل دوم بررسی منابع
۲-۱ طراحی تحلیلی و مقایسه و پیاده سازی کم توان فیلترهای سینک ۲۵
۲-۲ مقایسه ساختار بازگشتی و ساختار غیر بازگشتی ۲۹
۲-۳ محاسبه توان مصرفی و مساحت در فیلترهای سینک ۳۱
۲-۳-۱ حالت کلی M ۳۳
۲-۳-۲ حالت $M = 2$ ۳٤
۲-٤ تحلیل روشی برای طراحی کم توان فیلترهای سینک ۳٦
۲-۵ طراحی فیلترهای سینک بدون نیاز به فیلتر اصلاح تضعیف ۳۹
۲-۵-۱ روش Kaiser -Hamming, ... ۳۹
۲-۵-۲ روش فیلتر سینک متوالی وزن دار ٤۳
۲-۵-۳ فیلتر سینک اصلاح شده ٤٦
۲-۵-٤ فیلتر سینک دو طبقه تیز شده ۵۱
۲-۵-۵ فیلتر سینک-کسینوسی ۵۳
۲-۵-٦ جبران کننده سینوسی ۵٦

۲-٦ بررسی کارهای انجام شده ۵۹

فصل سوم مبانی و روش‌ها

۳-۱ طراحی فیلتر دسیمیشن..... ۷۱

۳-۱-۱ فیلتر دسیمیشن دو-طبقه ۷۱

۳-۱-۲ فیلتر دسیمیشن سه-طبقه ۷٤

۳-۱-۳ فیلتر دسیمیشن چهار-طبقه ۷٦

۳-۱-٤تبدیل فیلتر دسیمیشن از ممیز-شناور به ممیز ثابت ۷۸

۳-۲ الگوریتمی برای طراحی فیلتر دسیمیشن ۸۰

۳-۳ مشخصات استانداردها ۸۷

۳-۳-۱ پارامترهای طراحی فیلتر دسیمیشن..... ۸۷

۳-٤ طراحی فیلتر دسیمیشن مولتی استاندارد با ساختار تغییر پذیر..... ۸۸

۳-۵ طراحی فیلتر دسیمیشن برای هر استاندارد در سطح سیستمی..... ۸۹

۳-۵-۱ طراحی فیلتر سینک ۸۹

۳-۵-۲ طراحی طبقه دوم فیلتر دسیمیشن..... ۹۰

۳-۵-۳ طراحی طبقه سوم فیلتر دسیمیشن..... ۹۱

۳-۵-٤ پشت سهم قرار دادن طبقه‌های فیلتر ۹۱

۳-٦ طراحی فیلتر مولتی-استاندارد ۹۳

۳-۷ طراحی فیلتر سینک مولتی-استاندارد..... ۹٤

۳-۷-۱ طراحی طبقه اول فیلتر سینک مولتی-استاندارد ۹٤

۳-۷-۲ طراحی طبقه دوم فیلتر سینک مولتی-استاندارد ۹۸

۳–۸ طراحی فیلترهای جبران کننده سینویس و کوسینوسی ۱۰۳
۳–۹ طراحی فیلتر FIR نیمه باند طبقه دوم ۱۰۷
۳–۱۰ طراحی فیلتر FIR نیمه باند طبقه سوم ۱۱۰
۳–۱۱ واحد کنترل ۱۱۱
فصل چهارم نتایج و بحث
٤–۱ طراحی مدولاتور سیگما–دلتا ۱۱٤
٤–۲ شبیه سازی فیلتر دسیمیشن مولتی– استاندارد ۱۱٦
٤–۳ شبیه سازی فیلتر دسیمیشن در سطح RTL ۱۱۸
٤–٤ نتیجه‌گیری ۱۲۱
٤–۵ ارائه پیشنهاد برای کارهای آینده ۱۲۲

فهرست اشکال

شکل ۱-۱ ساختار گیرنده superheterodyne[۱۰] ۱۰
شکل ۱-۲ گیرنده Direct-Conversion Homodyne [۱۰]..... ۱۱
شکل ۱-۳ ساختار Low-IF [۱۰] ۱۱
شکل ۱-٤ گیرنده Wide-Band IF Double Conversion Receiver[۱۱] ۱۲
شکل ۱-۵ گیرنده Digital-IF[۵] ۱۳
شکل ۱-٦ساختار کلی مبدل داده آنالوگ به دیجیتال سیگما -دلتا[۲۰]..... ۱۵
شکل ۱-۷ ساختار کلی یک مدولاتور دلتا–سیگما[۱۵]..... ۱۵
شکل ۱-۸بلوک دیاگرام فیلتر دسیمیشن تک–طبقه[۲۱]..... ۱٦
شکل ۱-۹ بلوک دیاگرام فیلتر دسیمیشن سه–طبقه[۲۱]..... ۱۷
شکل ۱-۱۰:ساختار فیتلر سینک ۱۸
شکل ۱-۱۱ پاسخ فرکانسی یک فیلتر نیمه باند[۲۵] ۱۹
شکل ۱-۱۲ پیاده سازی یک فیلتر نیمه باند به همراه کاهش نرخ فرکانس دو[۲۵] ۲۰
شکل ۱-۱۳ چگونگی جابجایی فیلتر دیجیتال و بلوک کاهش نرخ فرکانس[۲۲] ۲۰
شکل ۱-۱٤ فیلتر نیمه باند جابجاشده با بلوک کاهش نرخ فرکانس[۲۲] ۲۱
شکل ۲-۱ پاسخ فرکانسی فیلتر سینک با M=16 [۳۲]..... ۲۵
شکل ۲-۲ پاسخ فرکانسی فیلتر سینک، فیلتر اصلاح تضعیف و فیلترمعادل این دو[۳٤]..... ۲۷
شکل ۲-۳ بلوک دیاگرام فیلتر سینک برای نرخ کاهش فرکانسM و مرتبهK[۲٤][۳۵] ۲۷
شکل ۲-٤ پیاده سازی فیلتر سینک برای نرخ کاهش فرکانسM و مرتبه K[۲۲]..... ۲۷
شکل ۲-۵ پیاده سازی سخت افزاری فیلتر سینک برای نرخ کاهش فرکانسM و مرتبهK[۲۲].... ۲۸
شکل ۲-٦ پیاده سازی سخت افزاری فیلتر سینک برای نرخ کاهش فرکانس M=2 ومرتبهK..... ۲۸
شکل ۲-۷:ساختارغیر بازگشتی فیلتر سینک[۲۳] ۳۱
شکل ۲-۸ بلوک دیاگرام فیلتر سینک با داده ورودی ۵ بیتی و نرخ کاهش فرکانس ۱٦..... ۳۲
شکل ۲-۹ پیاده سازی فیلتر سینک برای نرخ کاهش فرکانس M و مرتبه K..... ۳۳

شکل ۲-۱۰ پیاده سازی فیلتر سینک به صورت پلی‌فاز برای نرخ کاهش فرکانس M.....۳٤
شکل ۲-۱۱ تبدیل فیلتر سینک با نرخ کاهش فرکانس M به چند فیلتر سینک باM=2 [۲۳].....۳۵
شکل ۲-۱۲:فیلتر سینک پیاده‌سازی شده به روش غیربازگشتی.....۳٦
شکل ۲-۱۳ فیلتر سینک پیاده‌سازی شده به روش بازگشتی و پلیفاز[٤۱] ۳٦
شکل ۲-۱٤ پاسخ فرکانسی فیلتر سینک با $K1$،$K2$،$K3$،$K4$های متفاوت ۳۸
شکل ۲-۱۵ پاسخ فرکانسی فیلتر سینک مرتبه پنج و فیلتر سینک ۳۸
شکل ۲-۱٦:تابع تبدیل اندازه $HOutz$ بر حسب $HInz$ برای چند تابع تبدیل مختلف ٤۰
شکل ۲-۱۷ بلوک دیاگرام فیلتر سینک تیزشده[٤۵].....٤۱
شکل ۲-۱۸:پاسخ فرکانسی فیلتر سینک برای نشان دادن فرکانسهای fc و fa[٤۵] ٤۲
شکل ۲-۱۹ :بلوک دیاگرام فیلتر سینک متوالی وزن دار.....٤۵
شکل ۲-۲۰:پاسخ فرکانسی فیلتر سینک متوالی وزن دار ب.....٤۵
شکل ۲-۲۱:توزیع صفر وقطب (a) فیلتر سینک با M=4 .....٤۷
شکل ۲-۲۲: تضعیف یک فیلتر سینک مرتبه ۳ و فیلتر سینک اصلاح شده M=4[۱۱].....٤۸
شکل ۲-۲۳:ساختار بازگشتی فیلتر سینک اصلاح شده[۱۱] ٤۸
شکل ۲-۲٤: پیاده‌سازی فیلتر سینک اصلاح شده و تیز شده[۵۲] ٤۹
شکل ۲-۲۵پیاده سازی پلی فاز و غیر بازگشتی فیلتر سینک اصلاح شده مرتبه ۳[۵۵].....۵۱
شکل ۲-۲٦:ساختار پیاده سازی شده فیلتر دسیمیشن اصلاح شده تیز شده [٤۱] ۵۳
شکل ۲-۲۷:ساختار پیاده سازی دسیماتور پیشنهادی[۵۸].....۵۵
شکل۵-۲-۲۸:ساختار پیشنهاد شده[٦۰] ۵٦
شکل ۲-۲۹:پاسخ فرکاسی فیلتر جبران کننده و فیلتر سینک اصلاح شده[٦۱].....۵۷
شکل ۲-۳۰:بلوک دیاگرام دسیماتور قابل برنامهریزی[۲۳] ۵۹
شکل ۲-۳۱: بلوک دیاگرام هر طبقه[۲۳].....٦۰
شکل ۲-۳۲: ساختار فیلتر با فیلتر سینک تیز شده با فیلتر نیمه‌باند[٤۵] ٦۲
شکل ۲-۳۳:فیلتر دسیمیشن مولتی استاندارد[٦۳].....٦۳

شکل ۲-۳٤:ساختار موازی فیلتر سینک[٦٤].....٦٤
شکل ۲-۳۵:پیاده‌سازی فیلتر سینک تیز شده با تکنیک SPT-encoded[۳۱] ٦۵
شکل ۲-۳٦: پیاده‌سازی ضرایب با جمع و شیفت و تر کیب آنها[۱۹].....٦٦
شکل ۲-۳۷: پیاده سازی فیلتر قابل برنامه‌ریزی[۱۹] ٦۷
شکل ۲-۳۸:بلوک دیاگرام فیلتر دسیمیشن[٦٦, ٦۷].....٦۸
شکل ۲-۳۹:پیاده‌سازی پلی‌فاز و قابل تغییر [٦۸].....٦۹
شکل ۲-٤۰:فیلتر دسیمیشن استانداردهای Bluetooth و Wifi[٦۹] ٦۹
شکل ۳-۱:دیاگرام سیستم فیلتر دسیمیشن دو–طبقه.[۷۰].....۷۱
شکل ۳-۲ چگونگی محاسبه پاسخ فرکانسی فیلتر دسیمیشن دو–طبقه.[۷۰].....۷۲
شکل ۳-۳ پاسخ فرکانسی فیلتر دسیمیشن دو–طبقه با نرخ کاهش فرکانس ۱۲۸ [۳۲] ۷۳
شکل ۳-٤ (الف) تضعیف ایجاد شده توسط فیلترهای سینک نسبت به مرتبه فیلتر ۷۳
شکل ۳-۵ دیاکرام سیستم فیلتر دسیمیشن سه–طبقه.[۳۲] ۷٤
شکل ۳-٦ چگونگی محاسبه پاسخ فرکانسی فیلتر دسیمیشن سه–طبقه[۳۲] ۷٤
شکل ۳-۷ پاسخ فرکانسی فیلتر دسیمیشن سه–طبقه با نرخ کاهش فرکانس ۱۲۸ .....۷۵
شکل ۳-۸ بیشترین تضعیف باند توقف بر حسب لبه باند توقف برای فیلتر دسیمیشن سه–طبقه.۷۵
شکل ۳-۹ دیاگرام سیستم فیلتر دسیمیشن چهار–طبقه.[۳۲] ۷٦
شکل ۳-۱۰ پاسخ فرکانسی فیلتر دسیمیشن چهار–طبقه با نرخ کاهش فرکانس ۷٦
شکل ۳-۱۱ آرایش های مختلف برای پیاده‌سازی فیلتر دسیمیشن با مشخصات داده شده.....۷۷
شکل ۳-۱۲ اندازه پاسخ فرکانسی فیلتر FIR با ضرایب کوانتایز نشده ۷۹
شکل ۳-۱۳ چگونگی محاسبه طول کلمات تمام گره های داخلی. ۸۰
شکل ۳-۱٤:الگوریتم ارائه شده ساده برای طراحی فیلتر دسیمیشن. [۳۲] ۸۲
شکل ۳-۱۵:ساختار بهینه فیلتر دسیمیشن طراحی شده توسط الگوریتم. [۳۲].....۸۳
شکل ۳-۱٦ پاسخ فرکانسی فیلتر دسیمیشن طراحی شده.[۳۲] ۸۳
شکل ۳-۱۷ الگوریتم پیچیده تر برای طراحی فیلتر دسیمیشن[۳۲] ۸٦

شکل ۳-۱۸: پاسخ فرکانسی فیلتر دسیمیشن WLANa ۹۲
شکل ۳-۱۹:پاسخ فرکانسی فیلتر دسیمیشن Bluetooth ۹۲
شکل ۳-۲۰:پاسخ فرکانسی فیلتر دسیمیشن GSM..... ۹۳
شکل ۳-۲۱:ساختار کلی بلوکهای فیلتر پیشنهاد شده ۹۳
شکل ۳-۲۲: ساختار پلی‌فاز و قابل برنامه‌ریزی بلوک غیر بازگشتی ۹۶
شکل ۳-۲۳: ساختار پلی‌فاز و پیاده‌سازی غیر بازگشتی بلوک غیر مشترک ۹۷
شکل ۳-۲٤: پاسخ فرکانسی فیلتر سینک اصلاح شده برای WLANa ۹۹
شکل ۳-۲۵:پاسخ فرکانسی فیلتر سینک اصلاح شده برای Bluetooth ۱۰۰
شکل ۳-۲٦:پاسخ فرکانسی فیلتر سینک اصلاح شده برای GSM..... ۱۰۱
شکل ۳-۲۷:فیلتر سینک اصلاح شده مولتی استاندارد ۱۰۲
شکل ۳-۲۸: بلوک دیاگرام جبران کننده سینوسی..... ۱۰٤
شکل ۳-۲۹: فیلتر جبران کننده کسینوسی ISOP..... ۱۰۵
شکل ۳-۳۰: جبران سازی افت باند عبور ۱۰٦
شکل ۳-۳۱: پاسخ فرکانسی و ریپل باند عبور فیلتر نیمه باند مشترک ۱۰۹
شکل ۳-۳۲:دیاگرام فیلتر نیمه باند طبقه دوم ۱۰۹
شکل ۳-۳۳: پاسخ فرکانسی فیلتر FIR طبقه سوم ۱۱۱
شکل ٤-۱:مدولاتور سیگما–دلتا مرتبه ۳ باکوانتیزاسیون یک بیت ۱۱٤
شکل ٤-۲: شکل دهی نویز کوانیزاسیون توسط مولاتور ۱۱۵
شکل ٤-۳: نمونه های فرانمونهبرداری شده خروجی مدولاتور ۱۱۵
شکل ٤-٤: خروجی طبقات فیلتر دسیمیشن مولتی– استاندارد GSM..... ۱۱۷
شکل ٤-۵:ورودی مدولاتور و خروجی فیلتر برای GSM..... ۱۱۸
شکل ٤-٦: نتایج شبیه سازی فایل حاصل از سنتز..... ۱۱۹
شکل ٤-۷: Layout کلی دسیماتور مولتی– استاندارد ۱۲۰

فهرست جداول

جدول ۱-۱:دسته بندی معماری های مختلف ADCs از نظر سرعت و دقت تبدیل ۳
جدول ۱-۲ مشخصات گیرنده مولتی-استاندارد[۷-۹] ۹
جدول ۲-۱ میزان تضعیف اندازه پاسخ فرکانسی برای حالتهای مختلفM و K[۳٤] ۲٦
جدول ۲-۲:فرکانس نمونه گیری و طول کلمه بخشIIR در ساختار بازگشتی[۲۳].....۳۰
جدول ۲-۳:فرکانس نمونه گیری و طول کلمه طبقه iام در ساختار غیر بازگشتی[۲۳] ۳۰
جدول ۲-٤ مقایسه مشخصات فیلتر سینک مرتبه پنج و فیلتر سینک ۳۹
جدول ۲-۵ توابع تیز کننده برای حالت خاصm=n.....٤۱
جدول ۲-٦:مکان مناسب صفرهای فیلتر سینک اصلاح شده[٤۹].....۵۰
جدول ۲-۷:نتایج حاصل از شبیه‌سازی[٦٦, ٦۷].....٦۷
جدول ۳-۱ مشخصات داده شده برای طراحی فیلتر دسیمیشن[۳۲].....۷۸
جدول ۳-۲ درجه طبقات فیلترهای تشکیل‌دهنده هر یک از ساختارهای شکل ۳-۱۱[۳۲].....۷۸
جدول ۳-۳: مشخصات داده شده برای طراحی فیلتر دسیمیشن توسط الگوریتم ارائه شده[۳۲] ..۸۲
جدول ۳-٤:درجه فیلترهای تشکیل‌دهنده هر دو فیلتر دسیمیشن. ۸٤
جدول ۳-۵:توان مصرفی و مساحت موثر هر دو فیلتر دسیمیشن.....۸٤
جدول ۳-٦:مشخصات گیرنده‌های سه استانداردهای GSM,Bluetooth,WLANa.....۸۷
جدول ۳-۷:پارامترهای طراحی.....۸۸
جدول ۳-۸: پارامترهای طراحی فیلتر دسیمیشن مولتی استاندارد.....۸۹
جدول ۳-۹: طراحی فیلتر سینک با نرم‌افزار متلب.....۹۰
جدول ۳-۱۰: طراحی فیلتر نیمه باند طبقه دوم ۹۰
جدول ۳-۱۱:طراحی فیلتر نیمه باند طبقه سوم.....۹۱
جدول ۳-۱۲:پارامترهای لازم برای فیلتر سینک اصلاح شده مولتی-استاندارد ۹۸
جدول ۳-۱۳: مشخصات فیلتر نیمه باند طبقه دوم ۱۰۸
جدول ۳-۱٤:مشخصات فیلتر FIR طبقه سوم.....۱۱۰

جدول ٤-١: نتایج حاصل از سنتز pks_shell.....۱۱۹

فصل اول

مقدمه

۱-۱ مبدل‌های داده

پیشرفت تکنولوژی درمدارهای مجتمع، راه فشرده سازی و پیاده سازی کارآمد بلوک‌های دیجیتال روی چیپ‌های سیلیکنی را فراهم کرده است، و این باعث جذب شدن بسیاری از پردازش سیگنال به سمت دیجیتال شده است[۱]. از آنجایی‌که داده‌ها در دنیای پیرامون ما به صورت آنالوگ و پردازش آنها در دنیای الکترونیک عمدتا به شکل دیجیتال صورت می‌گیرد، مبدل‌های داده از اهمیت بالایی برخوردارند. مبدل‌های داده یکی از بلوک‌های اصلی در سیستم‌های مخابراتی و کامپیوتری و سایر کاربردها از جمله افزاره‌های قابل کاشت پزشکی می‌باشند. مبدل‌های داده محدوده وسیعی از دقت و پهنای باند را پوشش می دهند. در اکثر استانداردهای مخابراتی، محدوده دینامیکی وسیع، پهنای باند زیاد، اعوجاج کم و سطح نویز پایین از اهمیت بالایی برخوردار است. از طرف دیگر گسترش وسایل ارتباطی قابل حمل، گرایش به مجتمع سازی تعداد بیشتر کانالهای مخابراتی در سطح یک تراشه و همچنین استفاده روزافزون از افزاره‌های قابل کاشت پزشکی، کم بودن سطح تراشه و پایین بودن توان مصرفی را پراهمیت می نماید[۱].

امروزه طراحی و ساخت مبدل‌های آنالوگ به دیجیتال با عملکرد بالا در ولتاژهای پایین توام با مدارهای دیجیتال در داخل یک تراشه برای پیاده‌سازی یک سیستم کامل مورد نظر است. انگیزه اصلی پایین آوردن ولتاژ منبع تغذیه در مدارهای Mixed Signal به صورت زیر هستد:

۱. کاهش تعداد باتری‌های سیستم که منجر به کاهش وزن آن می‌گردد.
۲. کاهش ابعاد در تکنولوژی‌های جدید مدارهای مجتمع، برای ثابت نگه داشتن میدان الکتریکی بایستی ولتاژ منبع تغذیه نیز کاهش داده شود.
۳. کاهش توان مصرفی به منظور استفاده بهینه از آن به ویژه در سیستم‌های مخابراتی سیار که نیاز به استفاده از باتری و شارژ مجدد آن دارند.

در مدارهای دیجیتال، کاهش ولتاژ منبع تغذیه منجر به کاهش توان مصرفی می‌گردد، ولی کاهش ولتاژ منبع تغذیه در مدارهای آنالوگ می‌تواند باعث افزایش توان مصرفی نیز گردد. بنابراین در مدارهای

آنالوگ ارائه ساختارهای جدید چه در سطح سیستمی و چه در سطح مدار برای کاهش توان مصرفی ضروری می‌باشد.

معماری‌هایی که مبدل‌های آنالوگ به دیجیتال را پیاده‌سازی می‌کنند، اساسا از نظر سرعت تبدیل به سه دسته تقسیم می‌شوند، جدول ۱-۱ مبدل‌های با سرعت کم تا متوسط، مبدل‌های با سرعت متوسط و مبدل‌های با سرعت بالا را نشان می‌دهد.

جدول ۱-۱:دسته بندی معماری های مختلف ADCs از نظر سرعت و دقت تبدیل

سرعت کم تا متوسط دقت بالا	سرعت متوسط دقت متوسط	سرعت بالا دقت کم تا متوسط
انتگرال گیرنده فرا نمونه‌بردار	تقریب‌های متوالی الگوریتمی (چرخشی)	[۱]موازی (فلش)، [۲]دو مرحله-ای، [۳]مداخله‌ای، [۴]تا شونده، [۵]جا داده‌شده در زمان

مبدل‌های آنالوگ به دیجیتال را از نظر فرکانس نمونه‌برداری می‌توان به دو دسته عمده تقسیم بندی کرد: ۱.مبدل‌های با نرخ نایکوئیست و۲. مبدل‌های بیش نمونه‌برداری[۶]، مبدل‌های نرخ نایکوئیست با حداقل نرخ نمونه‌برداری که همان نرخ نایکوئیست است، کار می‌کنند، از جمله این مبدل‌ها می‌توان ساختارهایPipline Flash, Folding & Interpolating, وSAR اشاره کرد. این نوع مبدل‌ها برای کاربردهای سرعت بالا ودقت‌های پایین و متوسط مناسب هستند. ولی در دقت‌های بالا به دلیل خصوصیات غیر ایده‌آلی مدارهای آنالوگ ساخت این نوع مبدل‌ها امکان‌پذیر نیست.

[۱] Flash
[۲] Two step
[۳] Interpolating
[۴] Folding
[۵] Time_Interleaved
[6] Oversampling Converters

در مبدل‌های بیش نمونه‌برداری سیگنال ورودی با چندین برابر نرخ نایکوئیست نمونه‌برداری می‌شود. مبدل‌های سیگما-دلتا[1] که دسته‌ای از مبدل‌های بیش نمونه‌برداری هستند، با استفاده از تکنیک شکل دادن نویز کوانتیزاسیون[2] دقت بالایی را به دست می‌دهد. همچنین این مبدل‌ها در مقایسه با مبدل‌های نوع اول نسبت به اثرات غیر ایده‌آلی مدارهای آنالوگ مقاوم هستند. ولی در مقابل به دلیل نمونه برداری با نرخ بالاتر، سرعت پایین‌تری را دارا هستند. این مبدل‌ها به دلیل دقت بالا، محبوبیت زیادی در کاربردهای صوتی و تصویری، کاربردهای مخابراتی و کاربردهای پزشکی (دستگاه‌هایی مانند دستگاه تنظیم کننده ضربان قلب قابل کاشت) دارا می‌باشند. بی‌تردید با پیشرفت روزافزون صنایع مخابراتی و پزشکی، طراحی مبدل‌های داده با سرعت و دقت بالا و توان مصرفی پایین یکی از چالش‌های اساسی مهندسین الکترونیک می باشد.

مبدل‌های سیگما-دلتا از دو بخش مجزا تشکیل می‌شوند. قسمت اول شامل مدولاتور سیگما-دلتا است، که به صورت آنالوگ پیاده‌سازی می‌گردد. بخش دوم فیلترهای دسیمیشن است که به صورت دیجیتال پیاده‌سازی می‌شود[۳]-[۱].

۱-۲ هدف از تحقیق و دستاوردهای آن

با توجه به این که استانداردهای موجود مانند GSM,UMTS,Bluetooth,WLAN در حال افزایش هستند. و هر کدام گیرنده جداگانه دارند. مشکل سیستم‌هایی که شامل این استاندارد هستند، افزایش هزینه و فضای اشغالی است. نیاز به گیرنده‌های با هزینه و توان مصرفی کم به خصوص در سیستم‌های فرکانس بالا احساس می‌شود. بنابراین این نیاز باعث شده به سیستم‌های مولتی استاندارد روی آوریم. یعنی یک گیرنده باید توانایی هدایت چند استاندارد را داشته باشد.

به منظور قابلیت استفاده در یک رنج متنوعی از مشخصات، گیرنده‌های مولتی استاندارد در یک ساختار تغییرپذیر و تطبیق‌پذیر پیاده‌سازی می‌شوند که بتوانند با هر مشخصه‌ای تطبیق داده شوند، و عملکرد خود را مطابق با شرایط سیگنال‌های مختلف تغییر دهند. برای اینکه یک گیرنده مولتی استاندارد

[1] Sigma-delta Converters
[2] Qantization Noise